

МИКРОСХЕМЫ ИНТЕГРАЛЬНЫЕ  
1273ПА5У, 1273ПА5У1

**Руководство пользователя**

## Содержание

1	Введение .....	3
2	Назначение и основные технические характеристики микросхем.....	4
2.1	Архитектурные характеристики микросхем.....	4
2.2	Конструктивные характеристики микросхем .....	5
2.3	Электрические характеристики микросхем .....	7
3	Общая характеристика микросхем .....	10
4	Описание устройства микросхем .....	11
4.1	Структура и описание ЦАП.....	11
4.2	Цифровой фильтр.....	15
4.3	Умножитель частоты .....	18
4.4	Режим «Останов» .....	20
4.5	Источник опорного напряжения .....	20
4.6	Управляющий усилитель .....	22
4.7	Токовые выходы .....	22
4.8	Цифровые входы .....	23
4.9	Энергопотребление микросхем .....	25
5	Указания по применению и эксплуатации .....	25
5.1	Различные виды подключения выходных цепей.....	25
5.1.1	Дифференциальное подключение с помощью трансформатора .....	26
5.1.2	Дифференциальное подключение с помощью операционного усилителя .....	27
5.1.3	Подключение с несимметричным небуферизированным выходом напряжения .....	28
5.1.4	Подключение с несимметричным буферизированным выходом напряжения .....	28
5.2	Временные диаграммы динамических параметров.....	29
5.3	Рекомендации по обеспечению питания, заземления и экранирования .	29
6	Заключение .....	32
	Приложение А .....	33
	Лист регистрации изменений .....	35

## **1 Введение**

Быстрое развитие цифровой техники и цифровых методов обработки сигналов определяет современные тенденции в разработке разнообразных устройств и приборов, при этом значительная роль принадлежит аналого-цифровому и цифро-аналоговому преобразованию. Такое преобразование широко используется во всех областях радиоэлектроники, в различной измерительной и контрольной аппаратуре, системах связи, радиовещании и телевидении.

Цифро-аналоговые преобразователи (ЦАП) предназначены для преобразования сигнала, определенного, как правило, в виде двоичного кода в напряжение или ток, пропорциональные значению цифрового кода.

Настоящее руководство предназначено для изучения интегральных микросхем 1273ПА5У, 1273ПА5У1 содержит описание принципа работы, технические характеристики и другие сведения, необходимые для обеспечения полного использования технических возможностей микросхем.

Разработанные в ходе ОКР микросхемы ЦАП позволят уменьшить вес аппаратуры, обеспечить требуемые показатели по надежности и сроку службы.

## **2 Назначение и основные технические характеристики микросхем**

1273ПА5У, 1273ПА5У1 – интегральные микросхемы 14-разрядного параллельного цифро-аналогового преобразователя (ЦАП) на источниках тока.

Микросхема имеет параллельный интерфейс, встроенный источник опорного напряжения, дифференциальный токовый выход, цифровой интерполяционный фильтр и умножитель тактовой частоты.

Основной областью применения микросхем является одноканальное и многоканальное передающее коммуникационное оборудование, использующее цифровую модуляцию. К нему относятся как беспроводные передающие системы базовых станций сотовой связи, так и кабельные передатчики, модемы и другое оборудование.

### **2.1 Архитектурные характеристики микросхем**

Характеристики микросхемы ЦАП:

- напряжение питания аналоговой части микросхемы  $(3,3 \pm 0,2)$  В;
- напряжение питания цифровой части микросхемы  $(3,3 \pm 0,2)$  В;
- внутренний источник опорного напряжения 1,2 В;
- максимальная частота обновления входных данных 160 МГц;
- максимальная частота обновления выходных данных 400 МГц;
- дифференциальные токовые выходы максимум тока от 2 до 20 мА;
- интерфейс параллельный;
- время установления (0,025 %) равно 0,011 мкс;
- интегральная нелинейность (типовое значение)  $\pm 3,5$  ЕМР;
- дифференциальная нелинейность (типовое значение)  $\pm 2,0$  ЕМР;
- 14-бит разрешение (16384 значений выходного тока);
- режим пониженного потребления 15 мВт при 3,3 В;
- цифровой 2-х интерполяционный фильтр;
- умножитель тактовой частоты с ФАПЧ  $\times 2, \times 4$ ;
- входные триггеры–защелки;
- диапазон температур окружающей среды от минус 60 °С до плюс 85 °С;
- потребляемая мощность 300 мВт (при 3,5 В).

## 2.2 Конструктивные характеристики микросхем

Микросхемы выполнены в 48-выводных металлокерамических корпусах: 1273ПА5У – в корпусе Н16.48-1В, 1273ПА5У1 – в корпусе 5133.48-3.

Масса микросхем должна быть не более 2,5 г.

Условное графическое обозначение микросхем приведено на рисунке 2.1.

Функциональное назначение выводов приведено в таблице 2.1.

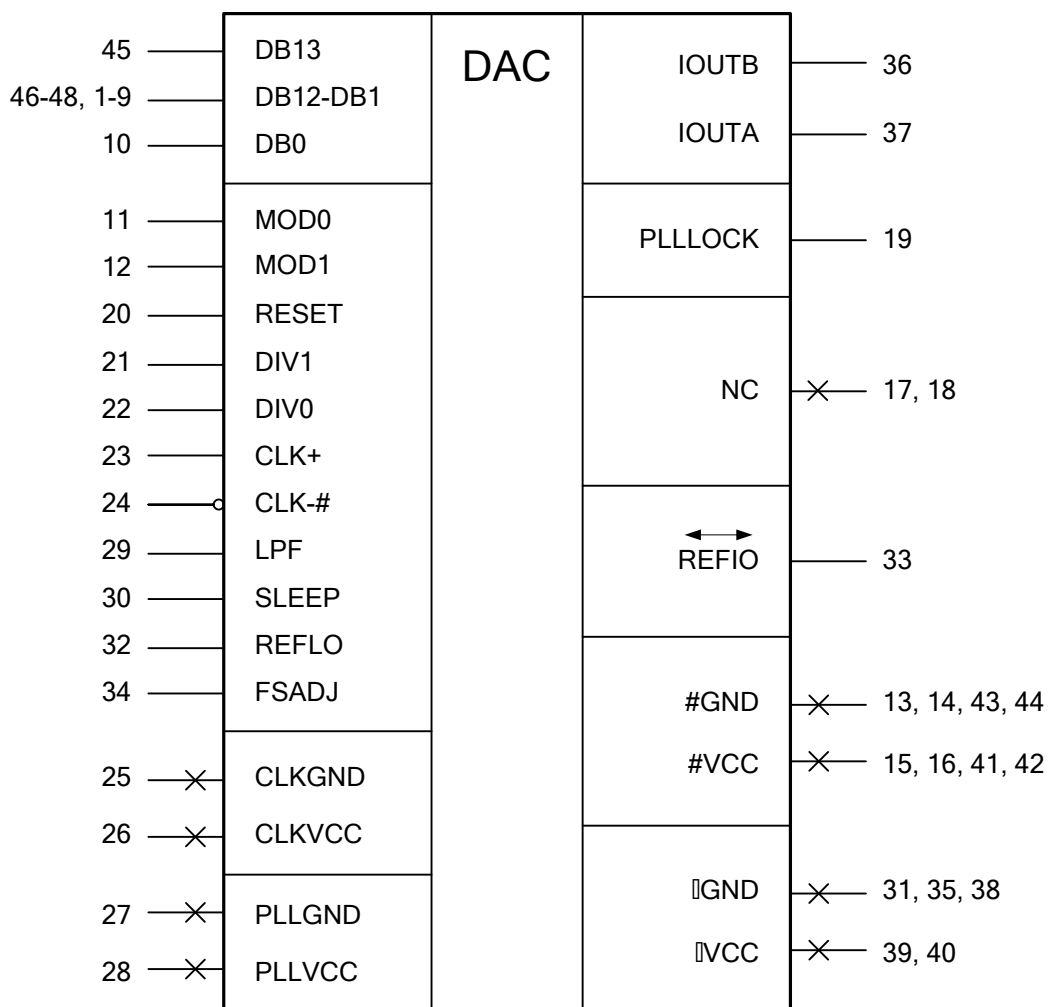


Рисунок 2.1 – Условное графическое обозначение ИМС 1273ПА5У, 1273ПА5У1

Таблица 2.1 – Функциональное назначение выводов микросхем

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода
45	DB13	Старший сигнальный бит (MSB)	I
46–48, 1–9	DB12–DB1	Биты данных 12–1	I
10	DB0	Младший сигнальный бит (LSB)	I
11	MOD0	Вход включения фильтра высокой частоты (активный высокий – «1»)	I
12	MOD1	Вход включения режима заполнения нулями (активный высокий – «1»)	I
20	RESET	Сброс внутреннего делителя ФАПЧ	I
21, 22	DIV1, DIV0	Входы выбора коэффициента деления делителя ФАПЧ	I
23	CLK+	Прямой вход дифференциального тактового сигнала	I
24	CLK-#	Инверсный вход дифференциального тактового сигнала	I
29	LPF	Вход фильтра ФАПЧ	I
30	SLEEP	Вход включения режима низкого потребления энергии	I
32	REFLO	Управление внутренним ИОН (высокий – «1» – отключение внутреннего ИОН)	I
34	FSADJ	Вход установки тока полной шкалы	I
19	PLLLOCK	Вывод индикации захвата фазы ФАПЧ	O
33	REFIO	Вход/выход ИОН	I/O
36	IOUTB	Дополнительный токовый выход ЦАП	O
37	IOUTA	Прямой токовый выход ЦАП	O
13, 14, 43, 44	#GND	Общий вывод цифровой части микросхемы	–
15, 16, 41, 42	#VCC	Вывод питания цифровой части микросхемы	–
25	CLKGND	Общий вывод тактового сигнала	–
26	CLKVCC	Вывод питания тактового сигнала	–
27	PLLGND	Общий вывод ФАПЧ	–
28	PLLVCC	Вывод питания ФАПЧ	–
31, 35, 38	AGND	Общий вывод аналоговой части микросхемы	–
39, 40	AVCC	Вывод питания аналоговой части микросхемы	–
17, 18	NC	Выводы не задействованы	–
Примечание – В графе «Тип вывода»: I – вход, O – выход, I/O – вход/выход.			

## 2.3 Электрические характеристики микросхем

Электрические характеристики микросхем 1273ПА5У, 1273ПА5У1 при приемке и поставке приведены в таблице 2.2.

Значения предельно-допустимых электрических режимов эксплуатации в диапазоне рабочих температур приведены в таблице 2.3.

Термины, определения, сокращения и буквенные обозначения параметров – по ОСТ В 11 0998-99, ГОСТ 17021-88, ОСТ 11 0583-88 и ГОСТ 19480-89.

Термины, определения и буквенные обозначения параметров, неустановленные действующими стандартами, представлены в таблице А.1 приложения А.

Таблица 2.2 – Значения электрических параметров микросхем при приемке и поставке

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра		Температура среды, °С
		не менее	не более	
1	2	3	4	5
1 Выходное опорное напряжение на выводе REFIO, В $U_{\text{DVCC}} = 3,5 \text{ В}$ , $U_{\text{\#VCC}} = 3,5 \text{ В}$ , $U_{\text{CLKVCC}} = 3,5 \text{ В}$ , $U_{\text{PLLVCC}} = 0 \text{ В}$ , $I_{\text{OUTFS}} = 20 \text{ мА}$	$U_{\text{REFIO}}$	1,14	1,26	-60 ± 3 25 ± 10 85 ± 3
2 Входной ток низкого уровня на входах, мкА $U_{\text{DVCC}} = 3,5 \text{ В}$ , $U_{\text{\#VCC}} = 3,5 \text{ В}$ , $U_{\text{CLKVCC}} = 3,5 \text{ В}$ , $U_{\text{PLLVCC}} = 0 \text{ В}$ , $I_{\text{OUTFS}} = 20 \text{ мА}$	$I_{\text{IL}}$	-25	-	
		DB13 – DB0, CLK+, CLK-#	-10	
3 Входной ток высокого уровня на входах, мкА $U_{\text{DVCC}} = 3,5 \text{ В}$ , $U_{\text{\#VCC}} = 3,5 \text{ В}$ , $U_{\text{CLKVCC}} = 3,5 \text{ В}$ , $U_{\text{PLLVCC}} = 0 \text{ В}$ , $I_{\text{OUTFS}} = 20 \text{ мА}$	$I_{\text{IH}}$	-	25	
		DB13 – DB0, CLK+, CLK-#	-	10
4 Динамический ток потребления по выводу DVCC, мА $U_{\text{DVCC}} = 3,5 \text{ В}$ , $U_{\text{\#VCC}} = 3,5 \text{ В}$ , $U_{\text{CLKVCC}} = 3,5 \text{ В}$ , $U_{\text{PLLVCC}} = 0 \text{ В}$ , $I_{\text{OUTFS}} = 20 \text{ мА}$ , $f_{\text{IN}} = 25 \text{ МГц}$	$I_{\text{onvcc}}$	-	40	

Окончание таблицы 2.2

1	2	3	4	5	
5 Динамический ток потребления по выводу #VCC, мА $U_{\Omega VCC} = 3,5 \text{ В}$ , $U_{\#VCC} = 3,5 \text{ В}$ , $U_{CLKVCC} = 3,5 \text{ В}$ , $U_{PLLVCC} = 0 \text{ В}$ , $I_{OUTFS} = 20 \text{ мА}$ , $f_{IN} = 25 \text{ МГц}$	$I_{O\#VCC}$	–	44	–60 ± 3 25 ± 10 85 ± 5	
6 Суммарный динамический ток потребления по выводам CLKVCC и PLLVCC, мА $U_{\Omega VCC} = 3,5 \text{ В}$ , $U_{\#VCC} = 3,5 \text{ В}$ , $U_{CLKVCC} = 3,5 \text{ В}$ , $U_{PLLVCC} = (0; 3,5) \text{ В}$ , $I_{OUTFS} = 20 \text{ мА}$ , $f_{IN} = 25 \text{ МГц}$	$I_{OCC}$	–	33		
7 Интегральная нелинейность, ЕМР $U_{\Omega VCC} = 3,1 \text{ В}$ , $U_{\#VCC} = 3,1 \text{ В}$ , $U_{CLKVCC} = 3,1 \text{ В}$ , $U_{PLLVCC} = 0 \text{ В}$ , $I_{OUTFS} = 20 \text{ мА}$	$E_L$	–7	7		
8 Дифференциальная нелинейность, ЕМР $U_{\Omega VCC} = 3,1 \text{ В}$ , $U_{\#VCC} = 3,1 \text{ В}$ , $U_{CLKVCC} = 3,1 \text{ В}$ , $U_{PLLVCC} = 0 \text{ В}$ , $I_{OUTFS} = 20 \text{ мА}$	$E_{LD}$	–4	4		
9 Общие гармонические искажения, дБ $U_{\Omega VCC} = 3,5 \text{ В}$ , $U_{\#VCC} = 3,5 \text{ В}$ , $U_{CLKVCC} = 3,5 \text{ В}$ , $U_{PLLVCC} = 3,5 \text{ В}$ , $I_{OUTFS} = 20 \text{ мА}$ , $f_{IN} = 65 \text{ МГц}$ , $f_{OUT} = 1 \text{ МГц}$	THD	–	–70		
10 Выходной шум, $\text{рА}/\sqrt{\text{Гц}}$ $U_{\Omega VCC} = 3,5 \text{ В}$ , $U_{\#VCC} = 3,5 \text{ В}$ , $U_{CLKVCC} = 3,5 \text{ В}$ , $U_{PLLVCC} = 3,5 \text{ В}$ , $I_{OUTFS} = 20 \text{ мА}$	ON	–	80		
11 Функциональный контроль $U_{\Omega VCC} = (3,1; 3,5) \text{ В}$ , $U_{\#VCC} = (3,1; 3,5) \text{ В}$ , $U_{CLKVCC} = (3,1; 3,5) \text{ В}$ , $U_{PLLVCC} = (3,1; 3,5) \text{ В}$ , $f_{IN} = 25 \text{ МГц}$ , $I_{OUTFS} = (2; 20) \text{ мА}$	ФК	–	–		
12 Время переключения на выходах IOUTA, IOUTB, нс время спада время нарастания $U_{\Omega VCC} = 3,1 \text{ В}$ , $U_{\#VCC} = 3,1 \text{ В}$ , $U_{CLKVCC} = 3,1 \text{ В}$ , $U_{PLLVCC} = 0 \text{ В}$ , $I_{OUTFS} = 20 \text{ мА}$ , $f_{IN} = 10 \text{ МГц}$	$t_f$ $t_r$	– –	3 3		
<p>Примечания</p> <p>1 Параметры <math>I_{IL}</math>, <math>I_{IH}</math>, <math>E_L</math>, <math>E_{LD}</math> при температуре минус 60 °С не измеряются, а гарантируются нормами при температуре (25 ± 10) °С.</p> <p>2 Параметры времени переключения на выходах IOUTA, IOUTB (время спада <math>t_f</math>, время нарастания <math>t_r</math>) гарантируют обеспечение параметров <math>f_C</math>, <math>f_{INMAX}</math>, <math>t_s</math>.</p>					



Таблица 2.3 – Значения предельно-допустимых режимов эксплуатации микросхем в диапазоне рабочих температур от минус 60 до 85 °С

Наименование параметра режима, единица измерения	Буквенное обозначени е	Предельно- допустимый режим		Предельный режим	
		не менее	не более	не менее	не более
1 Напряжение питания цифровой части микросхемы, В	$U_{\#VCC}$	3,1	3,5	-0,3	7,0
2 Напряжение питания аналоговой части микросхемы, В	$U_{\text{AVCC}}$	3,1	3,5	-0,3	7,0
3 Напряжение питания формирователей тактовых импульсов, В	$U_{\text{CLKVCC}}$	3,1	3,5	-0,3	7,0
4 Напряжение питания блока фазовой автоподстройки частоты (ФАПЧ), В	$U_{\text{PLLVCC}}$	3,1	3,5	-0,3	7,0
5 Входное опорное напряжение, В	$U_{\text{REFIN}}$	0,1	1,25	–	–
6 Входное напряжение высокого уровня на входах DB13–DB0, MOD0, MOD1, RESET, DIV0, DIV1, CLK+, CLK-#, SLEEP, REFLO, В	$U_{\text{IH}}$	2,1	$U_{\#VCC}$	–	$U_{\#VCC} + 0,3$
7 Входное напряжение низкого уровня на входах DB13–DB0, MOD0, MOD1, RESET, DIV0, DIV1, CLK+, CLK-#, SLEEP, REFLO, В	$U_{\text{IL}}$	0	0,9	-0,3	–
8 Диапазон выходных напряжений, В	$\Delta U_{\text{OCR}}$	-1,0	1,25	–	–
9 Выходной ток по выводу REFIO, мкА	$I_{\text{REFIO}}$	–	1,0	–	–
10 Выходной ток полной шкалы, мА	$I_{\text{OUTFS}}$	2,0	20	–	–
11 Длительность фронта и длительность спада входных сигналов, нс	$t_{\text{LH}}$	–	500*	–	–
	$t_{\text{HL}}$	–	500*	–	–
<p>* При эксплуатации микросхем в режимах, превышающих предельно-допустимые, значения динамических параметров не гарантируются.</p>					

### 3 Общая характеристика микросхем

1273ПА5У, 1273ПА5У – интегральные микросхемы 14-разрядного параллельного цифро-аналогового преобразователя на источниках тока.

ЦАП имеет параллельный интерфейс, цифровой интерполяционный фильтр, внутренний умножитель частоты с ФАПЧ, встроенный источник опорного напряжения и дифференциальный токовый выход. Выходной ток полной шкалы может регулироваться от 2 до 20 мА без ухудшения параметров. Токовый выход может использоваться в несимметричном или дифференциальном включении. Использование цифрового интерполяционного фильтра обеспечивает понижение сложности аналогового восстановительного фильтра более чем в три раза. Это достигается удвоением частоты выборки данных.

Цифро-аналоговое преобразование осуществляется суммированием токов внутренних стабилизированных источников тока. Источники тока выполнены на р-канальных транзисторах, образующих матрицу источников токов. Выходные противофазные вытекающие токи формируются с помощью дифференциальных токовых переключателей, выходы которых объединены в две выходные шины, а входы каждого соединяются с отдельным источником тока матрицы.

Матрица источников тока содержит 31 одинаковый источник старших токов, определяющих 5 старших разрядов, 15 одинаковых источников тока средних разрядов, определяющих 4 средних разряда, и формирователь пяти двоично-взвешенных токов младших разрядов.

Номинальное значение токов матрицы задается с помощью опорного источника тока, представляющего собой преобразователь напряжение-ток. В качестве токозадающего элемента используется внешний резистор. На токозадающем резисторе падает напряжение, равное опорному, и задается опорный ток, равный  $U_{REFIO}/R_{REF}$ .

Дифференциальные токовые переключатели выполнены на р-канальных транзисторах. Для уменьшения выбросов выходного тока управляющие переключателями сигналы имеют уровни меньше, чем  $U_{NVCC}$ .

Входной цифровой код запоминается в линейке триггеров-защелок. Дешифратор двоичного кода в линейный позиционный код выполнен на комбинационной логике.

## 4 Описание устройства микросхем

### 4.1 Структура и описание ЦАП

Микросхемы содержат следующие функциональные блоки (см. рисунок 4.1):

- источник опорного напряжения 1,2 В (ИОН);
- ЦАП;
- умножитель частоты с ФАПЧ;
- мультиплексор заполнения нулями;
- КИХ интерполяционный фильтр;
- входные триггеры-защелки;
- управляющий усилитель.

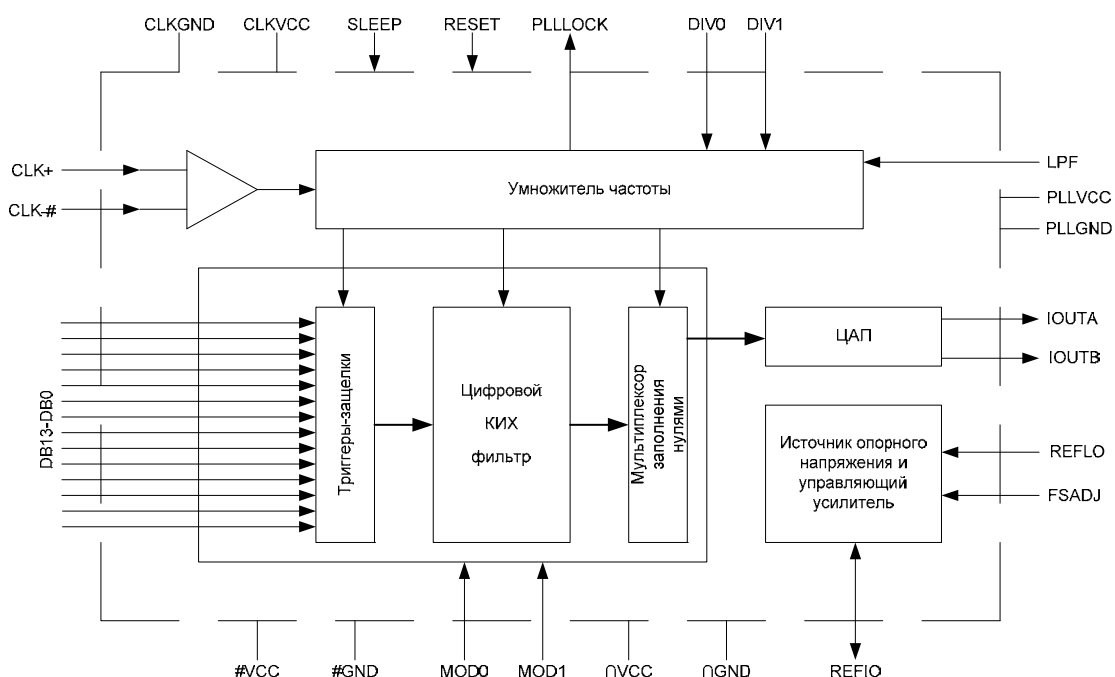


Рисунок 4.1 – Схема электрическая структурная микросхем

#### Выводы питания

Микросхема имеет независимые выводы для питания аналоговых, цифровых, тактовых блоков и схемы умножения частоты. Для питания аналоговых блоков используются выводы DVCC и DGND. Для питания цифровых блоков используются выводы #VCC и #GND. Для питания тактовой схемы используются выводы CLKVCC и CLKGND. Для питания схемы умножения частоты используются выводы PLLVCC и PLLGND. Обычно

напряжение питания цифровых и аналоговых блоков одинаково и может находиться в диапазоне от 3,1 до 3,5 В.

### Цифровые входы

Входной код подается на цифровые входы DB13-DB0. По положительному фронту тактового сигнала входной код записывается в триггеры-защелки и хранится в них до приема следующего кода. Микросхема обеспечивает частоту обновления данных в триггерах до 160 МГц.

### Токовые выходы

Цифро-аналоговый преобразователь имеет комплементарные токовые выходы IOUTA и IOUTB. Сумма токов на этих выходах ( $I_{OUTA} + I_{OUTB}$ ) равна току полной шкалы  $I_{OUTFS}$ . Токи вытекают из выходов во внешнюю нагрузку, подключаемую к общему выводу  $\cap$ GND.

Ток  $I_{OUTA}$  практически равен току  $I_{OUTFS}$ , когда все биты входных данных установлены в состояние «1» (т. е. код ЦАП = 16383), в то время как на выходе IOUTB нет тока. Ток выходов IOUTA и IOUTB является функцией входного кода и тока полной шкалы:

$$I_{OUTA} = (\text{код ЦАП}/16384) \cdot I_{OUTFS}, \quad (1)$$

$$I_{OUTB} = ((16383 - \text{код ЦАП})/16384) \cdot I_{OUTFS}, \quad (2)$$

где код ЦАП = 0, 1, 2, ... 16383 – десятичное представление входного кода.

Ток полной шкалы  $I_{OUTFS}$  является функцией опорного напряжения и сопротивления внешнего резистора:

$$I_{OUTFS} = 32 \cdot I_{REFIO}, \quad (3)$$

где

$$I_{REFIO} = U_{REFIO}/R_{SET}, \quad (4)$$

где  $R_{SET}$  – значение сопротивления резистора установки тока полной шкалы.

Токовые выходы обычно подключаются напрямую к нагрузочным сопротивлениям или нагружаются дифференциально на трансформатор. Если требуется соединение по постоянному току, выходы IOUTA и IOUTB должны быть напрямую подключены к оптимально подобранным нагрузочным сопротивлениям  $R_{LOADA}$ ,  $R_{LOADB}$ , подключаемым к выводу аналоговой земли  $\cap$ GND. В качестве нагрузки может использоваться кабель с сопротивлением 50 или 75 Ом. Напряжения несимметричных выходов IOUTA и IOUTB, соответственно, рассчитываются:

$$U_{OUTA} = I_{OUTA} \cdot R_{LOADA}, \quad (5)$$

$$U_{OUTB} = I_{OUTB} \cdot R_{LOADB}. \quad (6)$$

Напряжения  $U_{OUTA}$  и  $U_{OUTB}$  во всем диапазоне выходных токов должны быть в пределах от минус 1,0 до 1,25 В.

Дифференциальное выходное напряжение  $U_{DIFF}$  определяется разностью токов  $I_{OUTA}$  и  $I_{OUTB}$ , соответственно:

$$U_{DIFF} = (I_{OUTA} - I_{OUTB}) \cdot R_{LOAD}, \quad (7)$$

где  $R_{LOAD} = R_{LOADA} = R_{LOADB}$ .

Заменяя значения  $I_{OUTA}$ ,  $I_{OUTB}$  и  $U_{DIFF}$ , получаем следующее выражение:

$$U_{DIFF} = \{ (2 \text{ код ЦАП} - 16383) / 16384 \} \cdot (32 R_{LOAD} / R_{SET}) \cdot U_{REFIO}. \quad (8)$$

Последние два равенства (7), (8) показывают преимущества применения микросхемы в дифференциальном включении токовых выходов. Во-первых, это помогает ликвидировать синфазные помехи, возникающие из-за шума токов  $I_{OUTA}$  и  $I_{OUTB}$ , искажений и синфазных отклонений токов. Во-вторых, обеспечивается удвоенное выходное напряжение  $U_{DIFF}$  по сравнению с напряжениями несимметричного выхода ( $U_{OUTA}$  и  $U_{OUTB}$ ), таким образом, обеспечивается двойная мощность сигнала в нагрузке. Уменьшение температурного дрейфа обеспечивается при несимметричном и дифференциальном включении выходов, посредством подбора резисторов  $R_{LOAD}$ ,  $R_{SET}$ .

### **Установка выходных токов**

Установку выходных токов обеспечивают переключатели тока. Необходимый набор токов выдается матрицей источников тока. При этом выходные токи матрицы разделены на три группы: старшие, средние и младшие.

Старшие токи (32 тока) равны опорному току  $I_{REFIO}$ . Один старший ток выдается на выход FSADJ, остальные (31 ток) поступают на переключатели тока. Подключение старших токов к выходам IOUTA, IOUTB определяется состоянием входов DB13 – DB9.

Средние токи (15 токов) равны  $I_{REFIO}/16$ . Подключение средних токов к выходам IOUTA, IOUTB определяется состоянием входов DB8 – DB5.

Младшие токи (5 токов) равны соответственно  $I_{REFIO}/32$ ,  $I_{REFIO}/64$ ,  $I_{REFIO}/128$ ,  $I_{REFIO}/256$  и  $I_{REFIO}/512$ . Подключение младших токов к выходам IOUTA, IOUTB определяется состоянием входов DB4 – DB0.

## Тактовые входы

Одной из возможностей микросхемы является использование дифференциального тактового сигнала, запитанного от отдельного источника (выводы CLKVCC и CLKGND) для достижения оптимальной синхронизации (минимального отклонения фазы). Два входа тактовых сигналов CLK+ и CLK-# могут подключаться как к одиночному, так и к дифференциальному источнику тактового сигнала. При использовании одиночного тактового сигнала, CLK+ подключается к источнику сигнала, на CLK-# подается напряжение  $U_{CLKVCC}/2$ . Пример реализации с использованием резистивно-емкостного делителя приведен на рисунке 4.2. Для случая использования дифференциального источника тактового сигнала пример подключения приведен на рисунке 4.3.

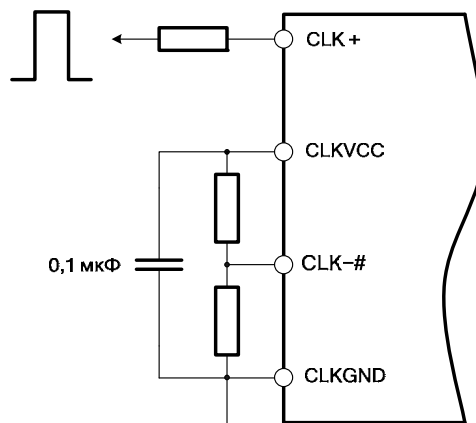


Рисунок 4.2 – Использование одиночного источника тактовых сигналов

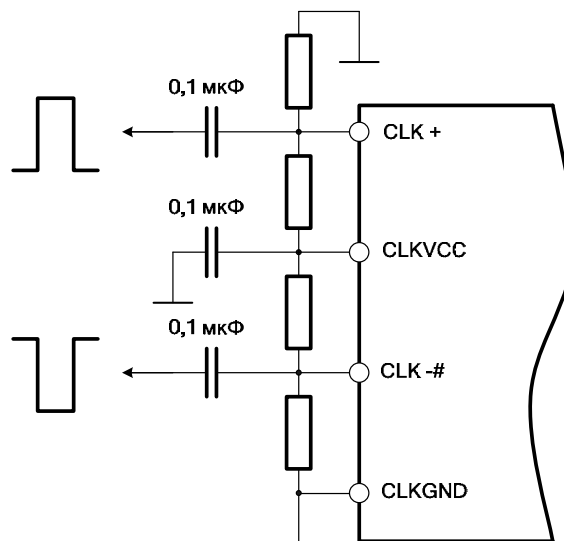


Рисунок 4.3 – Использование дифференциального источника тактового сигнала

Так как частота обновления данных на выходе достигает 400 МГц, качество тактового сигнала и входных данных очень важно для оптимальной производительности. Драйверы цифровых данных должны удовлетворять условиям времен удержания и установки, так же как и условиям минимальных и максимальных входных пороговых уровней.

Длина цифровых входов должна быть минимальна, должно соблюдаться равенство длин путей сигналов во избежание задержки распространения. Применение последовательно включенного сопротивления низкого номинала (20 – 100) Ом между драйвером и цифровыми входами может быть очень полезно для уменьшения любых выбросов и затуханий на цифровых входах, которые вносят значительный вклад в паразитное проникновение данных. При длинных линиях связи и высокой частоте обновления полосковая линия должна быть оптимально согласована.

Внешняя цепь тактового сигнала должна обеспечивать минимальный фазовый разбег с соблюдением логических уровней. Как можно большая крутизна фронта обеспечивает минимальные фазовые разбеги тактовых сигналов, что снижает, в свою очередь, фазовый шум восстановленного сигнала. Поэтому, тактовые цепи должны строиться с использованием высокоскоростной логики.

На входы тактовых сигналов может подаваться и синусоидальный сигнал, смещенный на  $U_{CLKVCC}/2$ , при этом размах должен достигать уровней верхнего и нижнего логических порогов. Результат – небольшое увеличение фазового шума, которое становится более заметным на высоких частотах.

## **4.2 Цифровой фильтр**

Цифровой фильтр выполнен на основе КИХ-фильтра сорок третьего порядка. Значения коэффициентов КИХ-фильтра приведены в таблице 4.1. Амплитудно-частотная (АЧХ) и импульсная характеристики КИХ-фильтра приведены на рисунках 4.4 и 4.5. Фильтр работает на частоте в два раза выше тактовой.

Таблица 4.1 – Коэффициенты КИХ-фильтра сорок третьего порядка

Нижние коэффициенты	Верхние коэффициенты	Значение
H(1)	H(43)	10
H(2)	H(42)	0
H(3)	H(41)	-31
H(4)	H(40)	0
H(5)	H(39)	69
H(6)	H(38)	0
H(7)	H(37)	-138
H(8)	H(36)	0
H(9)	H(35)	248
H(10)	H(34)	0
H(11)	H(33)	-419
H(12)	H(32)	0
H(13)	H(31)	678
H(14)	H(30)	0
H(15)	H(29)	-1083
H(16)	H(28)	0
H(17)	H(27)	1776
H(18)	H(26)	0
H(19)	H(25)	-3282
H(20)	H(24)	0
H(21)	H(23)	10364
H(22)		16384

Фильтр может быть сконфигурирован как ФНЧ или ФВЧ. Режим работы задается с помощью входов MOD0 и MOD1 (таблица 4.2). Использование заполнения нулями обеспечивает коррекцию характеристики фильтра на частоте в 2 раза выше тактовой, что приближает ее к виду  $\sin(x)/x$ . В режиме заполнения нулями частота данных на выходе фильтра в 4 раза выше входной.

Таблица 4.2 – Режимы работы цифрового фильтра

Вход MOD0	Вход MOD1	Тип характеристики	Заполнение нулями
0	0	ФНЧ	нет
0	1	ФНЧ	да
1	0	ФВЧ	нет
1	1	ФВЧ	да



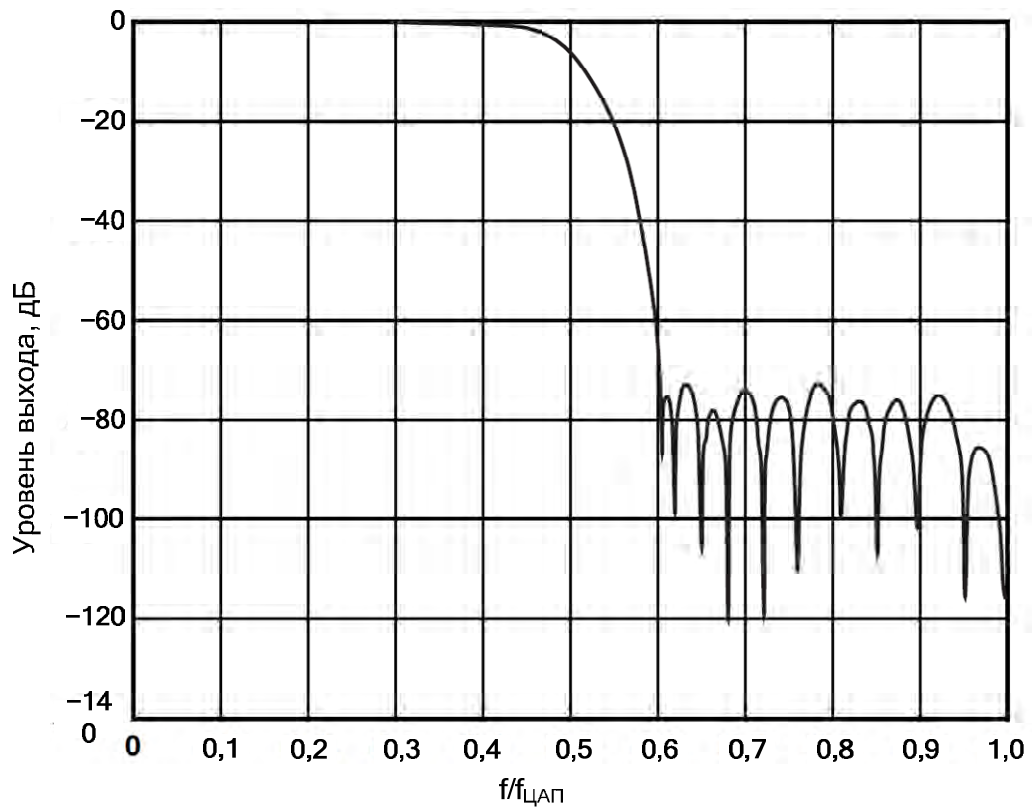


Рисунок 4.4 – АЧХ КИХ-фильтра в режиме ФНЧ

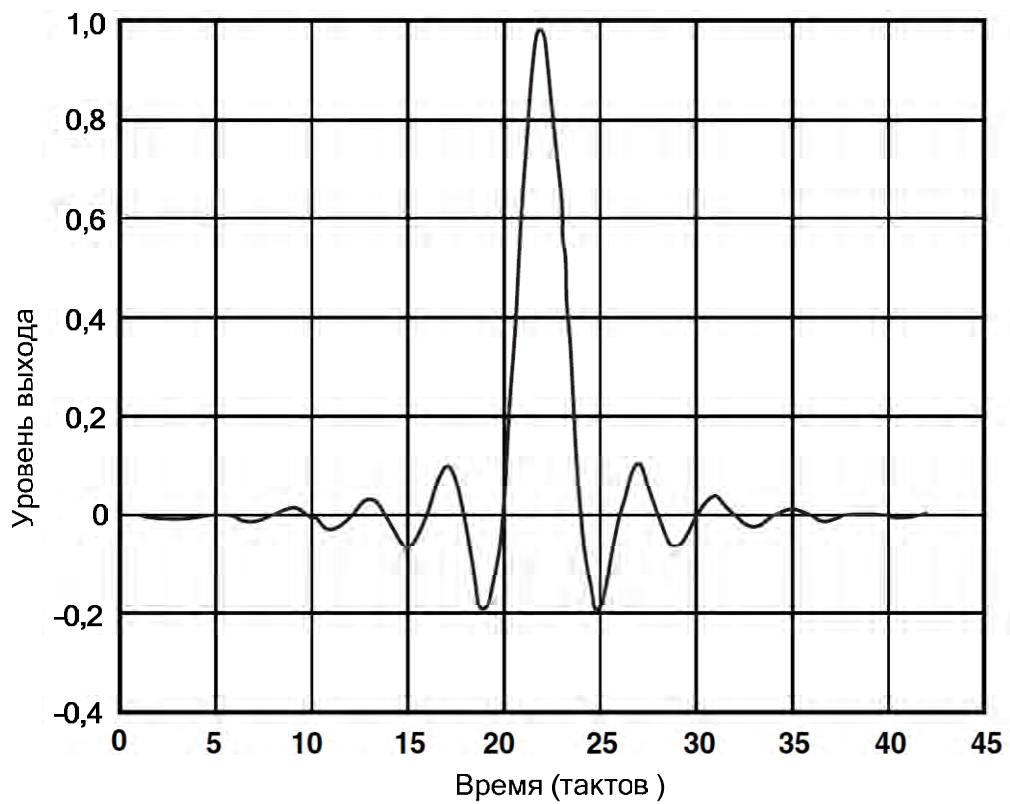


Рисунок 4.5 – Нормированная импульсная характеристика КИХ-фильтра в режиме ФНЧ

### 4.3 Умножитель частоты

Умножитель частоты представляет собой петлю фазовой автоподстройки частоты и обеспечивает формирование внутренних тактовых сигналов с частотами в 2 – 4 раза выше внешнего, что необходимо для работы цифрового фильтра. На рисунке 4.6 приведена структурная схема умножителя частоты, который состоит из фазового детектора, генератора управляемого напряжением (ГУН), схемы выбора диапазона, схемы дифференциального усилителя тактового сигнала и схемы формирования тактового сигнала. На рисунке 4.7 приведена структурная схема формирования тактовых сигналов при выключенной петле ФАПЧ.

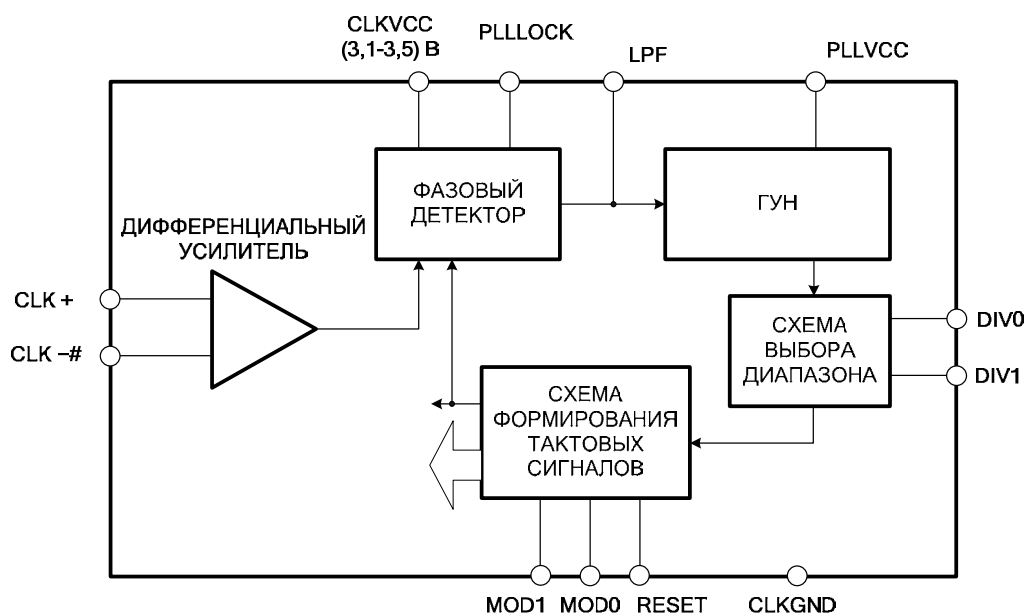


Рисунок 4.6 – Структурная схема умножителя частоты в режиме “ФАПЧ включен”

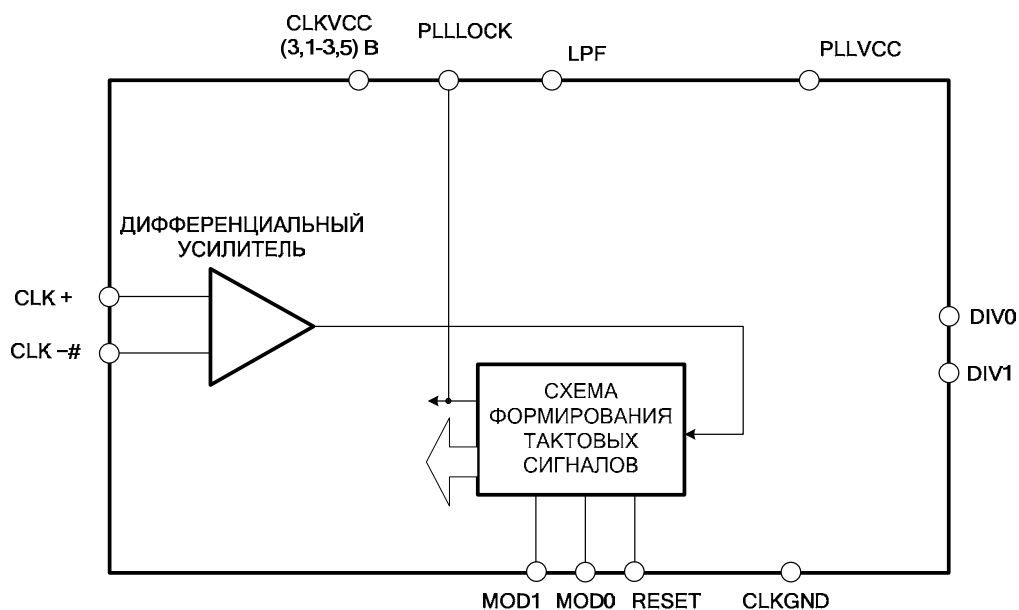


Рисунок 4.7 – Структурная схема формирования тактовых сигналов в режиме “ФАПЧ выключен”

ГУН работает в диапазоне частот (96 – 400) МГц. Рекомендуемые значения управляющих сигналов для разных значений частоты входных данных приведены в таблице 4.3.

Таблица 4.3 – Рекомендуемые коэффициенты деления для частоты входных данных

Частота, МГц	Вход MOD1	Вход DIV1	Вход DIV0	Коэффициент деления
48 – 160	0	0	0	1
24 – 100	0	0	1	2
12 – 50	0	1	0	4
6 – 25	0	1	1	8
24 – 100	1	0	0	1
12 – 50	1	0	1	2
6 – 25	1	1	0	4
3 – 12,5	1	1	1	8

### ФАПЧ включен

ФАПЧ включается подачей питания на вывод PLLVCC. PLLLOCK является выходом фазового детектора и устанавливается в 1, если ФАПЧ находится в режиме захвата фазы.

### **ФАПЧ выключен**

Для выключения ФАПЧ необходимо вывод PLLVCC соединить с землей. Частота обновления данных на выходе в 2 раза выше входной, частота на входе CLK должна быть в 2 раза выше частоты входных данных. PLLLOCK является выходом внутреннего делителя тактового сигнала и индицирует момент захвата данных со входа во входные триггеры (по переднему фронту) PLLLOCK.

### **4.4 Режим «Останов»**

В рабочем режиме на вход SLEEP подается низкий уровень напряжения  $U_{\cap GND}$  или не подается ничего (вход не подключен). При подаче на вход SLEEP высокого уровня напряжения  $U_{\cap VCC}$ , микросхема переходит в режим «Останов», при этом токи обоих выходов становятся равными нулю, а ток потребления аналоговой части уменьшается до 6 мА. Время входа в режим «Останов» составляет 50 нс, время выхода – 15 мкс.

### **4.5 Источник опорного напряжения**

Микросхемы имеют встроенный источник опорного напряжения, который может быть отключен и заменен внешним источником. Вывод REFIO является входом/выходом в зависимости от того, какой источник опорного напряжения подключен: внутренний или внешний. Если вход REFLO подключен к выводу  $\cap GND$ , то включается внутренний источник опорного напряжения, напряжение которого 1,2 В выдается на выход REFIO. В этом случае к выходу REFIO обязательно должен быть подключен внешний керамический конденсатор емкостью 0,1 мкФ или более, как показано на рисунке 4.8. Если требуется использовать внутреннее опорное напряжение микросхемы для других микросхем, к выходу REFIO необходимо подключить буфер, имеющий входной ток меньше, чем 1 мкА.

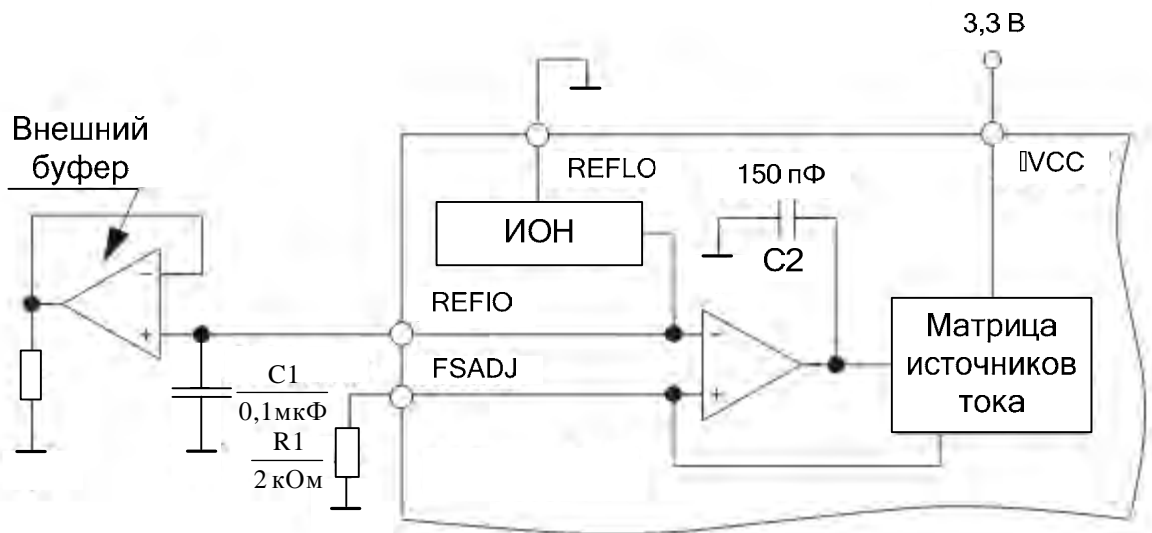


Рисунок 4.8 – Работа с внутренним источником опорного напряжения

Внутренний источник опорного напряжения может быть отключен подсоединением входа REFLO к выводу  $\nabla VCC$ . В этом случае внешний источник подключается к выводу REFIO, как показано на рисунке 4.9. Внешний источник опорного напряжения может обеспечить большую точность, а изменением его напряжения можно регулировать ток полной шкалы ЦАП.

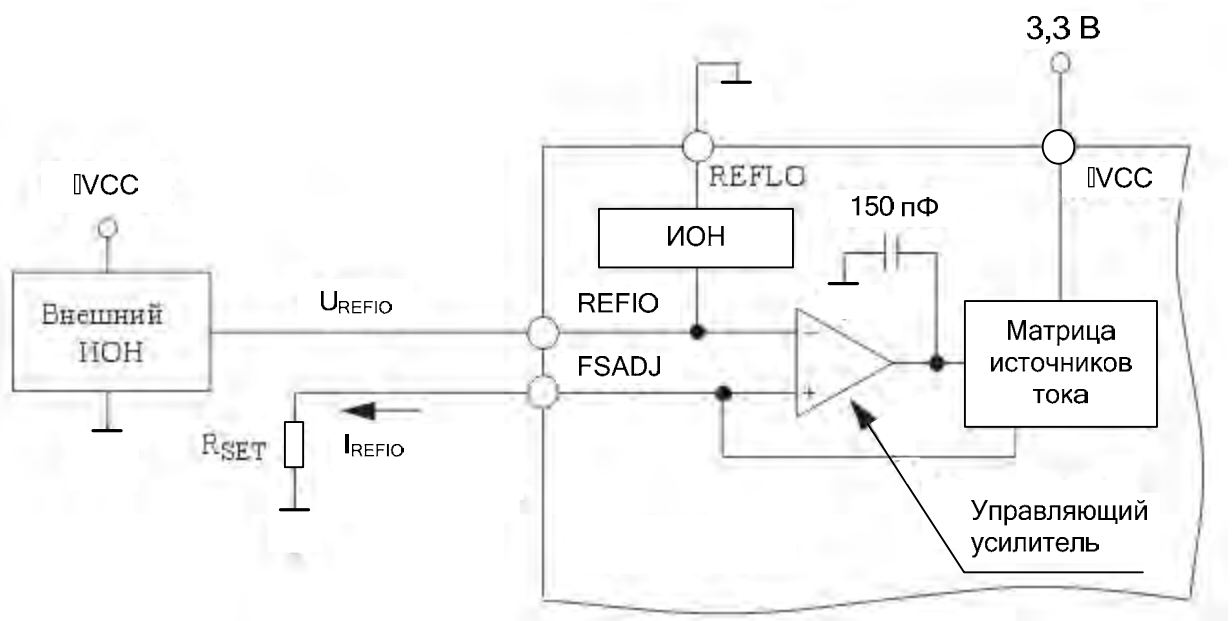


Рисунок 4.9 – Работа с внешним источником опорного напряжения

## 4.6 Управляющий усилитель

Микросхемы содержат управляющий усилитель, который служит для регулировки выходного тока  $I_{OUTFS}$ . Управляющий усилитель используется как преобразователь напряжение - ток, его выходной ток  $I_{REFIO}$  определяется значением опорного напряжения  $U_{REFIO}$  и сопротивлением внешнего резистора  $R_{SET}$  по формуле (4).

Управляющий усилитель установкой  $I_{REFIO}$  от 62,5 до 625 мкА обеспечивает широкий подстраиваемый диапазон тока полной шкалы  $I_{OUTFS}$  от 2 до 20 мА.

## 4.7 Токовые выходы

Микросхемы имеют два токовых выхода  $IOUTA$  и  $IOUTB$ , которые могут включаться в схеме как на отдельные нагрузки, так и на дифференциальную нагрузку. Дифференциальное напряжение  $U_{DIFF}$ , формируемое на нагрузках  $R_{LOAD}$ , образуется между  $IOUTA$  и  $IOUTB$  и может быть преобразовано в однополярное напряжение через трансформатор или дифференциальный усилитель.

Выходное сопротивление токовых выходов можно представить как эквивалент параллельного соединения PMOS ключей с типовым сопротивлением 50 кОм и емкостью 5 пФ.

Токи выходов  $IOUTA$  и  $IOUTB$  поддерживают свое значение в диапазоне напряжений на этих выходах от минус 1,0 В до плюс 1,25 В.

Диапазон выходных напряжений на выходах  $IOUTA$  и  $IOUTB$  стабилизированного тока в положительной области незначительно зависит от тока полной шкалы  $I_{OUTFS}$ . Он ухудшается незначительно от его номинального значения плюс 1,25 В для  $I_{OUTFS} = 20$  мА до плюс 1,0 В для  $I_{OUTFS} = 2$  мА. Для оптимальной линейности токов  $IOUTA$  и/или  $IOUTB$  необходимо использовать на выходе микросхемы преобразователь ток-напряжение, что позволяет сохранять неизменным выходное сопротивление. Включение микросхемы с пониженным перепадом напряжения на выходах  $IOUTA$  и  $IOUTB$  в дифференциальном или в несимметричном включении снижает зависимость сигнала от выходного сопротивления, таким образом, улучшаются характеристики сигнала.

Значительное улучшение характеристик искажений и шумов реализуется дифференциальным включением нагрузки. Оптимальные искажения достигаются, когда максимальный размах сигнала на выходах IOUTA и IOUTB не превышает 0,5 В.

Шумовые характеристики и характеристики искажений слабо зависят от цифрового и аналогового питания, так же как и от тока полной шкалы  $I_{OUTFS}$ . При аналоговом напряжении питания плюс 3,1 В обеспечивается максимальный уровень тока источника тока и дифференциальных ключей и обеспечивается улучшение коэффициента нелинейных искажений. Несмотря на то, что максимальный выходной ток можно установить в пределах от 2 до 20 мА, при его значении 20 мА обеспечиваются наилучшие характеристики шума и характеристики искажений. На характеристики шума влияют напряжение цифрового питания  $U_{\#VCC}$ , выходная частота сигнала и тактовая частота.

Оптимальные условия для эксплуатации микросхемы при наилучших её характеристиках:

- дифференциальное включение токовых выходов;
- размах положительного напряжения на выводах IOUTA и IOUTB ограничен до плюс 0,5 В;
- выходной ток полной шкалы  $I_{OUTFS}$  равен 20 мА;
- напряжение аналогового питания микросхемы от плюс 3,1 до плюс 3,3 В;
- напряжение цифрового питания микросхемы от плюс 3,1 до плюс 3,3 В.

#### 4.8 Цифровые входы

Цифровые входы микросхем состоят из 14 входов данных, входов тактового сигнала и сигналов управления. Шина данных имеет 14 разрядов, где DB13 (MSB) – старший разряд, а DB0 (LSB) – младший. На выходе IOUTA будет максимальный ток при условии, что на входе шины данных все разряды равны логической «1», при этом на выходе IOUTB будет нулевой ток. Цифровые входы имеют КМОП уровни, пороговая величина  $U_{THR}$  определяется по формуле

$$U_{THR} = \frac{U_{\#VCC}}{2} \pm 20\% .$$

Внутренние цепи микросхем способны функционировать при напряжении цифрового питания в пределах (3,1 – 3,5) В. Цифровые входы могут управляться уровнями ТТЛ, если  $U_{\#VCC}$  равно максимально возможному напряжению ТТЛ  $U_{OHmax}$ . Напряжение питания цифровой части микросхемы от 3,1 до 3,3 В обеспечивает нормальную работу с большинством элементов семейства ТТЛ. На рисунке 4.10 приведен эквивалент входной цепи цифровых входов и входов тактового сигнала.

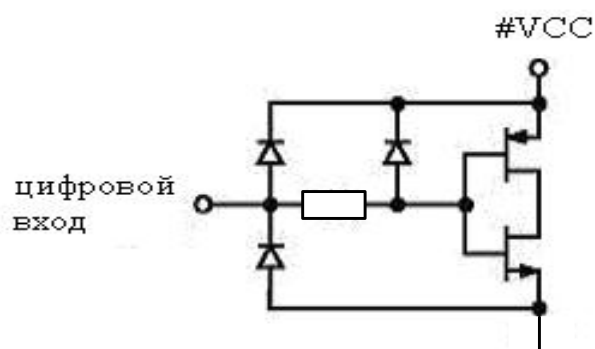


Рисунок 4.10 – Эквивалент цифрового входа

Так как, частота обновления данных микросхемы равна 160 миллионов выборок в секунду, предъявляются высокие требования к форме тактовых и входных сигналов. Источником тактовых сигналов микросхемы может быть как однополярный так и дифференциальный тактовые генераторы. В однополярном режиме тактовый сигнал подается на CLK+, на CLK-# должно подаваться напряжение  $U_{CLKVCC}/2$ , формируемое резистивным делителем. При работе в дифференциальном режиме CLK+ и CLK-# должны быть смещены до уровня  $U_{CLKVCC}/2$  с помощью схемы резистивного делителя.

Шины цифровых сигналов (разводка) должны быть как можно короче и одинаковой длины во избежание разной задержки распространения сигнала. Линия связи между цифровыми входами микросхемы и управляющими выходами должна иметь низкое сопротивление от 20 до 200 Ом.

Источник внешнего тактового сигнала должен обеспечивать короткие фронты тактового сигнала. Тактовая частота может иметь форму синусоиды, которая центрируется относительно цифрового уровня  $U_{\#VCC}/2$  и достигает минимального и максимального логического уровня.



## **4.9 Энергопотребление микросхем**

Потребляемая микросхемой мощность зависит от нескольких факторов:

- величины напряжения питания;
- величины тока полной шкалы  $I_{OUTFS}$ ;
- частоты тактового сигнала;
- восстановленной формы цифрового сигнала.

Для снижения потребляемой мощности рекомендуется работать при напряжении питания 3,1 В, токе полной шкалы 2 мА и возможно более низких частотах тактирования и цифрового сигнала.

Микросхемы имеют режим пониженного энергопотребления, в котором отключаются выходные ключи, а ток потребления по выводу аналогового питания снижается до 8,5 мА и менее. При этом токи  $I_{OUTA}$  и  $I_{OUTB}$  становятся равными нулю. Этот режим включается подачей на вход SLEEP логической «1».

На входе SLEEP микросхем имеется внутренний резистор сопротивлением 20 кОм, подключенный к общему выводу. Если вход SLEEP не подключен или на него подан логический «0» – микросхема остается в рабочем режиме.

## **5 Указания по применению и эксплуатации**

Микросхемы должны использоваться в соответствии с указаниями по применению и эксплуатации микросхем согласно ОСТ В 11 0998-99, АЕЯР.431320.675ТУ с дополнениями и уточнениями, приведенными в настоящем разделе.

### **5.1 Различные виды подключения выходных цепей**

Если нет оговорок, то считается, что ток полной шкалы равен 20 мА. Для применений, требующих оптимальных динамических характеристик, предлагается схема дифференциального включения выходов. По такой схеме включения нагрузкой может служить высокочастотный трансформатор или операционный усилитель. Трансформаторную нагрузку лучше использовать в схеме со связью по переменному току, а операционный усилитель – в связях по постоянному току, где требуются биполярный выход, усиление сигнала и/или сдвиг уровня сигнала. Несимметричный выход удобен в схемах, требующих однополярного выхода. Положительное выходное напряжение

получается в результате подсоединения оптимально подобранного резистора  $R_{LOAD}$  к выходам IOUTA (и/или IOUTB) и  $\cap GND$ . Такое подсоединение может быть более удобным для однополярного напряжения питания, требующего связи по постоянному току. В качестве альтернативы усилитель может быть включен как преобразователь ток-напряжение, таким образом, выходные токи микросхемы преобразуются в однополярное отрицательное напряжение. Такое включение создаёт наилучшую линейность по постоянному току.

Примечание – Выход IOUTA обеспечивает незначительно лучшие характеристики, чем выход IOUTB.

### 5.1.1 Дифференциальное подключение с помощью трансформатора

Высокочастотный трансформатор (на феррите) может использоваться для получения из дифференциального выхода несимметричного выхода, как показано на рисунке 5.1. Выход трансформатора дает оптимальные характеристики искажений выходного сигнала, если спектральные составляющие находятся в пределах полосы пропускания трансформатора. Трансформатор обеспечивает превосходное подавление синфазных искажений и шума в большом частотном диапазоне. Такая схема также обеспечивает гальваническую развязку. Трансформатор обеспечивает связь только по переменному току.

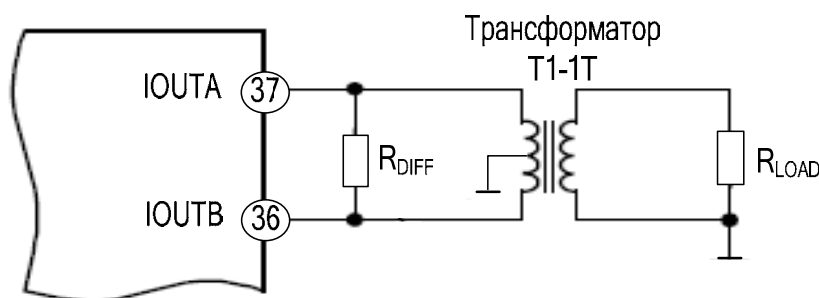
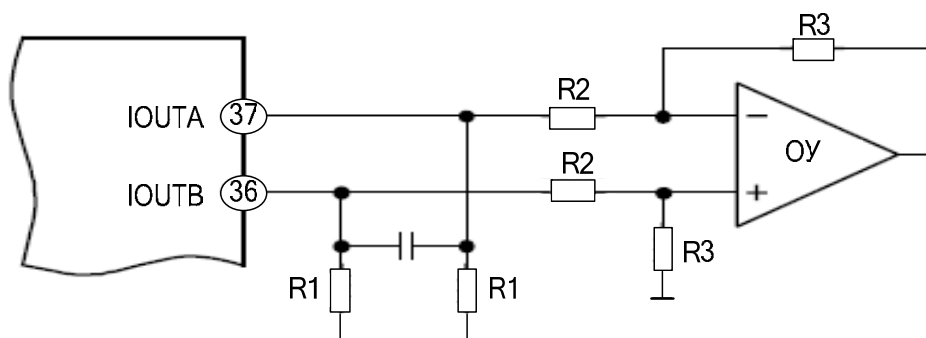


Рисунок 5.1 – Выходная развязка с использованием трансформатора

Центральный отвод первичной обмотки трансформатора должен быть подсоединен к  $\cap GND$ , чтобы обеспечить путь для постоянного тока  $I_{OUTA}$  и  $I_{OUTB}$ . Резистор  $R_{DIFF}$  используется, если вторичная обмотка подключается непосредственно на нагрузку  $R_{LOAD}$ , в качестве нагрузки может выступать пассивный восстанавливающий фильтр.

### 5.1.2 Дифференциальное подключение с помощью операционного усилителя

Операционный усилитель (ОУ) также может использоваться для получения из дифференциального выхода несимметричного выхода, как показано на рисунке 5.2. Дополнительный конденсатор образует НЧ фильтр и защищает от перегрузок вход операционного усилителя.

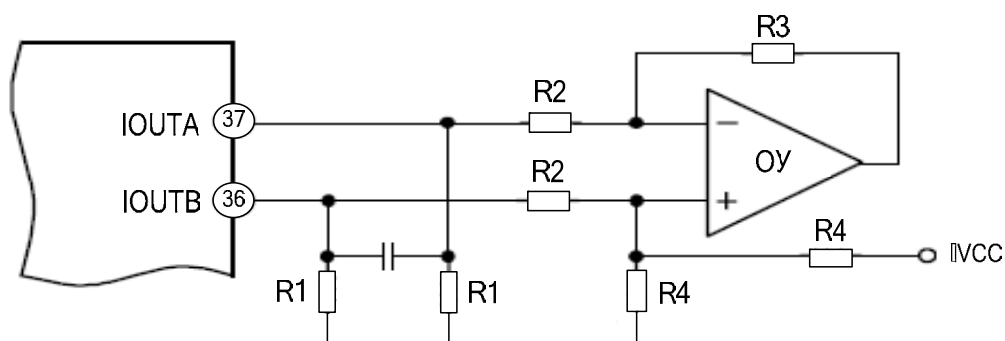


Резисторы:  $R1=25 \text{ Ом}$ ,  $R2=225 \text{ Ом}$ ,  $R3=500 \text{ Ом}$

Рисунок 5.2 – Дифференциальное подключение с помощью операционного усилителя

Ослабление синфазных сигналов такой схемы обычно обусловлено точным подбором резисторов. В приведенной схеме используется операционный усилитель, который в дополнение обеспечивает небольшое усиление сигнала. Усилитель включается по схеме двухполярного питания, так как амплитуда его выхода равна примерно  $\pm 1,0 \text{ В}$ . Подбор резисторов для усиления выходного сигнала осуществляется с учетом максимального значения выходного тока.

На рисунке 5.3 приведена схема со смещением уровня выходного сигнала, смещение необходимо при использовании однополярного источника питания.

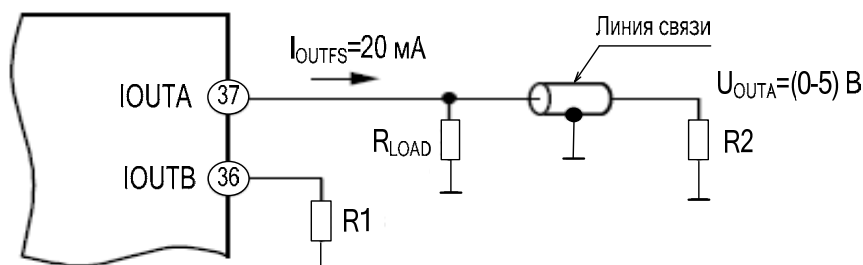


Резисторы:  $R1=25 \text{ Ом}$ ,  $R2=225 \text{ Ом}$ ,  $R3=500 \text{ Ом}$ ,  $R4=1 \text{ кОм}$

Рисунок 5.3 – Дифференциальное подключение с помощью операционного усилителя со смещением уровня выходного сигнала

### 5.1.3 Подключение с несимметричным небуферизированным выходом напряжения

На рисунке 5.4 приводится один из вариантов подключения микросхем для получения напряжения на выходе от 0 до плюс 0,5 В. Для согласования с нагрузками можно варьировать значениями  $I_{OUTFS}$  и  $R_{LOAD}$ .



Резисторы:  $R1=25$  Ом,  $R2, R_{LOAD}=50$  Ом

Рисунок 5.4 – Подключение с несимметричным небуферизированным выходом напряжения

### 5.1.4 Подключение с несимметричным буферизированным выходом напряжения

Для оптимизации нелинейности  $E_L$  предлагается схема с несимметричным буферизированным выходом напряжения, изображенная на рисунке 5.5, в которой операционный усилитель выступает в роли преобразователя ток-напряжение. Такая конфигурация уменьшает нелинейность, а с повышением частоты преобразования искажения по переменному току зависят только от операционного усилителя  $U1$ . Операционный усилитель обеспечивает отрицательное однополярное выходное напряжение, максимальное значение напряжения на выходе равно  $U_{OUT} = I_{OUTFS} \cdot R_{FB}$ .

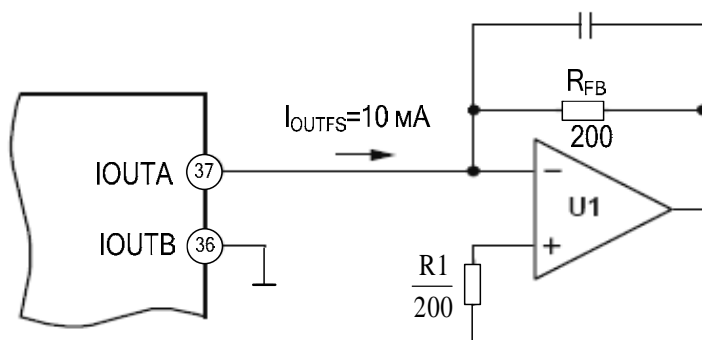
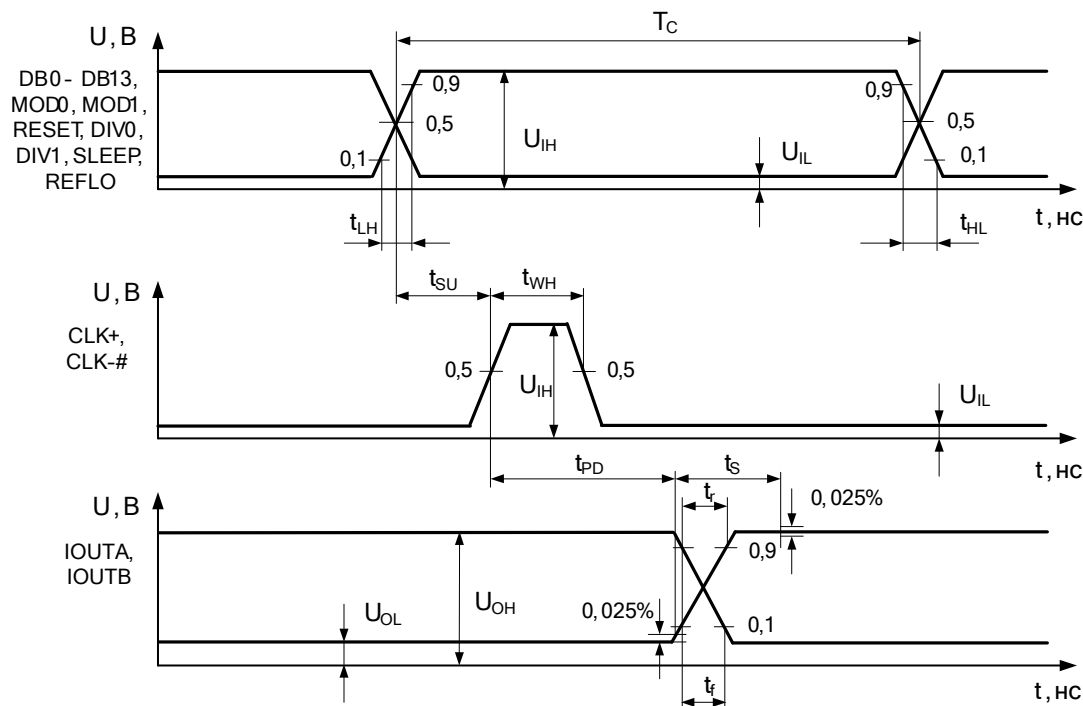


Рисунок 5.5 – Подключение с несимметричным буферизированным выходом напряжения

## 5.2 Временные диаграммы динамических параметров

Временные диаграммы динамических параметров микросхем 1273ПА5У, 1273ПА5У1 представлены на рисунке 5.6.



$T_C = 40$  нс;  $t_{SU} = 10$  нс;  $t_{WH} = 10$  нс;

$t_S = 11$  нс – время установления сигнала на выходах;

$t_{PD} \leq 20$  нс – время задержки переключения сигнала на выходах;

$U_{IL} = 0$  В;  $U_{IH} = U_{\#VCC}$ ;

$t_{LH}, t_{HL} \leq 5$  нс – длительность фронтов входных сигналов на уровнях  $0,1U_{IH}$  и  $0,9U_{IH}$ ;

$t_f$  – время спада,  $t_r$  – время нарастания выходного сигнала (время переключения на выходах);

$U_{OL} \leq 0,1$  В;  $U_{OH} \geq 0,8$  В

Рисунок 5.6 – Временные диаграммы динамических параметров

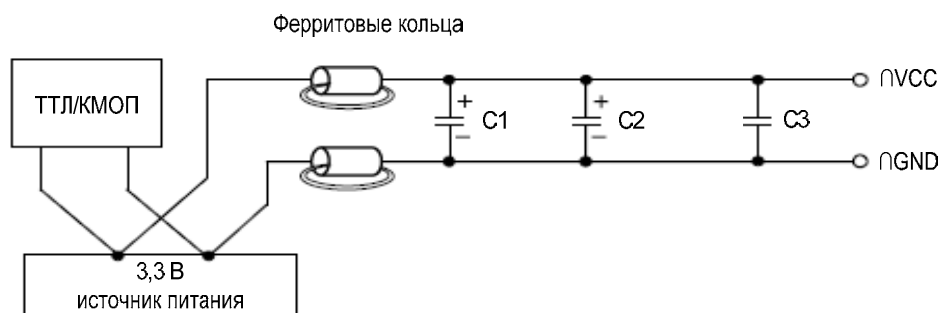
## 5.3 Рекомендации по обеспечению питания, заземления и экранирования

В системах, работающих на больших частотах с высокой производительностью, очень важную роль играет разводка платы. Необходимо правильно выбирать высокочастотные компоненты, размещение их на плате, оптимально производить разводку сигнальных шин, заземления и питания.

Правильное заземление и развязка должны быть главными задачами в высокоскоростных системах с высоким разрешением. В микросхеме для оптимизации управления, развязки аналогового и цифрового токов выводы аналоговой и цифровой земли и питания должны быть разделены. В основном, развязка необходима между выводами  $\cap VCC$  и  $\cap GND$ ,  $\#VCC$  и  $\#GND$ ,

CLKGND и CLKVCC, PLLCOM и PLLVCC непосредственно у выводов микросхемы, насколько это возможно.

Можно рекомендовать цепь аналогового питания, представленную на рисунке 5.7. Цепь состоит из дифференциального LC-фильтра с разделенными питающими напряжениями. Снижение шума может быть достигнуто применением электролитических, танталовых и керамических конденсаторов.



Конденсаторы: C1=100 мкФ – электролитический;  
C2=(10–22) мкФ – танталовый;  
C3=0,1 мкФ – керамический.

Рисунок 5.7 – Дифференциальный LC-фильтр для устройств с напряжением питания плюс 3,3 В

Достижение минимальных шумов по питанию необходимо для получения оптимальных характеристик ЦАП. Правильным размещением считается разделение цифровой и аналоговой части устройства полосой аналоговой земли.

Все контакты аналоговой части микросхемы, все аналоговые компоненты на плате должны подсоединяться непосредственно к плоскости аналоговой земли. Разводка платы должна быть сделана таким образом, чтобы шины земли не прерывали критические цепи прохождения сигнала. На цифровой части платы это относится к тактовым сигналам и цифровому входу. На аналоговой части платы это относится к сигналу опорного напряжения, токовым выходам и к цепи питания.

Рекомендуется использование широких дорожек и шин в разводке цепей питания. Это играет двойную роль: первое – понижает сопротивление цепей питания, второе – обеспечивает дополнительную емкостную развязку с шиной земли. Очень важно, чтобы разводка делалась правильно, потому что микросхема чувствительна к внешним наводкам и скачкам напряжения.

Рекомендуется, чтобы все соединения были короткими, насколько возможно, и физически близко располагались к микросхеме.

## **6 Заключение**

В настоящем руководстве КФДЛ.431328.006 рассмотрены архитектура, функциональное построение и особенности применения микросхем 1273ПА5У, 1273ПА5У1, которые представляют собой 14-разрядные цифро-аналоговые преобразователи.

Все значения электрических параметров микросхемы приведены в технических условиях на изделие АЕЯР.431320.675ТУ. Значения параметров, приведенные в настоящем руководстве, являются справочными.

Данное руководство может служить практическим пособием по применению ЦАП для разработчиков систем на основе микросхем 1273ПА5У, 1273ПА5У1.

Применение разработанных микросхем в системах цифровой обработки сигналов, встроенных системах управления, связи, в системах автоматизации технологических процессов, вычислительной технике, телекоммуникационной технике и т. д. позволит создавать более совершенные в техническом отношении и надежные в эксплуатации изделия.



## Приложение А

(обязательное)

Таблица А.1 – Термины, определения и буквенные обозначения параметров, неустановленные действующими стандартами

Наименование параметра	Буквенное обозначение параметра	Определение параметра
1	2	3
Выходной шум	ON	Отношение среднеквадратичного напряжения (тока) шума на выходе ЦАП в заданной полосе частот к квадратному корню из величины, равной заданной полосе частот
Общие гармонические искажения	THD	Отношение среднеквадратичного значения суммы амплитуд гармоник, исключая первую, к среднеквадратичному значению амплитуды основной составляющей выходного сигнала, выраженное в децибелах. Определяется по формуле: $THD = 10 \lg((V_2^2 + V_3^2 + \dots + V_i^2) / V_1^2), \quad (Б.1)$ где $(V_2^2 + V_3^2 + \dots + V_i^2)$ – среднеквадратичное значение суммы амплитуд гармоник от второй до $i$ -той; $V_1^2$ – среднеквадратичное значение амплитуды основной составляющей
Выходной ток полной шкалы по аналоговым выходам	$I_{OUTFS}$	Ток, определяемый конечным значением входного кода
Диапазон выходных напряжений	$\Delta U_{OCR}$	Диапазон напряжений, при котором обеспечивается работоспособность ЦАП
Максимальная частота обновления выходных данных	$f_C$	Максимальная частота, при которой обеспечивается работоспособность ЦАП
Максимальная частота обновления входных данных	$f_{INMAX}$	Максимальная частота обновления входных данных
Частота обновления входных данных	$f_{IN}$	Частота обновления входных данных

*Окончание таблицы А.1*

1	2	3
Выходная частота ЦАП	$f_{out}$	Частота аналогового сигнала, формируемого ЦАП
Суммарный динамический ток потребления по выводам CLKVCC и PLLVCC	$I_{occc}$	Сумма токов по выводам CLKVCC и PLLVCC

Лист регистрации изменений

Изм.	Номера листов (страниц)				Всего листов (страниц) в докум.	№ докум.	Подп.	Дата
	измененных	замененных	новых	аннулированных				
-	-	-	все	-	35			18.08.09
1	-	3, 32	-	-	-			20.02.13