

АДАПТЕР ДЛЯ ИС 1874BE96T, 1874BE8T, 1874BE7T, 1874BE7AT, 1874BE7BT

**Руководство по эксплуатации**

КФДЛ.301411.226РЭ

Инд. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата

2014

## Содержание

1 Назначение и условия применения.....	3
2 Технические характеристики .....	3
3 Состав адаптера .....	6
4 Устройство и принцип действия .....	7
5 Комплект поставки .....	10
6 Отладка программ с помощью адаптера .....	10
7 Меры безопасности .....	11
Приложение А (обязательное) Схема электрическая адаптера.....	12
Лист регистрации изменений.....	16

Перв. примен.	
Справ. №	

Подп. и дата	
Инов. № дубл.	
Взам. инв №	
Подп. и дата	

КФДЛ.301411.226РЭ				
Изм.	Лист	№ докум.	Подп.	Дата
Разраб.				
Пров.				
Г. контр.				
Н. контр.				
Утв.				
Адаптер для ИС 1874ВЕ96Т, 1874ВЕ8Т, 1874ВЕ7Т, 1874ВЕ7АТ, 1874ВЕ7БТ Руководство по эксплуатации				
		Лит.	Лист	Листов
		А	2	16

## 1 Назначение и условия применения

Адаптер для ИС 1874BE96Т, 1874BE8Т, 1874BE7Т, 1874BE7АТ и 1874BE7БТ (далее – адаптер) обеспечивает взаимодействие между интегрированной средой разработки CodeMaster-96, установленной на персональном компьютере, и отладочными ресурсами, встроенными в 16-разрядные микроконтроллеры 1874BE96Т, 1874BE8Т, 1874BE7Т, 1874BE7АТ и 1874BE7БТ, для выполнения отладочных функций.

Адаптер обеспечивает следующие отладочные функции:

- сброс микроконтроллера с последующим остановом программы пользователя;
- запуск на выполнение программы пользователя в режиме реального времени;
- останов программы пользователя в произвольный момент времени;
- определение текущего адреса выполнения программы пользователя при останове;
- изменение текущего адреса выполнения программы пользователя в останове;
- 4 точки останова по адресу выполнения программы;
- шаг низкого уровня (выполнение одной инструкции микроконтроллера) с заходом в подпрограммы;
- шаг низкого уровня без захода в подпрограммы;
- шаг высокого уровня (выполнение программы по строкам исходного кода на языке С) с заходом в подпрограммы;
- шаг высокого уровня без захода в подпрограммы;
- запись и чтение внутренней памяти программ EEPROM (для ИС 1874BE96Т, 1874BE8Т);
- запись и чтение памяти данных;
- запись и чтение памяти регистров специального назначения.

## 2 Технические характеристики

JTAG эмулятор (далее – JEM-96) выполнен в пластиковом корпусе и имеет разъем USB для подключения к персональному компьютеру с одной стороны и разъем для

Инв. № подл.	Подп. и дата	Взам. Инв. №	Инв. № дубл.	Подп. и дата
Изм.	Лист	N документа	Подпись	Дата

КФДЛ.301411.226РЭ

Лист  
3

подключения отлаживаемого устройства с другой стороны. Электропитание JEM-96 осуществляется от порта USB компьютера. Эмулятор имеет средства индикации в виде трех светодиодов, отображающих:

- наличие питания на плате адаптера (PWR);
- наличие сигнала сброса на плате адаптера (RST);
- режим выполнения пользовательской программы: ход или останов (RUN).

Адаптер также обеспечивает:

- подключение к плате пользователя с помощью плоского кабеля с розеткой типа IDC-14F, подключаемого к вилке типа IDC-14M на плате пользователя, или с помощью кабеля, на котором вместо IDC-14F установлены розетки типа BLS-1;

- связь с микроконтроллером через отладочный разъем по одному из двух последовательных интерфейсов: UART или SPI, а также по JTAG, в зависимости от конфигурации платы пользователя;

- возможность установки скорости обмена по последовательному интерфейсу UART в зависимости от тактовой частоты микроконтроллера на плате пользователя;

- аппаратный сброс микроконтроллера;

- доступ к ресурсам микроконтроллера при останове пользовательской программы, включая чтение и запись памяти программ, памяти данных и регистров специального назначения.

Контакты отладочного разъема должны подключаться к плате пользователя в соответствии с таблицей 1.

Таблица 1 – Контакты отладочного разъема

Название контакта	Номер контакта		Название контакта
VCCtrg	1	2	VCCtrg
DCS	3	4	DBG#
DIN/TDI	5	6	GND
NMI/TMS	7	8	GND
DCLK/TCK	9	10	GND
DOUT/TDO	11	12	GND
RST	13	14	GND

Инов. № подл.	Подп. и дата
Взам. Инов. №	Инов. № дубл.
Подп. и дата	Подп. и дата

Изм.	Лист	N документа	Подпись	Дата	КФДЛ.301411.226РЭ	Лист
						4

Описание назначения контактов, приведенных в таблице 1:

- VCCtrg – напряжение питания +3,3 В на плате пользователя, соединяется с выводами #VCC1 микроконтроллера;
- GND – общий, соединяется с выводами #0V1 микроконтроллера 1874BE96Т, 1874BE8Т или 1874BE7Т;
- RST – сброс, соединяется с выводом RESET# микроконтроллера 1874BE96Т, 1874BE8Т или 1874BE7Т;
- DBG# – выбор стартового адреса в программной памяти. В случае отладки через последовательные интерфейсы UART и SPI соединяется с выводом VPR микроконтроллера 1874BE96Т, 1874BE8Т или с выводом P0.6 – для ИС 1874BE7Т, 1874BE7АТ, 1874BE7БТ. При отладке через JTAG для ИС 1874BE96Т или 1874BE8Т соединяется с выводом P1.4, для ИС 1874BE7АТ, 1874BE7БТ – не используется;
- NMI/TMS – в случае отладки через последовательные интерфейсы UART и SPI соединяется с выводом NMI микроконтроллера 1874BE96Т, 1874BE8Т, 1874BE7Т, 1874BE7АТ, 1874BE7БТ (прерывание пользовательской программы в произвольный момент времени). При отладке через JTAG для ИС 1874BE96Т, 1874BE8Т соединяется с выводом P1.0, для ИС 1874BE7АТ, 1874BE7БТ – с выводом TMS;
- DIN/TDI – в случае отладки через последовательные интерфейсы UART соединяется с одним из выводов RXD0(P2.1) или RXD1(P2.4) микроконтроллера 1874BE96Т, 1874BE8Т, 1874BE7Т, 1874BE7АТ, 1874BE7БТ для обмена по UART0 или UART1 соответственно. В случае отладки через SPI соединяется с выводом MOSI(P1.5) микроконтроллера 1874BE96Т, 1874BE8Т, 1874BE7Т, 1874BE7АТ, 1874BE7БТ. При отладке через JTAG для ИС 1874BE96Т или 1874BE8Т соединяется с выводом P1.1, для ИС 1874BE7АТ, 1874BE7БТ – с выводом TDI;
- DOUT/TDO – в случае отладки через последовательные интерфейсы UART соединяется с одним из выводов TXD0(P2.0) или TXD1(P2.6) микроконтроллера 1874BE96Т, 1874BE8Т, 1874BE7Т, 1874BE7АТ, 1874BE7БТ для обмена по UART0 или UART1 соответственно. В случае отладки через SPI соединяется с выводом MISO(P1.6) микроконтроллера 1874BE96Т, 1874BE8Т, 1874BE7Т, 1874BE7АТ, 1874BE7БТ. При отладке через JTAG для ИС 1874BE96Т или 1874BE8Т соединяется с выводом P2.5, для ИС 1874BE7АТ, 1874BE7БТ – с выводом TDO;

Инд. № подл.	Подп. и дата	Взам. Инв. №	Инв. № дубл.	Подп. и дата

Изм.	Лист	N документа	Подпись	Дата	КФДЛ.301411.226РЭ	Лист
						5

- DCLK/ТСК – в случае отладки через SPI соединяется с выводом SCK(P1.7) микроконтроллера 1874BE96Т, 1874BE8Т, 1874BE7Т, 1874BE7АТ, 1874BE7БТ для обмена по SPI. При отладке через JTAG для ИС 1874BE96Т или 1874BE8Т соединяется с выводом #ЕА, для ИС 1874BE7АТ, 1874BE7БТ – с выводом ТСК;
- DCS – в случае отладки через SPI соединяется с выводом SS#(P1.2) микроконтроллера 1874BE96Т, 1874BE8Т, 1874BE7Т, 1874BE7АТ, 1874BE7БТ. При обмене по UART или JTAG остается неподключенным.

### 3 Состав адаптера

В состав адаптера входят следующие элементы:

- JTAG эмулятор JEM-96;
- плоский кабель, для подключения к плате пользователя, с гнездами типа IDC-14F;
- плоский кабель, для подключения к плате пользователя, с гнездами типа BLS-1;
- USB кабель, для соединения с ПК.



Рисунок 1 – Эмулятор JEM-96, вид сверху

Общий вид эмулятора представлен на рисунке 1, на нем видно расположение светодиодов, индицирующих режимы работы. На рисунках 2 и 3 изображены разъемы отладчика.

Инва. № подл.	Подп. и дата
Взам. Инв. №	Инва. № дубл.
Подп. и дата	Подп. и дата

Изм.	Лист	N документа	Подпись	Дата	КФДЛ.301411.226РЭ	Лист
						6



Рисунок 2 – Разъем USB эмулятора JEM-96



Рисунок 3 – Разъем IDC-14F эмулятора JEM-96

В приложении А приведена схема электрическая эмулятора.

#### 4 Устройство и принцип действия

Адаптер взаимодействует с микроконтроллерами 1874BE96Т, 1874BE8Т, 1874BE7Т, 1874BE7АТ, 1874BE7БТ либо через интерфейсы UART, SPI, либо через JTAG. В случае использования интерфейса UART или SPI должна выполняться резидентная отладочно-загрузочная программа, располагающаяся либо во внутренней (для 1874BE96Т, 1874BE8Т), либо во внешней (для 1874BE7Т, 1874BE7АТ, 1874BE7БТ) памяти. В случае отладки через JTAG резидентная программа не требуется.

Резидентная отладочно-загрузочная программа (далее РОЗП) обеспечивает поддержку отладочных функций комплекса, приведенных в разделе 1. Для выполнения отладочных функций РОЗП использует возможности модуля отладки (OCDS), входящего в состав микроконтроллеров. РОЗП поддерживает аппаратные и программные средства ограничения доступа к внутренним ресурсам микроконтроллера. РОЗП находится на

Инвар. № подл.	Подп. и дата
Взам. Инвар. №	Инвар. № дубл.
Подп. и дата	Подп. и дата

Изм.	Лист	N документа	Подпись	Дата	КФДЛ.301411.226РЭ	Лист
						7

прилагаемом CD-диске.

РОЗП обеспечивает следующие режимы работы:

- программирование и отладка по одному из трех последовательных портов UART0, UART1 или SPI с возможностью выбора пользователем скорости обмена по UART0 и UART1 в зависимости от тактовой частоты микроконтроллера – режимы DEBUG-UART0, DEBUG-UART1, DEBUG-SPI;
- запись и чтение внутренней EEPROM по последовательному порту UART0 в соответствии с алгоритмом, разработанным ОАО «НИИЭТ» – режим SERIAL;
- запись и чтение внутренней EEPROM по параллельному порту в соответствии с алгоритмом, разработанным ОАО «НИИЭТ» – режим SLAVE;
- автоматическая запись внутренней EEPROM из внешней памяти в соответствии с алгоритмом, разработанным ОАО «НИИЭТ» – режим AUTO;
- автоматическое чтение из внутренней EEPROM во внешнюю память в соответствии с алгоритмом, разработанным ОАО «НИИЭТ» – режим ROM-DUMP.

Выбор режима работы РОЗП производится в зависимости от состояния выводов микроконтроллера P0.4 - P0.7 (далее – выводы PMODE) после сброса. В случае соответствия этого состояния одному из режимов, разработанных ОАО «НИИЭТ», РОЗП переходит на отработку соответствующего алгоритма. В случае несоответствия этого состояния ни одному из режимов, разработанных ОАО «НИИЭТ», РОЗП обращается к параметрам режима отладки, хранящимся во внутренней EEPROM. Если в параметрах отладки в EEPROM не указан ни один из режимов DEBUG-UART0, DEBUG-UART1 или DEBUG-SPI, то РОЗП выбирает режим отладки в зависимости от состояния выводов PMODE. Выводы PMODE должны быть задействованы для выбора режима отладки только при отсутствии соответствующего параметра в EEPROM после сброса и до установления связи. После установления связи параметры обмена в режиме отладки должны быть автоматически записаны в EEPROM, после чего выводы PMODE могут быть использованы пользовательской программой. Также предусмотрена возможность сброса параметров отладки, сохраняемых в EEPROM, путём обеспечения соответствующего состояния на выводах PMODE.

Соответствие состояния выводов микроконтроллера 1874BE96Т и 1874BE8Т после сброса и выбранного режима работы РОЗП показано в таблице 2.

Инв. № подл.	Подп. и дата	Взам. Инв. №	Инв. № дубл.	Подп. и дата
--------------	--------------	--------------	--------------	--------------

Изм.	Лист	N документа	Подпись	Дата	КФДЛ.301411.226РЭ	Лист
						8

Таблица 2 – Режимы работы РОЗП для ИС 1874BE96Т и 1874BE8Т

P0.7 (PMODE3)	P0.6 (PMODE2)	P0.5 (PMODE1)	P0.4 (PMODE0)	Режим работы РОЗП
0	0	0	1	DEBUG-SPI *
0	0	1	0	DEBUG-UART0 *
0	0	1	1	DEBUG-UART1 *
0	1	0	0	RESET-DEBUG-CONF
0	1	0	1	SLAVE
0	1	1	0	ROM-DUMP
1	1	0	0	AUTO
1	1	1	0	SERIAL

В таблице знаком \* отмечены состояния выводов, влияющие на выбор режима отладки только при сброшенных параметрах отладки, сохраняемых в EEPROM, до первоначального установления связи по выбранному порту. Состояние RESET-DEBUG-CONF в таблице соответствует сбросу параметров отладки, хранящихся в EEPROM.

В случае отладки ПО ИС 1884BE7Т, 1874BE7АТ, 1874BE7БТ резидентная программа находится во внешней памяти. При компиляции проекта резидентная часть автоматически добавляется в код пользовательской программы. Соответствие состояния выводов микроконтроллеров 1874BE7Т, 1874BE7АТ, 1874BE7БТ и выбранного режима работы РОЗП показано в таблице 3.

Таблица 3 – Режимы работы РОЗП для ИС 1874BE7Т, 1874BE7АТ, 1874BE7БТ

P0.5 (PMODE1)	P0.4 (PMODE0)	Режим работы РОЗП
0	1	DEBUG-SPI
1	0	DEBUG-UART0
1	1	DEBUG-UART1

Инд. № подл.	Подп. и дата
Взам. Инв. №	Инв. № дубл.

Изм.	Лист	N документа	Подпись	Дата	КФДЛ.301411.226РЭ	Лист
						9

## 5 Комплект поставки

В комплект поставки устройства входят компоненты, приведенные в таблице 4.

Таблица 4 – Комплект поставки

Наименование	Кол-во, шт.
1 JTAG эмулятор JEM-96	1
2 Плоский кабель с гнездом типа IDC-14F	1
3 Плоский кабель с гнездами типа BLS-1	1
4 USB-кабель	1
5 CD-диск с ПО	1
6 Руководство по эксплуатации	1

## 6 Отладка программ с помощью адаптера

Адаптер обеспечивает взаимодействие между интегрированной средой разработки CodeMaster-96, установленной на персональном компьютере, и отладочными ресурсами, встроенными в 16-разрядный микроконтроллер, для выполнения отладочных функций.

Концепция CodeMaster-96 заключается в объединении внутрисхемного эмулятора, программного отладчика-симулятора, компиляторов, текстового редактора, менеджера проектов и программатора в рамках единой интеллектуальной среды разработки.

Совместно с адаптером, пакет позволяет работать с внутренней памятью микроконтроллера и вести аппаратную отладку кода в плате. Программный интерфейс пакета унифицирован и поддерживает все этапы разработки программного обеспечения – от написания исходного текста программы до ее компиляции и отладки.

Пакет CodeMaster-96 ориентирован на отладку программ на языке высокого уровня по исходному тексту. Встроенные многооконный редактор, менеджер проектов и большое количество сервисных возможностей существенно облегчают труд разработчика, избавляя его от рутинных операций.

Встроенный многооконный редактор предназначен для написания исходных текстов программ. Редактор поддерживает операции с блоками текста, поиск/замену, цветовое выделение синтаксических конструкций языка Си и ассемблера.

Изн. № подл.	Подп. и дата
Взам. Изн. №	Изн. № дубл.
Подп. и дата	Подп. и дата

Изн.	Лист	N документа	Подпись	Дата	КФДЛ.301411.226РЭ	Лист
						10

Встроенный менеджер проектов поддерживает автоматическую компиляцию программ, написанных для компилятора Си и ассемблера. Переход от редактирования исходного текста к отладке и обратно происходит прозрачно, т.е. менеджер проектов автоматически запускает компиляцию изменившихся исходных текстов, активизирует отладчик, осуществляет загрузку программ.

Переключение между интерфейсами отладки (UART, SPI или JTAG) в пакете CodeMaster-96 осуществляется выбором версии микроконтроллера с РОЗП («with Debug Monitor») или без РОЗП. Соответственно, выбирая версию «K1874BE96T Rev.3 with Debug Monitor» пакет CodeMaster-96 для отладки будет использовать РОЗП из памяти микроконтроллера посредством интерфейса UART или SPI, а выбирая версию «K1874BE96T Rev.3» отладка будет осуществляться встроенными средствами JTAG.

При подключении JEM-96 к макетно-отладочной плате (МОП) для 1874BE96T, 1874BE8T в режиме отладки по JTAG необходимо снять переключки на МОП JP17 (#EA), а в случае использования отладки по UART/SPI – снять переключки JP7, JP5 и JP3.

## 7 Меры безопасности

Все подключения к контактам разъемов портов ввода-вывода и элементов на макетном поле осуществлять только при отключенном напряжении питания контроллера.

Подключение интерфейсов между РС-совместимым компьютером и контроллером осуществлять только при отключенном напряжении питания контроллера, так как между общим проводом компьютера и общим проводом источника питания может быть высокое напряжение.

Инв. № подл.	Подп. и дата	Взам. Инв. №	Инв. № дубл.	Подп. и дата	КФДЛ.301411.226РЭ	Лист
						11
						Изм.



# Схема электрическая эмулятора

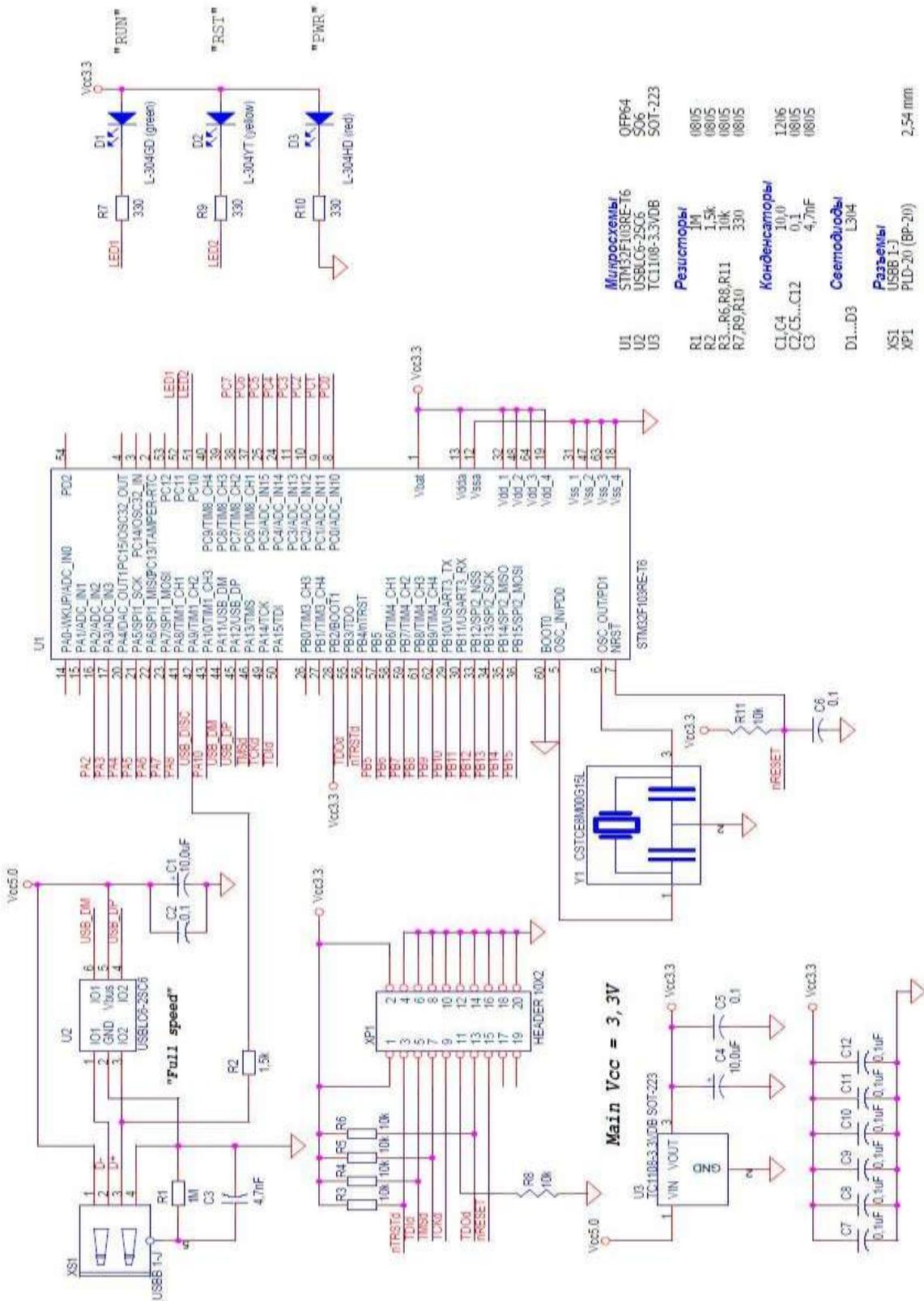


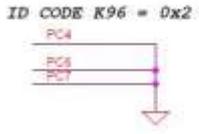
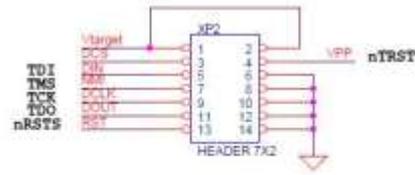
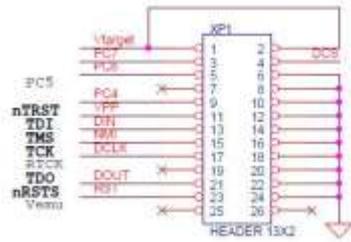
Рисунок А.1, лист 1 – Схема электрическая эмулятора

Инв. № подл.	Подп. и дата	Взам. Инв. №	Инв. № дубл.	Подп. и дата

Изм.	Лист	N документа	Подпись	Дата

КФДЛ.301411.226РЭ





Разъемы:  
 XP1 PLD-26 (BP-26) 2,54 mm  
 XP2 IDC-14MR (BH-14R) 2,54 mm

Рисунок А.1, лист 3

Инв. № подл.	Подп. и дата
Взам. Инв. №	Инв. № дубл.
Подп. и дата	Подп. и дата

Инв. № подл.	Лист	N документа	Подпись	Дата	КФДЛ.301411.226РЭ	Лист
						15

## Лист регистрации изменений

Изм.	Номера листов (страниц)				Всего листов (страниц) в докум.	№ документа	Подпись	Дата
	изменённых	заменённых	новых	аннулированных				

Изм.	Лист	N документа	Подпись	Дата
Изм.				
Изм.				

Изм.	Лист	N документа	Подпись	Дата	КФДЛ.301411.226РЭ	Лист
						16