

Справ. №	Перв. примен. КФДЛ.431328.016
----------	----------------------------------

МИКРОСХЕМА ИНТЕГРАЛЬНАЯ
1273ПА11Т

Техническое описание
КФДЛ.431328.016ТО

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

2013

Литера А

Содержание

Введение	3
1 Назначение и основные характеристики микросхемы	4
1.1 Архитектурные характеристики микросхемы	4
1.2 Конструктивные характеристики микросхемы	4
1.3 Электрические характеристики микросхемы	9
2 Общая характеристика микросхемы.....	11
3 Описание устройства.....	12
3.1 Структура ЦАП.....	12
3.2 Работа ЦАП	13
3.3 Тактовый вход.....	13
3.4 Входные порты	15
3.5 Схема коррекции фазы.....	19
3.6 Программируемая ФАПЧ	20
4 Указания по применению и эксплуатации.....	24
4.1 Источник опорного напряжения	24
4.2 Различные виды подключения выходных цепей	24
Заключение	29
Приложение А (обязательное) Термины, определения и буквенные обозначения параметров, не установленные действующими стандартами.....	30
Лист регистрации изменений	31

Инв. № подл.	Подп. и дата	Инв. № дубл.	Подп. и дата
Взам. инв. №		Инв. № дубл.	
Подп. и дата		Инв. № дубл.	
Инв. № подл.		Инв. № дубл.	

Введение

Развитие цифровой техники и цифровых методов обработки сигналов определяет современные тенденции в разработке разнообразных устройств и приборов, при этом значительная роль принадлежит аналого-цифровому и цифро-аналоговому преобразованию. Такое преобразование широко используется во всех областях радиоэлектроники, в различной измерительной и контрольной аппаратуре, системах связи, радиовещании и телевидении.

Цифро-аналоговые преобразователи (ЦАП) предназначены для преобразования сигнала, определенного, как правило, в виде двоичного кода в напряжение или ток, пропорциональные значению цифрового кода.

ИС 1273ПА11Т используется в цифровых системах обработки сигналов.

Настоящее техническое описание КФДЛ.431328.016ТО предназначено для изучения интегральной микросхемы 1273ПА11Т, содержит описание принципа работы, технические характеристики и другие сведения, необходимые для полного использования ее технических возможностей.

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

1 Назначение и основные характеристики микросхемы

ИС 1273ПА11Т – одноканальный 8-разрядный сверхвысокочастотный ЦАП с двумя входными мультиплицируемыми портами.

Основной областью применения микросхем является одноканальное и многоканальное передающее коммуникационное оборудование, использующее цифровую модуляцию. К нему относятся как беспроводные передающие системы базовых станций сотовой связи, так и кабельные передатчики, модемы и другое оборудование.

1.1 Архитектурные характеристики микросхемы

Максимальная входная тактовая частота и частота обновления входных данных составляет 600 МГц. Микросхема включает в себя высокоскоростной ЦАП, источник опорного напряжения, схему умножения частоты с ФАПЧ и схему коррекции фазы сигнала тактирования данных. Микросхема поддерживает частоту обновления выходных данных до 1 200 МГц.

Характеристики ЦАП:

- максимальная частота обновления выходных данных 1 200 МГц;
- максимальная частота обновления входных данных 600 МГц;
- время установления $t_s = 0,011$ мкс;
- интегральная нелинейность (типовое значение) $E_L = \pm 1,0$ МР;
- дифференциальная нелинейность $E_{LD} = \pm 3,0$ МР;
- разрядность – 8 бит ;
- дифференциальные токовые выходы IOUTA, IOUTB: максимальные токи I_{OUTA} , I_{OUTB} от 2 до 20 мА;
- диапазон температур окружающей среды: от минус 60 до 85 °С.

1.2 Конструктивные характеристики микросхемы

Микросхема выполнена в 64-выводном металлокерамическом корпусе 4203.64-1.

Масса микросхемы не более 2,5 г.

Условное графическое обозначение микросхемы приведено на рисунке 1.1, расположение выводов показано на рисунке 1.2.

Функциональное назначение выводов приведено в таблице 1.1.

Инв. № подл.	Подп. и дата
Взам. инв. №	Инв. № дубл.
Подп. и дата	Подп. и дата

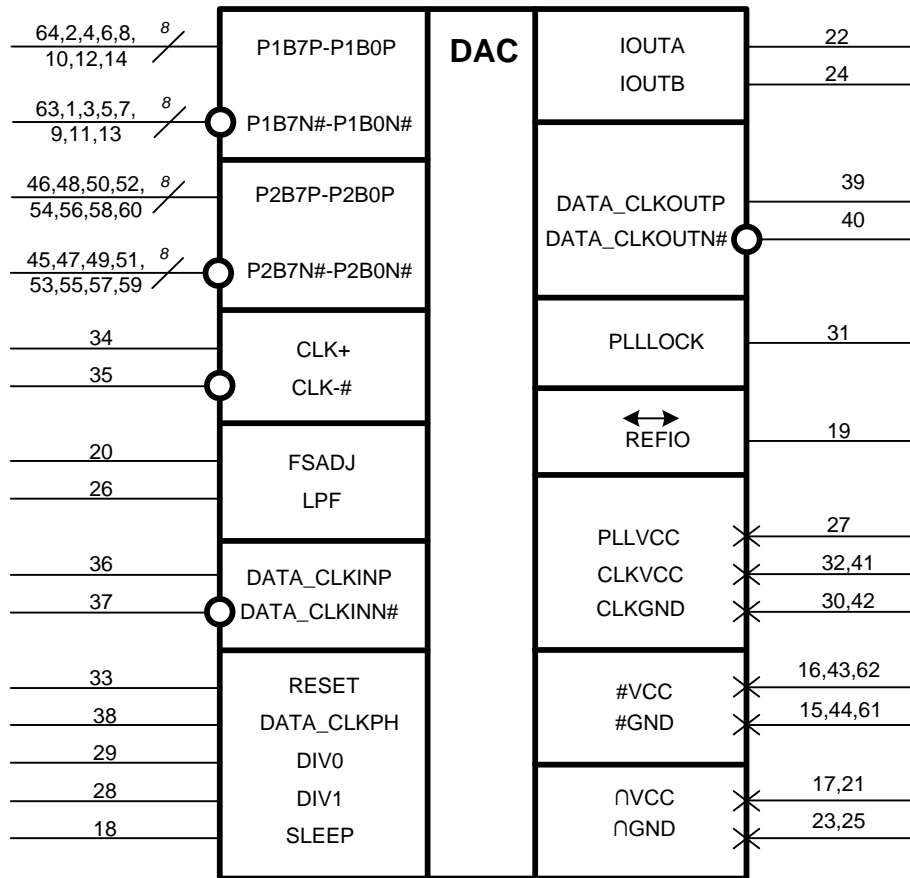


Рисунок 1.1 – Условное графическое обозначение ИС 1273ПА11Т

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

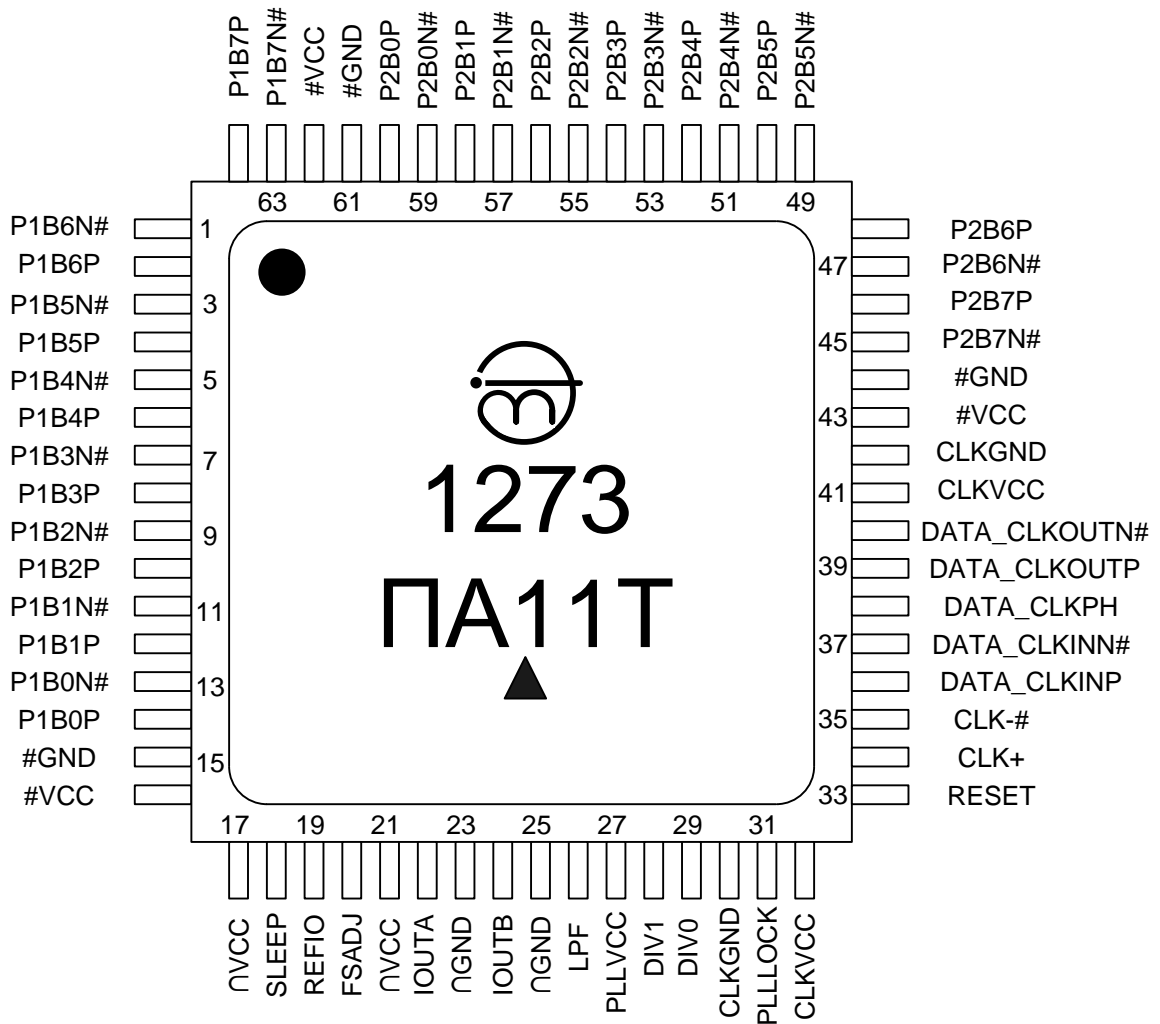


Рисунок 1.2 – Расположение выводов микросхемы 1273ПА11Т

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Таблица 1.1 – Функциональное назначение выводов микросхемы 1273ПА11Т

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода
1	2	3	4
33	RESET	Сброс внутреннего делителя частоты	I
36	DATA_CLKINP	Дифференциальный вход индикации задержки переключения входных данных, прямой вход LVDS уровня	I
37	DATA_CLKINN#	Дифференциальный вход индикации задержки переключения входных данных, инверсный вход LVDS уровня	I
39	DATA_CLKOUTP	Дифференциальный выход тактового сигнала для тактирования источника входных данных, прямой выход LVDS уровня	O
40	DATA_CLKOUTN#	Дифференциальный выход тактового сигнала для тактирования источника входных данных, инверсный выход LVDS уровня	O
34	CLK+	Дифференциальный вход тактового сигнала, прямой вход	I
35	CLK-#	Дифференциальный вход тактового сигнала, инверсный вход	I
38	DATA_CLKPH	Вход признака инверсии индикации задержки переключения входных данных	I
31	PLLLOCK	Выход индикации захвата ФАПЧ	O
63	P1B7N#	Бит данных DB7 порта 1, инверсный вход LVDS уровня	I
1	P1B6N#	Бит данных DB6 порта 1, инверсный вход LVDS уровня	I
3	P1B5N#	Бит данных DB5 порта 1, инверсный вход LVDS уровня	I
5	P1B4N#	Бит данных DB4 порта 1, инверсный вход LVDS уровня	I
7	P1B3N#	Бит данных DB3 порта 1, инверсный вход LVDS уровня	I
9	P1B2N#	Бит данных DB2 порта 1, инверсный вход LVDS уровня	I
11	P1B1N#	Бит данных DB1 порта 1, инверсный вход LVDS уровня	I
13	P1B0N#	Бит данных DB0 порта 1, инверсный вход LVDS уровня	I
64	P1B7P	Бит данных DB7 порта 1, прямой вход LVDS уровня	I
2	P1B6P	Бит данных DB6 порта 1, прямой вход LVDS уровня	I
4	P1B5P	Бит данных DB5 порта 1, прямой вход LVDS уровня	I
6	P1B4P	Бит данных DB4 порта 1, прямой вход LVDS уровня	I
8	P1B3P	Бит данных DB3 порта 1, прямой вход LVDS уровня	I
10	P1B2P	Бит данных DB2 порта 1, прямой вход LVDS уровня	I
12	P1B1P	Бит данных DB1 порта 1, прямой вход LVDS уровня	I
14	P1B0P	Бит данных DB0 порта 1, прямой вход LVDS уровня	I
45	P2B7N#	Бит данных DB7 порта 2, инверсный вход LVDS уровня	I

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Окончание таблицы 1.1

1	2	3	4
47	P2B6N#	Бит данных DB6 порта 2, инверсный вход LVDS уровня	I
49	P2B5N#	Бит данных DB5 порта 2, инверсный вход LVDS уровня	I
51	P2B4N#	Бит данных DB4 порта 2, инверсный вход LVDS уровня	I
53	P2B3N#	Бит данных DB3 порта 2, инверсный вход LVDS уровня	I
55	P2B2N#	Бит данных DB2 порта 2, инверсный вход LVDS уровня	I
57	P2B1N#	Бит данных DB1 порта 2, инверсный вход LVDS уровня	I
59	P2B0N#	Бит данных DB0 порта 2, инверсный вход LVDS уровня	I
46	P2B7P	Бит данных DB7 порта 2, прямой вход LVDS уровня	I
48	P2B6P	Бит данных DB6 порта 2, прямой вход LVDS уровня	I
50	P2B5P	Бит данных DB5 порта 2, прямой вход LVDS уровня	I
52	P2B4P	Бит данных DB4 порта 2, прямой вход LVDS уровня	I
54	P2B3P	Бит данных DB3 порта 2, прямой вход LVDS уровня	I
56	P2B2P	Бит данных DB2 порта 2, прямой вход LVDS уровня	I
58	P2B1P	Бит данных DB1 порта 2, прямой вход LVDS уровня	I
60	P2B0P	Бит данных DB0 порта, 2 прямой вход LVDS уровня	I
29	DIV0	Вход управления ФАПЧ	I
28	DIV1	Вход управления ФАПЧ	I
19	REFIO	Вход/выход ИОН	I/O
20	FSADJ	Вход установки тока полной шкалы выхода	I
18	SLEEP	Вход включения режима низкого потребления энергии	I
26	LPF	Вход фильтра ФАПЧ	I
24	IOUTB	Дифференциальный выход тока В ЦАП	O
22	IOUTA	Дифференциальный выход тока А ЦАП	O
23, 25	∅GND	Общий вывод аналоговой части микросхемы	-
30, 42	CLKGND	Общий вывод тактового сигнала и ФАПЧ	-
17, 21	∅VCC	Вывод питания аналоговой части микросхемы	-
27	PLLCC	Питающее напряжение ФАПЧ	-
32, 41	CLKVCC	Вывод питания тактового сигнала	-
15, 44, 61	#GND	Общий вывод цифровой части микросхемы	-
16, 43, 62	#VCC	Вывод питания цифровой части микросхемы	-
<p>Примечание – Принятые условные обозначения в графе «Тип вывода»:</p> <ul style="list-style-type: none"> - I – вход; - O – выход; - I/O – вход/выход. 			

Инва. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инва. № дубл.	Подп. и дата

1.3 Электрические характеристики микросхемы

Электрические характеристики микросхемы 1273ПА11Т при приемке и поставке приведены в таблице 1.2.

Значения предельно допустимых электрических режимов эксплуатации в диапазоне рабочих температур приведены в таблице 1.3.

Термины, определения, сокращения и буквенные обозначения параметров – по ОСТ В 11 0998–99, ГОСТ 17021–88 и ГОСТ 19480–89.

Термины, определения и буквенные обозначения параметров, не установленные действующими стандартами, представлены в таблице А.1 приложения А.

Таблица 1.2 – Значения электрических параметров микросхемы 1273ПА11Т при приемке и поставке

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра		Темпера- тура среды, °С
		не менее	не более	
1 Внутреннее опорное напряжение, В, $U_{CC1} = 1,8 \text{ В}, U_{CC2} = 1,8 \text{ В}, U_{CC3} = 1,8 \text{ В}$	U_{REF}	1,08	1,32	–60 ± 3 25 ± 10 85 ± 3
2 Ток потребления от источника U_{CC1} , мА, $U_{CC1} = 1,98 \text{ В}, U_{CC2} = 1,98 \text{ В}, U_{CC3} = 1,8 \text{ В},$ $f_{CLK} = 100 \text{ МГц}$	I_{CC1}	–	40	
3 Ток потребления от источника U_{CC2} , мА, $U_{CC1} = 1,98 \text{ В}, U_{CC2} = 1,98 \text{ В}, U_{CC3} = 1,8 \text{ В},$ $f_{CLK} = 100 \text{ МГц}$	I_{CC2}	–	75	
4 Ток потребления от источника U_{CC3} , мА, $U_{CC1} = 1,98 \text{ В}, U_{CC2} = 1,98 \text{ В}, U_{CC3} = 1,8 \text{ В},$ $f_{CLK} = 100 \text{ МГц}$	I_{CC3}	–	40	
5 Интегральная нелинейность, МР, $U_{CC1} = 1,8 \text{ В}, U_{CC2} = 1,8 \text{ В}, U_{CC3} = 1,8 \text{ В}$	E_L	–5,6	5,6	
6 Дифференциальная нелинейность, МР, $U_{CC1} = 1,8 \text{ В}, U_{CC2} = 1,8 \text{ В}, U_{CC3} = 1,8 \text{ В}$	E_{LD}	–2,1	2,1	
7 Погрешность смещения характеристики, % от полной шкалы, $U_{CC1} = 1,8 \text{ В}, U_{CC2} = 1,8 \text{ В}, U_{CC3} = 1,8 \text{ В}$	OE	–0,5	0,5	
8 Динамический диапазон, свободный от по- мех, дБ, $U_{CC1} = 1,8 \text{ В}, U_{CC2} = 1,8 \text{ В}, U_{CC3} = 1,8 \text{ В},$ $f_{OUT} = 1 \text{ МГц}$	SFDR	62	–	
9 Отношение сигнал/шум, дБ, $U_{CC1} = 1,8 \text{ В}, U_{CC2} = 1,8 \text{ В}, U_{CC3} = 1,8 \text{ В},$ $f_{OUT} = 1 \text{ МГц}$	SNR	48	–	
10 Время установления, мкс, $U_{CC1} = 1,8 \text{ В}, U_{CC2} = 1,8 \text{ В}, U_{CC3} = 1,8 \text{ В}$	t_s	–	0,012	
Примечание – Параметры OE, E_L , E_{LD} при температуре минус 60 °С не измеряются, а гарантируются нормами при температуре (25 ± 10) °С.				

Инв. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инв. № дубл.	Подп. и дата

Таблица 1.3 – Значения предельно допустимых режимов эксплуатации микросхем в диапазоне рабочих температур от минус 60 до 85 °С

Наименование параметра режима, единица измерения	Буквенное обозначение параметра	Предельно допустимый режим		Предельный режим	
		не менее	не более	не менее	не более
1 Напряжение питания цифровой части ИС, В	U_{CC1}	1,62	1,98	–	3,0
2 Напряжение питания аналоговой части ИС, В	U_{CC2}	1,62	1,98	–	3,0
3 Напряжение питания тактовой части ИС, В	U_{CC3}	1,62	1,98	–	3,0
4 Входное напряжение высокого уровня, В	U_{IH}	0,8	U_{CC1}	–	$U_{CC1} + 0,3$
5 Входное напряжение низкого уровня, В	U_{IL}	0	0,3	–0,3	–

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

2 Общая характеристика микросхемы

ИС 1273ПА11Т – одноканальный 8-разрядный сверхвысокочастотный ЦАП с двумя входными мультиплицируемыми портами. Максимальная входная тактовая частота составляет 600 МГц. Микросхема поддерживает частоту обновления выходных данных до 1 200 МГц.

Интегральная схема 1273ПА11Т содержит ФАПЧ (PLL), генератор тактовых импульсов и внутренний опорный источник напряжением 1,2 В. Когда PLL разрешен, частота тактовых импульсов, приложенных к CLK+/CLK– #, умножается, и генерируются все необходимые внутренние синхросигналы. ЦАП снабжен двумя комплементарными токовыми выходами, полные токи которых могут быть определены для обоих каналов единственным внешним резистором. ИС 1273ПА11Т обладает низким «джиттером».

Дифференциальный вход источника тактовых импульсов обеспечивает высокое подавление шумов, принимая синусоидальный или прямоугольный сигнал на входе. Для каждого функционального блока организованы отдельные выводы напряжения питания, чтобы гарантировать оптимальные характеристики по шуму и искажениям.

Режим низкого потребления мощности может использоваться для отключения всех цифровых и аналоговых частей микросхемы.

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

3 Описание устройства

3.1 Структура ЦАП

Микросхема 1273ПА11Т содержит следующие функциональные блоки, представленные на рисунке 3.1:

- ЦАП;
- входные регистры;
- умножитель частоты тактового сигнала ФАПЧ;
- регистр мультиплексор;
- входные LVDS буферы;
- источник опорного напряжения 1,2 В (ИОН);
- схему коррекции фазы.

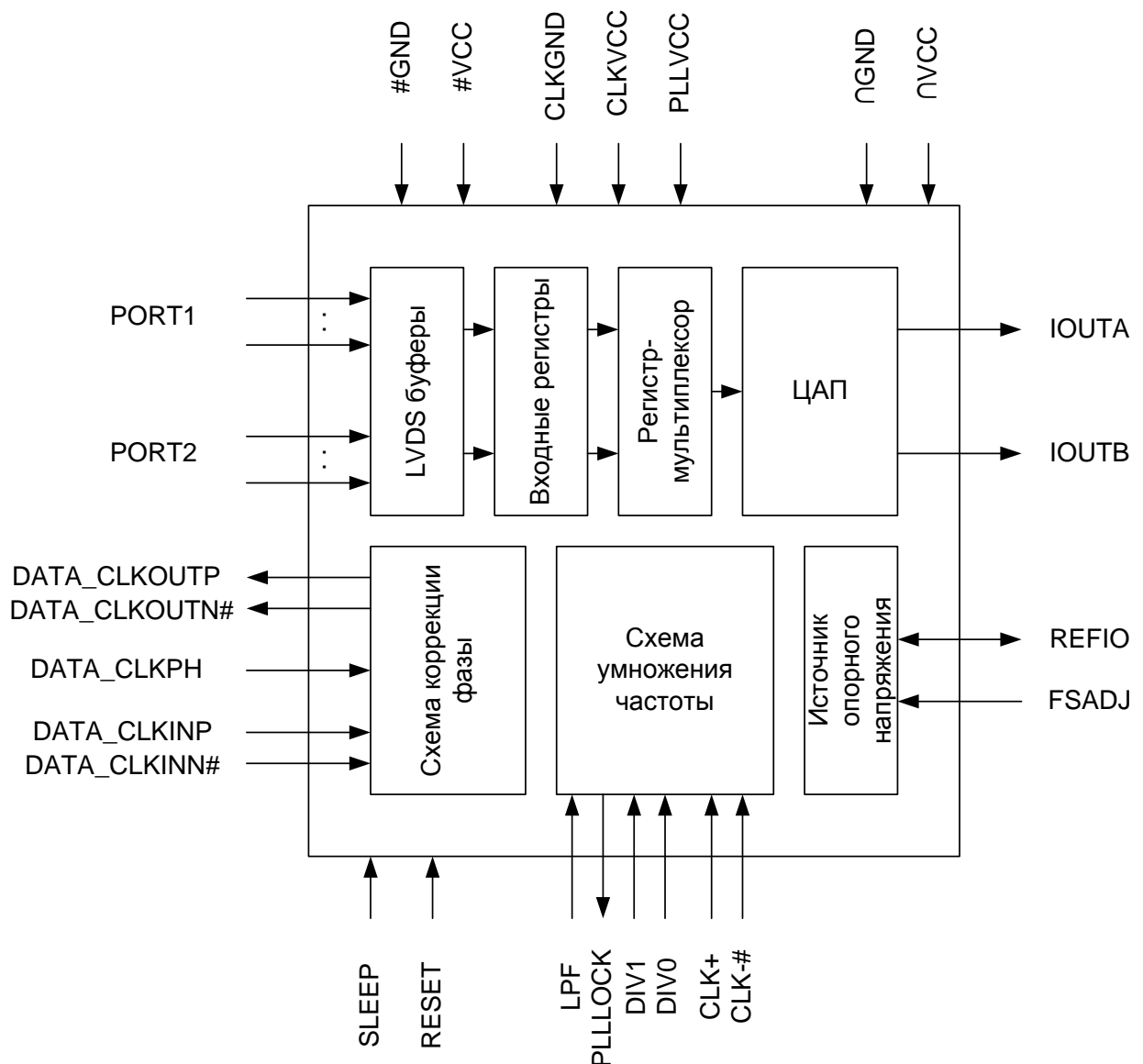


Рисунок 3.1 – Схема электрическая структурная микросхемы 1273ПА11Т

Инва. № подл.	Подп. и дата	Взам. инв. №	Инва. № дубл.	Подп. и дата

Микросхема имеет независимые выводы для питания аналоговых, цифровых, тактовых блоков и схемы умножения частоты. Для питания аналоговых блоков используются выводы $\cap VCC$ и $\cap GND$. Для питания цифровых блоков используются выводы $\#VCC$ и $\#GND$. Для питания тактовой схемы используются выводы $CLKVCC$ и $CLKGND$, для питания схемы умножения частоты – выводы $PLLVCC$ и $CLKGND$.

3.2 Работа ЦАП

Внешний источник может использоваться для принудительного задания уровня внутреннего источника простой подачей выхода внешнего источника на вывод REFIO.

Формулы (1) – (3) описывают функцию преобразования ЦАП:

$$I_{OUTA} = (\text{код ЦАП} / 256) \times I_{OUTFS}, \quad (1)$$

$$I_{OUTB} = ((255 - \text{код ЦАП}) / 256) \times I_{OUTFS}, \quad (2)$$

где (код ЦАП) = 0, 1, 2, ..., 255 – десятичное представление входного кода;

I_{OUTFS} – номинальное значение тока полной шкалы:

$$I_{OUTFS} = 32 \frac{U_{REF}}{R_{SET}}, \quad (3)$$

где R_{SET} – значение сопротивления резистора установки тока полной шкалы.

Что касается функции преобразования в формулах (1) – (3), то ток устанавливается внутренним источником 1,2 В и внешним резистором с сопротивлением R_{SET} .

ЦАП выполнен на основе PMOS матрицы источников тока, сегментированных в конфигурации 5 – 3. Пять старших разрядов регистра данных ЦАП управляют старшей матрицей из 31-го источника тока. Следующие три бита управляют младшей матрицей из семи источников тока, значения которых равны 1/8 источника тока старшей матрицы. Все источники тока подключены или к I_{OUTA} , или к I_{OUTB} , в зависимости от входного кода ЦАП.

3.3 Тактовый вход

Тактовые входы ИС 1273ПА11Т могут возбуждаться дифференциально или несимметрично. У внутренней тактовой схемы есть линии питания и земли $CLKVCC$ и $CLKGND$, которые отделяются от другого питания на кристалле, чтобы минимизировать «джиттер» от внутренних источников шума. На рисунке 3.2 показана ИС 1273ПА11Т, управляемая несимметричным тактовым источником. Выводы $CLK+ / CLK\#$ формируют дифференциальный вход $CLKIN$ так, чтобы неиспользуемый вход был смещен по постоянному току к уровню среднего значения напряжения управляемого тактового входа.

Дифференциальное управление тактовым входом показано на рисунке 3.3.

Инва. № подл.	Подп. и дата	Взам. инв. №	Инва. № дубл.	Подп. и дата

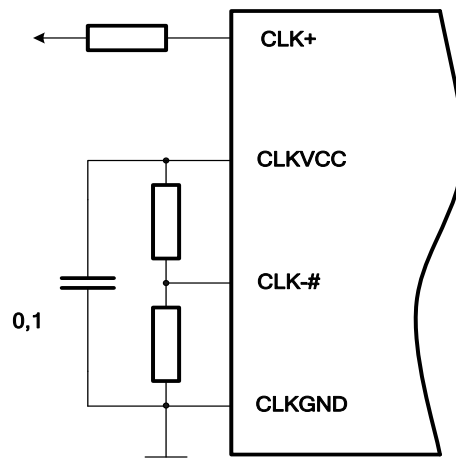


Рисунок 3.2 – Несимметричное управление тактовым входом

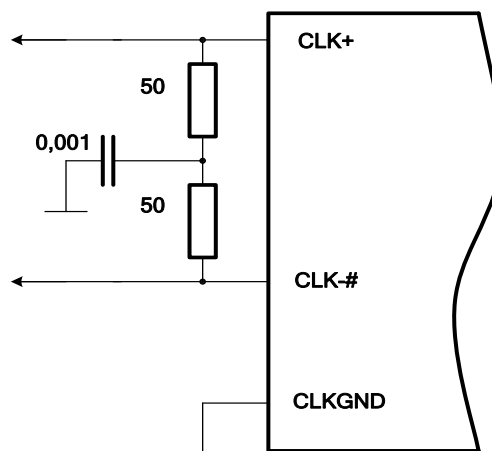


Рисунок 3.3 – Дифференциальное управление тактовым входом

Для преобразования однопроводного тактового сигнала в дифференциальный может использоваться трансформатор. Оптимальная эффективность ИС1273ПА11Т достигается размещением формирователя очень близко к тактовому входу ИС 1273ПА11Т, что позволяет подавить всякое негативное влияние линии передачи, например, такое, как отражения из-за несогласованности.

Так как частота обновления данных на выходе достигает 1 200 МГц, качество тактового сигнала и входных данных очень важно для оптимальной производительности. Драйверы цифровых данных должны удовлетворять условиям времен удержания и установки так же, как и условиям минимальных и максимальных входных пороговых уровней.

Длина цифровых входов должна быть минимальна, должно соблюдаться равенство длин путей сигналов, во избежание задержки распространения. При длинных линиях связи и высокой частоте обновления полосковые линии должны быть оптимально согласованы.

Внешняя цепь тактового сигнала должна обеспечивать минимальный фазовый разбег с соблюдением логических уровней. Как можно большая крутизна фронта обеспечивает минимальные фазовые разбеги тактовых сигналов, что

Инд. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата

снижает в свою очередь фазовый шум восстановленного сигнала. Поэтому тактовые цепи должны строиться с использованием высокоскоростной логики.

Хотя короткий фронт тактового сигнала уменьшает «джиттер», который проявляет себя как фазовый шум при восстановлении формы выходного аналогового сигнала, высокое усиление широкополосного компаратора тактового входа ИС 1273ПА11Т допускает использование дифференциального сигнала синусоидальной формы с размахом не менее 0,2 В р-р и минимальной деградацией по уровню шума на выходе.

3.4 Входные порты

Микросхема 1273ПА11Т содержит два 8-разрядных дифференциальных входных порта P1 и P2. DV7 соответствует старшему разряду, DV0 – младшему. Ток полной шкалы I_{OUTA} достигается, если на входе порта все сигналы выставлены в единицу. Вне зависимости от ФАПЧ (включено или выключено), выходы ЦАП обновляются дважды за каждый спад тактового сигнала на входных регистрах. ЦАП разработан для поддержки скорости входных данных до 600 МГц с частотой обновления выхода до 1 200 МГц.

Цифровые входы совместимы с LVDS уровнями.

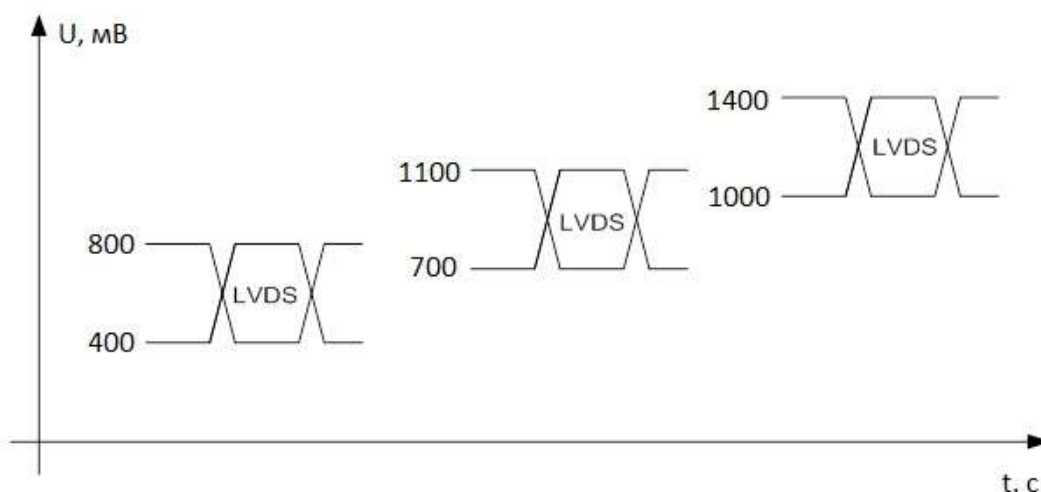


Рисунок 3.4 – Диапазон уровней LVDS сигнала на входе схемы

Согласно рисунку 3.4, входные LVDS буферы схемы сохраняют работоспособность в диапазоне входных сигналов (0,4 – 1,4) В.

Конфигурация входных цепей LVDS портов представлена на рисунке 3.5.

Инва. № подл.	Подп. и дата
Взам. инв. №	Инва. № дубл.
Подп. и дата	Подп. и дата

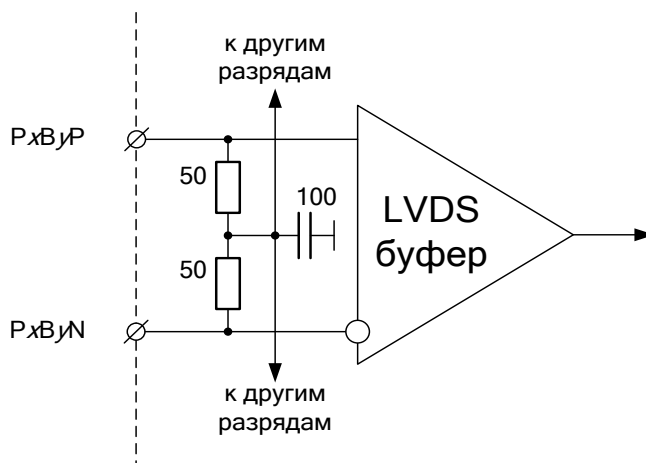


Рисунок 3.5 – Конфигурация входных цепей LVDS портов

Сверхскоростной цифровой LVDS интерфейс вызывает большую сложность системного проектирования, накладывая ограничения на разводку печатной платы и построение/синтез источника данных ЦАП. Наиболее оптимальным решением является использование для этих целей ПЛИС, имеющих в своем составе аппаратные средства поддержки высокоскоростного ввода-вывода, так называемые «SERializer-DESerializer» (OSERDES) блоки. Для интерфейса с ИС1273ПА11Т потребуется только функция последовательного вывода «SERializer» OSERDES блока. Блок OSERDES преобразует входные низкочастотные параллельные данные с помощью сдвигового регистра в выходной битовый поток со скоростью, умноженной на ширину входных данных. Например, 8-битный OSERDES блок может работать с входными 8-битными данными, поступающими со скоростью 150 Мбайт/с, преобразуя их в выходной 1-битовый поток со скоростью 1 200 Мбит/с.

Для примера на рисунке 3.6 приведена структурная схема реализации интерфейса с ПЛИС. Данные, поступающие на LVDS буферы, формируются с помощью 16 OSERDES блоков, преобразующих входной поток данных в два 8-разрядных чередующихся потока. Семнадцатый OSERDES блок используется для формирования сигнала DATA_CLKIN, индицирует момент изменения данных и используется схемой коррекции фазы для формирования задержки выходного сигнала DATA_CLKOUT.

На рисунке 3.7 приведены преобразования данных в различных блоках схемы.

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

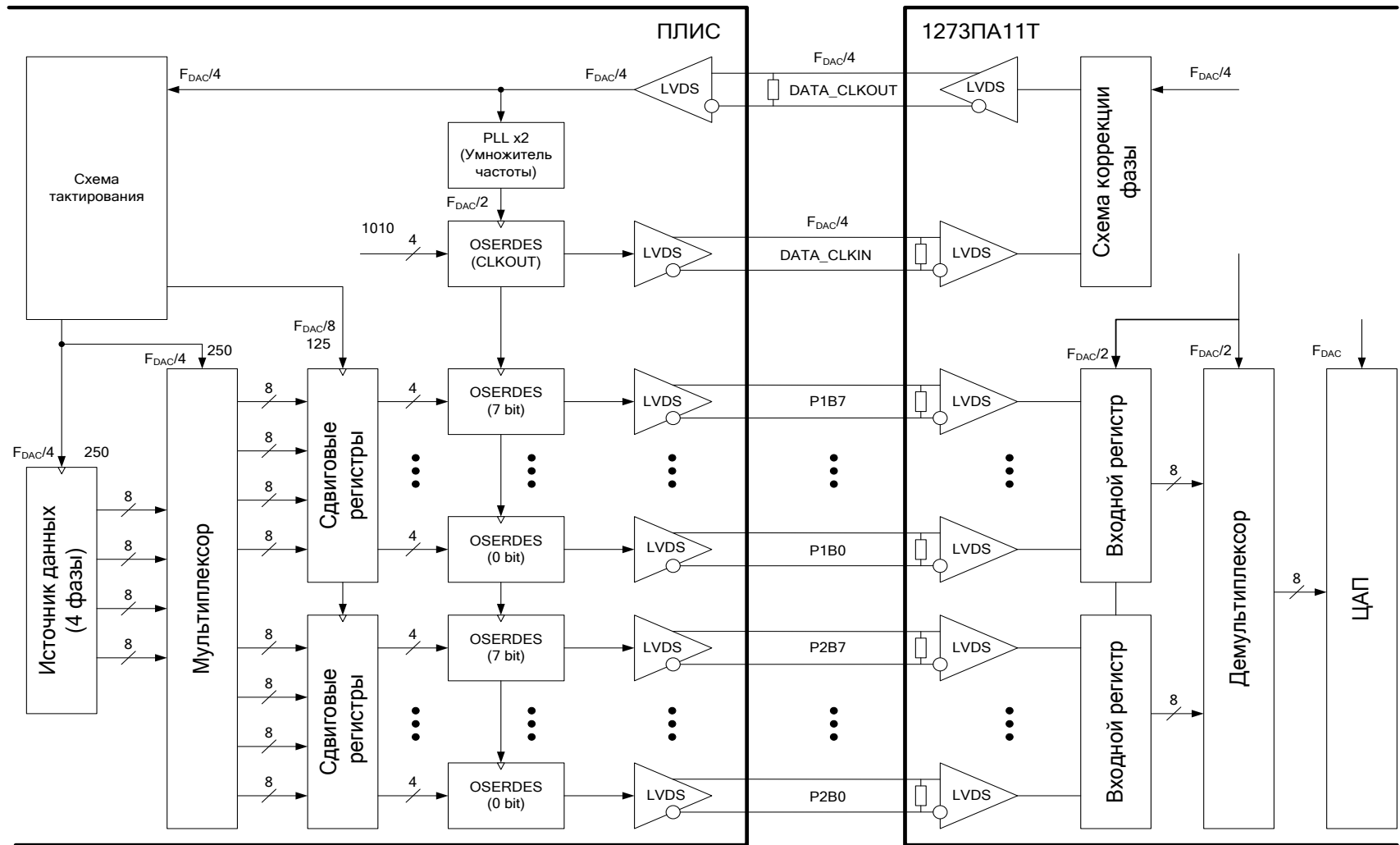


Рисунок 3.6 – Пример реализации интерфейса с ПЛИС

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

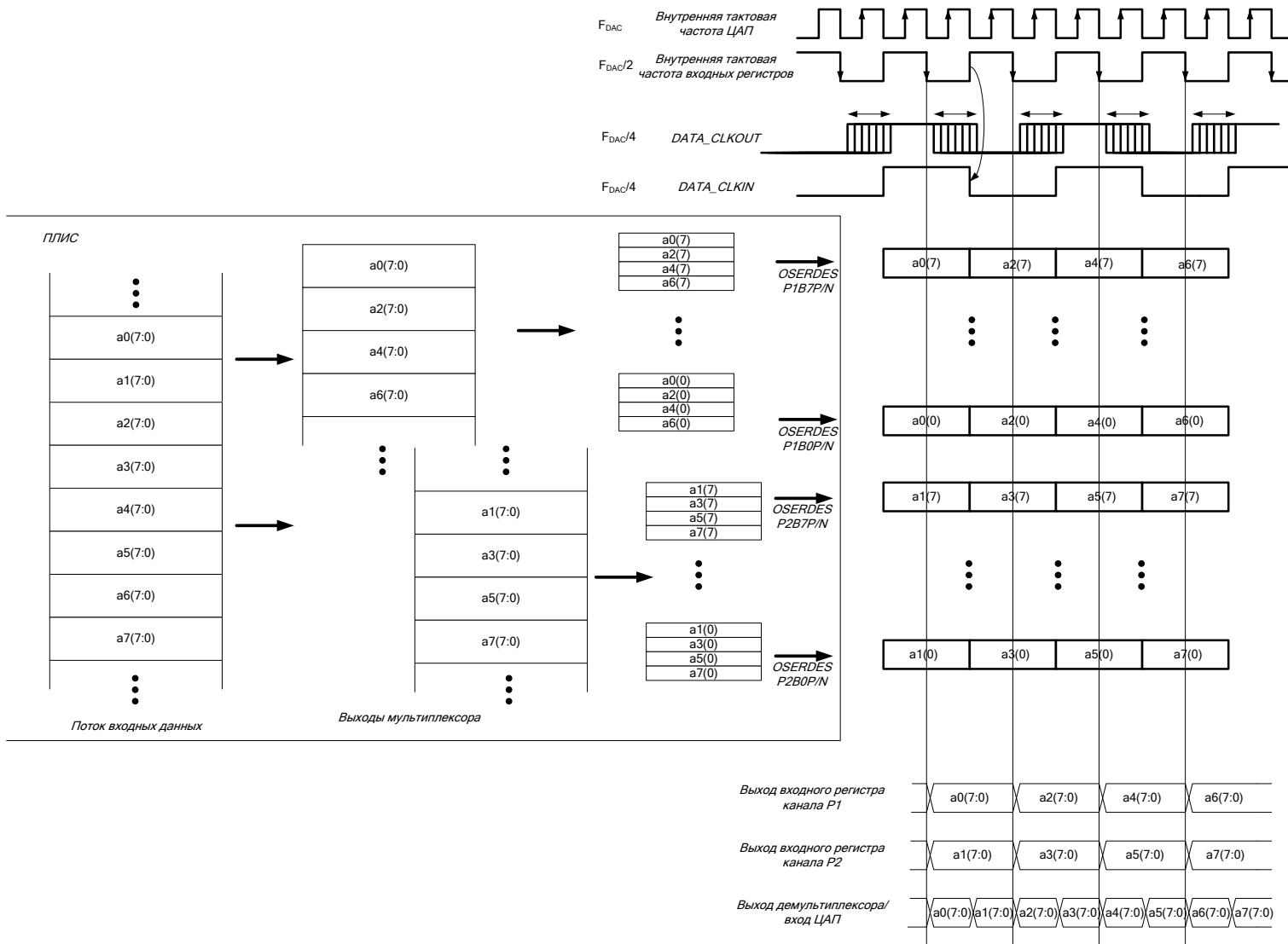


Рисунок 3.7 – Принцип формирования потока данных в ПЛИС

3.5 Схема коррекции фазы

Входные регистры схемы захватывают сигнал со входов по спаду внутреннего тактового сигнала с частотой REG_CLK, равной DAC_CLK/2. Так как максимальная рабочая частота схемы составляет 1,2 ГГц, схема чувствительна к качеству сигнала данных, а также фазовым флуктуациям. Для облегчения согласования схемы формирования данных со схемой в ИС предусмотрена схема фазовой коррекции. Схема фазовой коррекции обеспечивает формирование сигнала DATA_CLKOUT. Внешняя схема формирования данных может использовать сигнал DATA_CLKOUT для тактирования выходных регистров. Схема коррекции фазы осуществляет подстройку фазы сигнала DATA_CLKOUT таким образом, чтобы переключения сигнала на входе DATA_CLKIN происходили по фронту внутреннего сигнала тактирования входных регистров, что показано на рисунке 3.8. Пример построения схемы формирования данных приведен на рисунке 3.9.

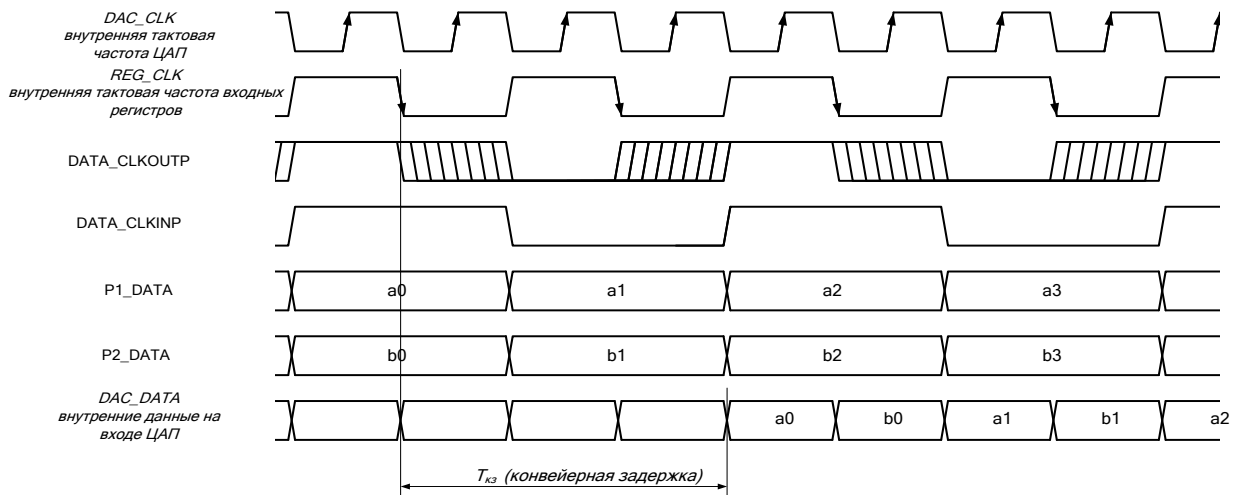


Рисунок 3.8 – Временные диаграммы работы входных регистров и схемы коррекции фазы

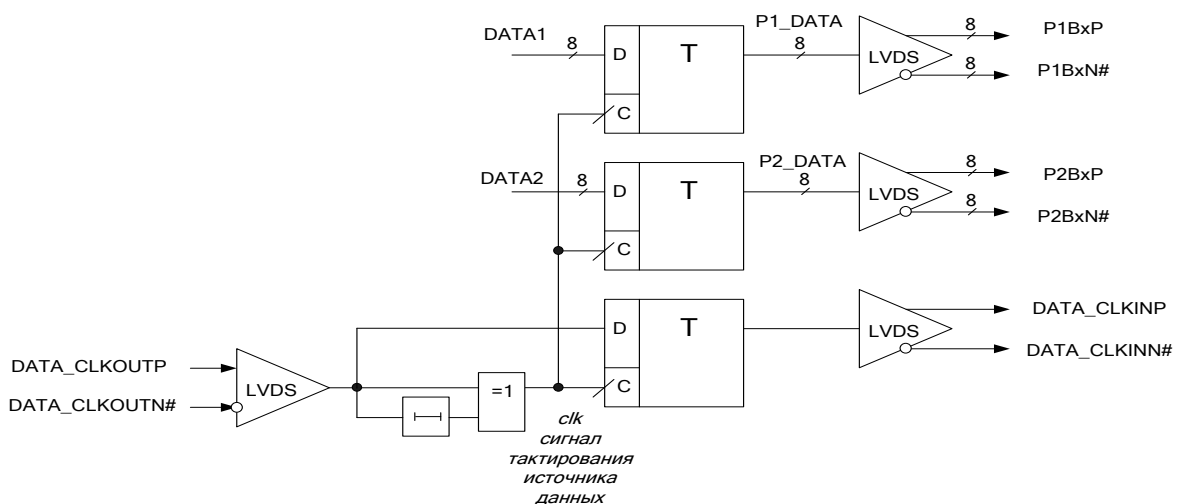


Рисунок 3.9 – Пример внешней схемы формирования сигнала DATA_CLKIN

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

3.6 Программируемая ФАПЧ

Умножитель частоты представляет собой схему фазовой автоподстройки частоты и обеспечивает формирование внутреннего тактового сигнала с частотой в 2, 4, 8 раз выше внешнего, что необходимо для коммутации входных данных на вход ЦАП. На рисунке 3.10 приведена структурная схема умножителя частоты, который состоит из фазового детектора; генератора, управляемого напряжением (ГУН); схемы выбора диапазона; схемы дифференциального усилителя тактового сигнала и «Делителя на 2». «Делитель на 2», включенный в петлю ФАПЧ, обеспечивает на входе ЦАП частоту в два раза выше, чем на входных триггерах схемы.

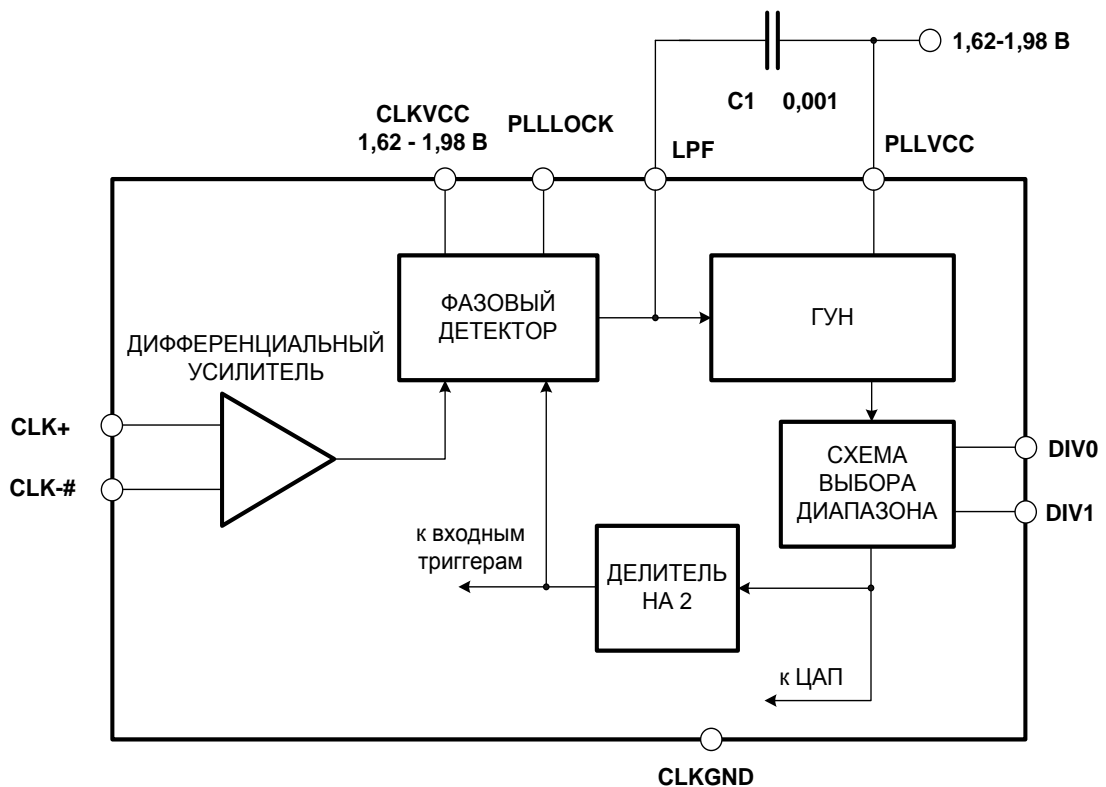


Рисунок 3.10 – Структурная схема умножителя частоты в режиме «ФАПЧ включен»

Выход PLLLOCK является выходом фазового детектора и устанавливается в единицу, если ФАПЧ находится в режиме захвата фазы. Типовой диапазон работы ГУН от 200 до 1 200 МГц. Схема выбора диапазона представляет собой делитель на 2, 4, 8 и обеспечивает работу схемы с пониженными значениями частоты внешнего источника частоты. Минимальное значение внешней тактовой частоты равно 37,5 МГц. В таблице 3.1 приведены частотные диапазоны для разных коэффициентов деления.

Инв. № подл.	Подп. и дата
Взам. инв. №	Инв. № дубл.
Подп. и дата	Подп. и дата

Таблица 3.1 – Коэффициенты деления и частотные интервалы для значений сигналов на входах DIV0 и DIV1 при включенной схеме ФАПЧ

Частота на входе CLK, МГц	DIV1	DIV0	Коэффициент деления
0 – 600,0 *	0	0	1 (ФАПЧ выключен)
150,0 – 600,0 *	0	1	2
75,0 – 325,0	1	0	4
37,5 – 162,5	1	1	8

* Максимальная входная частота ограничена возможностями входного буфера тактовых сигналов.

Для минимизации фазовых шумов рекомендуется использовать внешний конденсатор между выводами LPF и PLLVCC, уровень напряжения на входе PLLVCC должен соответствовать уровням на входах CLKVCC и #VCC.

Для выключения ФАПЧ необходимо на выводы DIV0 и DIV1 подать низкий логический уровень. Структурная схема умножителя частоты в этом режиме приведена на рисунке 3.11.

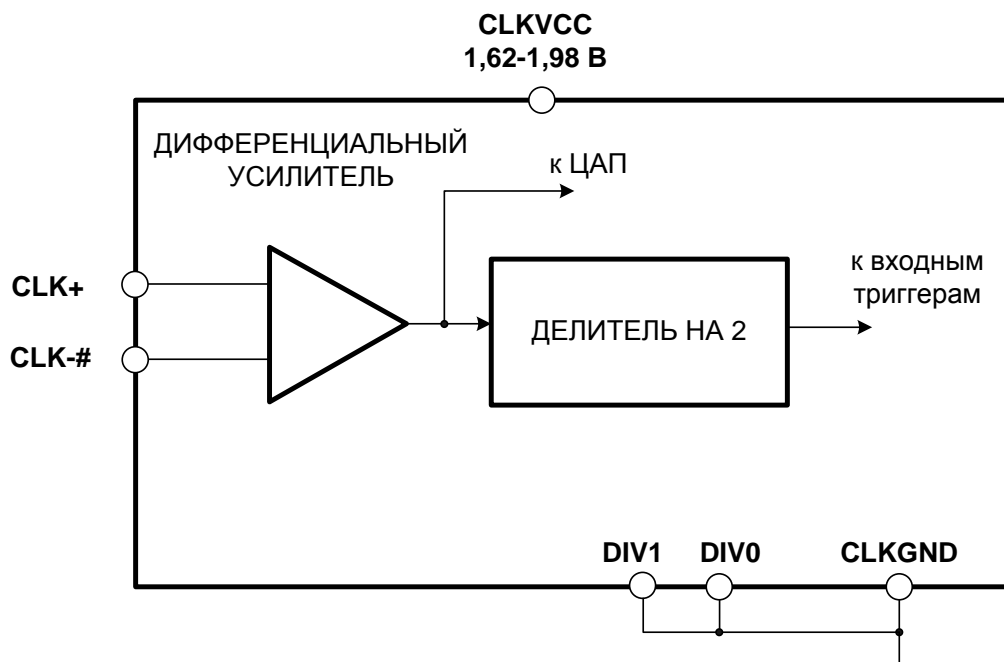


Рисунок 3.11 – Структурная схема умножителя частоты в режиме «ФАПЧ выключен»

Отметим, что максимальная частота, f_{DATA} 600 MSPS, является предельной частотой ввода данных ИС 1273ПА11Т. Однако, максимальная частота меньшая, чем 600 MSPS, и все минимальные частоты f_{DATA} зависят от максимальных и минимальных частот внутреннего генератора, управляемого напряжением (ГУН) ФАПЧ. На рисунке 3.12 показано типичное поведение сигнала PLLLOCK ФАПЧ, когда ФАПЧ находится в процессе захвата частоты.

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

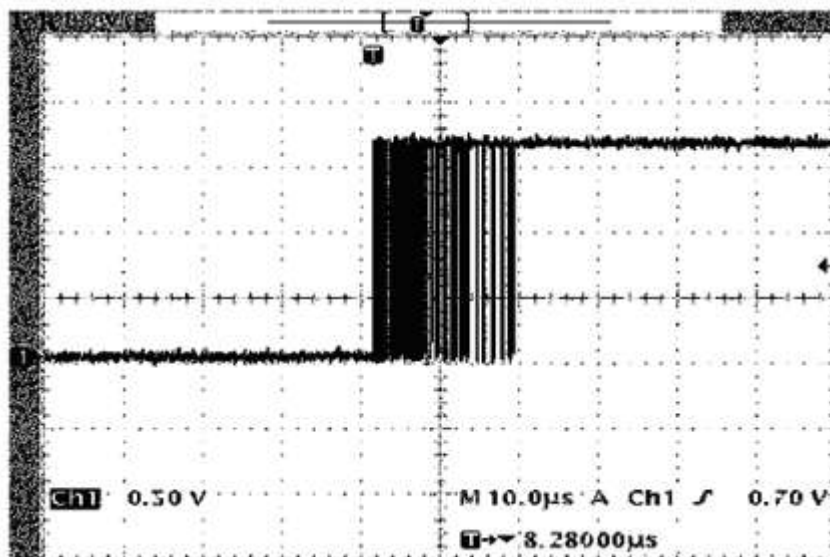


Рисунок 3.12 – Сигнал вывода PLLLOCK в процессе захвата частоты (типичное время захвата)

Важно отметить, что резистор и конденсатор, необходимые для фильтра нижних частот ФАПЧ, являются внутренними. Этого будет достаточно, если частота ввода данных не ниже 10 МГц, иначе потребуются внешняя RC между выводами LPF и CLKVCC.

Отметим, что оптимальная эффективность с разрешенным ФАПЧ достигается с VCO, работающим на частоте от 450 до 950 МГц.

На рисунке 3.13 показана типовая схема включения ИС.

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

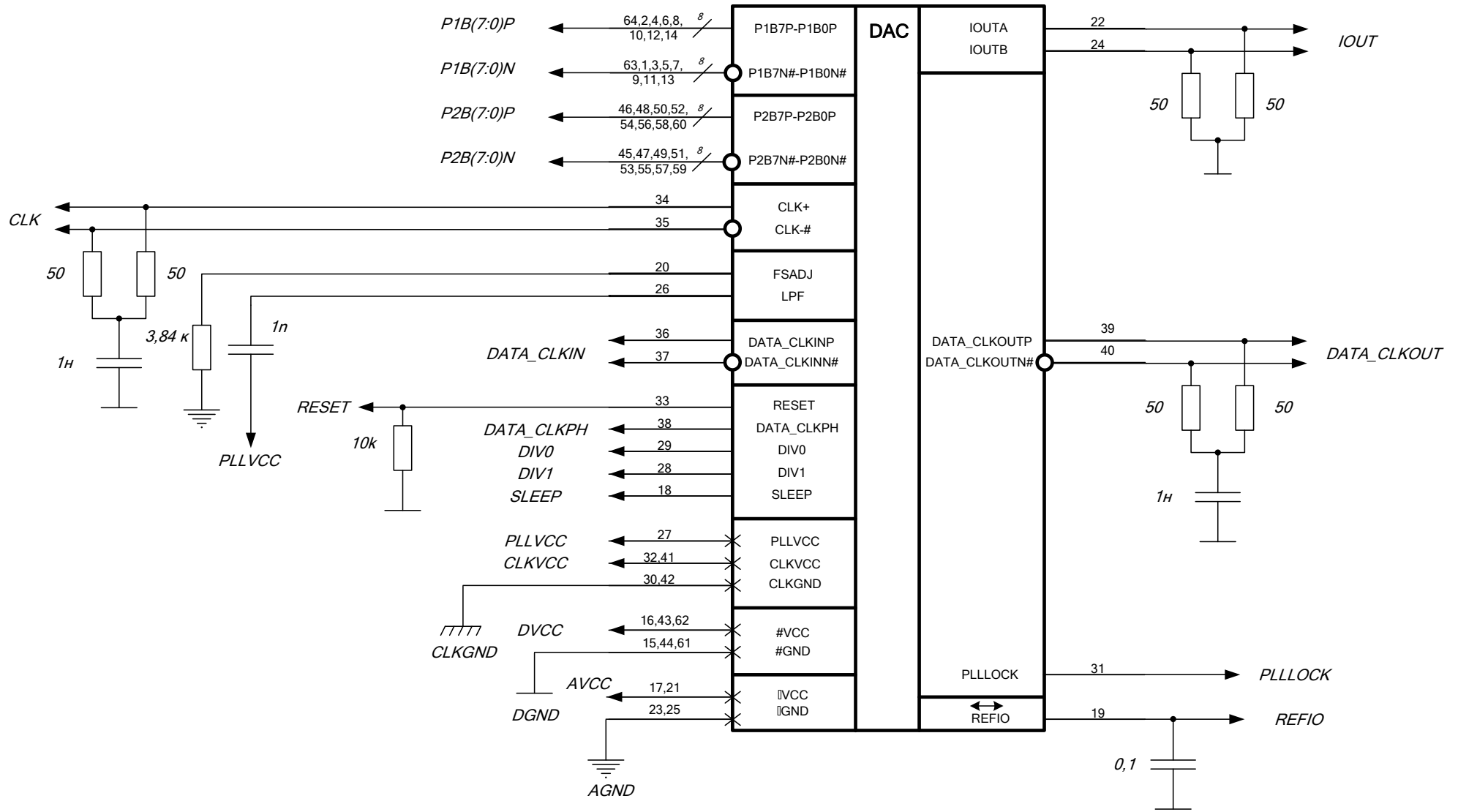


Рисунок 3.13 – Типовая схема включения ИС

4 Указания по применению и эксплуатации

Микросхема 1273ПА11Т должна использоваться в соответствии с указаниями по применению и эксплуатации микросхем согласно ОСТ В 11 0998–99, АЕЯР.431320.906ТУ с дополнениями и уточнениями, приведенными в настоящем разделе.

4.1 Источник опорного напряжения

Микросхема 1273ПА11Т имеет встроенный опорный источник напряжения 1,2В, который может быть заменен внешним источником. Внешний источник может использоваться для принудительного задания уровня внутреннего источника простой подачей выхода внешнего источника на вывод REFIO. Если используется внутренний источник опорного напряжения, то к выходу REFIO обязательно должен быть подключен внешний керамический конденсатор емкостью 0,1 мкФ. Если требуется использовать внутреннее опорное напряжение микросхемы для внешних микросхем, то к выходу REFIO необходимо подключить буфер, имеющий входной ток меньше 100 нА.

Внешний источник опорного напряжения может обеспечить большую точность, а изменением его напряжения можно регулировать ток полной шкалы ЦАП.

4.2 Различные виды подключения выходных цепей

В этом разделе показаны некоторые типовые выходные конфигурации устройства ИС 1273ПА11Т. Если нет других примечаний, то предполагается, что ток I_{OUTFS} равен 10 мА. Для приложений, требующих оптимальной динамической характеристики, настоятельно рекомендуется дифференциальная конфигурация выхода.

Простой дифференциальный выход может быть достигнут преобразованием токов I_{OUTA} и I_{OUTB} в выходные напряжения замыканием их на \cap GND через одинаковые резисторы. Этот тип конфигурации может быть полезным для управления дифференциальным входом по напряжению такого устройства, как модулятор. Если желательно преобразование в однопроводный сигнал и приложение допускает связь по переменному току, то может быть полезен радиочастотный трансформатор. Если требуется усиление по мощности, то может использоваться операционный усилитель. Конфигурация с трансформатором обеспечивает оптимальную высокочастотную характеристику по шуму и гармоническим искажениям. Конфигурация с дифференциальным операционным усилителем подходит для приложений, требующих соединения по постоянному току, усиления сигнала и/или смещения уровня в полосе пропускания выбранного операционного усилителя.

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Однопроводный выход является подходящим для приложений, требующих униполярного выходного напряжения. Положительное униполярное выходное напряжение будет, если ток I_{OUTA} и/или ток I_{OUTB} соединен с резистором нагрузки R_{LOAD} относительно $\cap GND$. Эта конфигурация является самой подходящей для систем с однополярным питанием, требующих соединения по постоянному току и привязки выходного напряжения к земле. Альтернативно, усилитель можно конфигурировать как преобразователь I-U, таким образом преобразовывая токи I_{OUTA} и I_{OUTB} в отрицательное униполярное напряжение. Данная конфигурация обеспечивает лучшую линейность систем цифрового управления, так как I_{OUTA} или I_{OUTB} подсоединены к земле или виртуальной земле.

4.2.1 Небуферизованный дифференциальный выход

Небуферизованный дифференциальный выход особенно полезен при проектировании выхода фильтров или возбуждения входов с конечными входными импедансами. На рисунке 4.1 показан небуферизованный выход ИС 1273ПА11Т и эквивалентная схема.

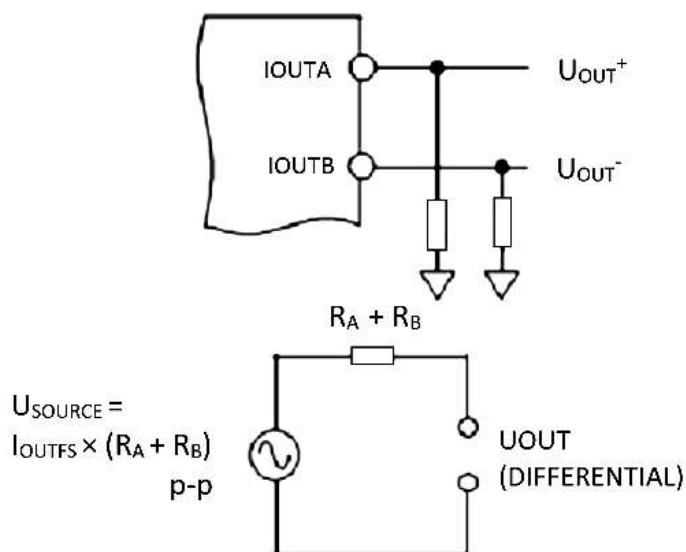


Рисунок 4.1 – Небуферизованный выход

Для типичной ситуации, где $I_{OUTF} = 10$ мА и $R_A = R_B = 50$ Ом значения эквивалентной схемы следующие:

$$U_{SOURCE} = 1 \text{ В p-p.}$$

$$R_{OUT} = 100 \text{ Ом.}$$

Отметим, что выходное сопротивление самого ЦАП больше, чем 100 кОм, и почти не влияет на полное сопротивление эквивалентной выходной цепи.

Инв. № подл.	Подп. и дата
Взам. инв. №	Инв. № дубл.
Подп. и дата	Подп. и дата

4.2.2 Дифференциальное подключение, использующее трансформатор

Радиочастотный трансформатор может использоваться для преобразования дифференциального сигнала в однопроводной, как показано на рисунке 4.2. Трансформатор, подключенный к дифференциальному выходу, обеспечивает оптимальную характеристику искажений для выходных сигналов, спектр которых находится в полосе пропускания трансформатора. Высокочастотный трансформатор обеспечивает превосходное подавление искажений общего вида (т.е. четных гармоник) и подавление шумов за пределами диапазона частот (самого трансформатора). Он также обеспечивает электрическую развязку и возможность избавиться от двойного питания нагрузки. Трансформаторы с различными отношениями импедансов могут также быть использованы для обеспечения импедансного согласования.

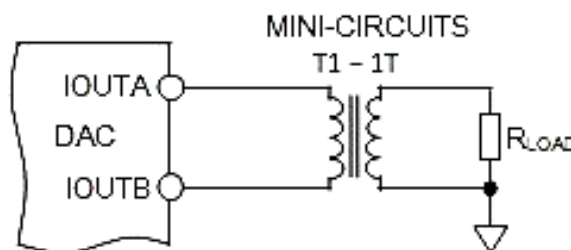


Рисунок 4.2 – Схема с трансформаторным выходом

Центральный вывод на первичной обмотке трансформатора должен быть подсоединён к \cap GND для обеспечения связи по постоянному току обоих выходов IOUTA и IOUTB. Комплементарные напряжения, возникающие на выводах IOUTA и IOUTB (т.е. U_{OUTA} и U_{OUTB}), симметричным размахом относительно \cap GND, должны поддерживаться в определённом диапазоне, соответствующем устройству ИС 1273ПА11Т. Дифференциальный резистор R_{DIFF} может быть вставлен в режиме, в котором выход трансформатора подключён к нагрузке R_{LOAD} через пассивный восстанавливающий фильтр или кабель. Сопротивление R_{DIFF} определяется отношением импеданса трансформатора и обеспечивает корректное подключение схемы с низким значением КСВН (коэффициент стоячей волны по напряжению). Заметим, что примерно половина мощности сигнала будет рассеиваться на R_{DIFF} .

4.2.3 Дифференциальное подключение, использующее операционный усилитель

Операционный усилитель также может быть использован для преобразования дифференциального сигнала в однопроводной, как показано на рисунке 4.3. Устройство ИС 1273ПА11Т сконфигурировано с двумя одинаковыми нагрузочными резисторами R_{LOAD} номиналом 25 Ом. Дифференциальное напряжение, образованное посредством токов I_{OUTA} и I_{OUTB} , преобразуется в однопроводное

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

через конфигурацию дифференциального операционного усилителя. Между IOUTA и IOUTB может быть установлен дополнительный конденсатор, формирующий действительный полюс низкочастотного фильтра. Этот дополнительный конденсатор также улучшает характеристику искажений операционного усилителя, предотвращая перегрузку входа усилителя от быстрых изменений выхода ЦАП.

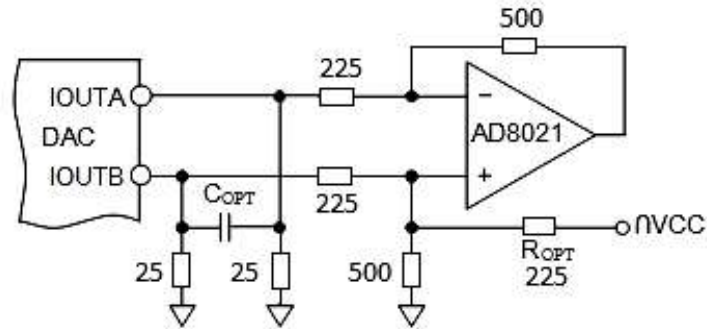


Рисунок 4.3 – Дифференциальное подключение, использующее операционный усилитель

Подавление синфазного сигнала (и искажения второго порядка) в данной конфигурации определяется соответствием (степенью идентичности) резисторов. Используемый операционный усилитель должен работать от симметричного питания, так как его выход – приблизительно 0,5 В. Рекомендуется высокоскоростной усилитель, способный к сохранению дифференциальной характеристики ИС 1273ПА11Т. Дифференциальное усиление операционного усилителя, установленное значением резистора, и полный размах на выходе необходимо учитывать при оптимизации схемы. R_{OPT} необходим только для сдвига уровня на выходе операционного усилителя. На рисунке 4.3 $0VCC$ является положительным аналоговым питанием для ИС 1273ПА11Т и для операционного усилителя, а также этот вывод использован для сдвига уровня дифференциального входа усилителя к половине питания (т.е. $0VCC/2$).

4.2.4 Рекомендации по обеспечению питания, заземления и экранирования

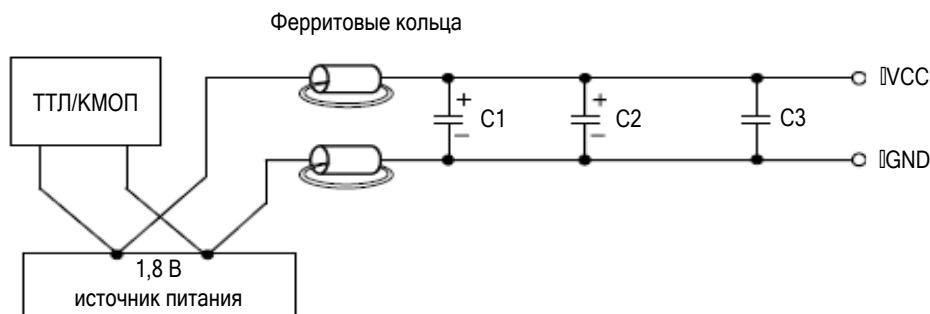
В системах, работающих на больших частотах с высокой производительностью, очень важную роль играет разводка платы. Необходимо правильно выбирать высокочастотные компоненты, размещение их на плате, оптимально производить разводку сигнальных шин, заземления и питания.

Правильное заземление и развязка должны быть главными задачами в высокоскоростных системах с высоким разрешением. В системе для оптимизации управления развязки аналогового и цифрового токов выводы аналоговой и цифровой земли и питания должны быть разделены.

Инв. № подл.	Подп. и дата
Взам. инв. №	Инв. № дубл.
Подп. и дата	Подп. и дата

В основном, развязка необходима между парами выводов: $\cap VCC$ и $\cap GND$, $\#VCC$ и $\#GND$, $CLKVCC$ и $CLKGND$, $PLLVCC$ и $CLKGND$ непосредственно у выводов микросхемы, насколько это возможно.

Можно рекомендовать цепь аналогового питания, представленную на рисунке 4.4. Цепь состоит из дифференциального LC-фильтра с разделенными питающими напряжениями. Снижение шума может быть достигнуто применением электролитических, танталовых и керамических конденсаторов.



Конденсаторы: C1= 100 мкФ – электролитический;
C2= (10–22) мкФ – танталовый;
C3= 0,1 мкФ – керамический.

Рисунок 4.4 – Дифференциальный LC-фильтр для устройств с напряжением питания 1,8 В

Достижение минимальных шумов по питанию необходимо для получения оптимальных характеристик ЦАП. Правильным размещением считается разделение цифровой и аналоговой части устройства полосой аналоговой земли.

Все контакты аналоговой части микросхемы, все аналоговые компоненты на плате должны подсоединяться непосредственно к плоскости аналоговой земли. Разводка платы должна быть сделана таким образом, чтобы шины земли не прерывали критические цепи прохождения сигнала. На цифровой части платы это относится к тактовым сигналам и цифровому входу. На аналоговой части платы это относится к сигналу опорного напряжения, токовым выходам и к цепи питания.

Рекомендуется использование широких дорожек и шин в разводке цепей питания. Это играет двойную роль: первое – понижает сопротивление цепей питания, второе – увеличивает емкость между шинами питания. Очень важна правильная разводка, так как микросхема чувствительна к внешним наводкам и скачкам напряжения. Рекомендуется, насколько возможно, делать все соединения короткими и физически близко расположенными к микросхеме.

Инв. № подл.	Подп. и дата
Взам. инв. №	Инв. № дубл.
Подп. и дата	Подп. и дата

Заключение

В настоящем техническом описании КФДЛ.431328.016ТО рассмотрены архитектура, функциональное построение и особенности применения микросхемы 1273ПА11Т, которая представляет собой 8-разрядный цифро-аналоговый преобразователь.

Все значения электрических параметров микросхемы приведены в технических условиях на изделие АЕЯР.431320.906ТУ.

Значения параметров, приведенные в настоящем техническом описании, являются справочными.

Данное техническое описание может служить практическим руководством по применению ЦАП для разработки систем на основе микросхемы 1273ПА11Т.

Применение микросхемы 1273ПА11Т в системах цифровой обработки сигналов, встроенных системах управления, связи, в системах автоматизации технологических процессов, вычислительной технике, позволит создавать более совершенные в техническом отношении и надежные в эксплуатации изделия.

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Приложение А
(обязательное)

**Термины, определения и буквенные обозначения параметров,
не установленные действующими стандартами**

Таблица А.1 – Термины, определения и буквенные обозначения параметров, не установленные действующими стандартами

Наименование параметра	Буквенное обозначение параметра	Определение параметра
Интегральная нелинейность	E_L	Максимальное отклонение действительной характеристики преобразования от установленным способом проведенной прямой, линеаризирующей действительную характеристику преобразования, выраженное в единицах младшего разряда
Дифференциальная нелинейность	E_{LD}	Максимальное отклонение разности значений величины в заданной и предшествующей ей точках действительной характеристики преобразования от среднего действительного значения кванта преобразования, выраженное в единицах младшего разряда
Выходной шум	ON	Отношение среднеквадратического значения (тока) шума на выходе ЦАП в заданной полосе частот к квадратному корню из величины, равной заданной полосе частот
Общие гармонические искажения	THD	Отношение среднеквадратичного значения суммы амплитуд гармоник, исключая первую, к среднеквадратичному значению амплитуды основной составляющей выходного сигнала, выраженное в децибелах. Определяется по формуле $THD = 10 \lg((V_2^2 + V_3^2 + \dots + V_i^2)/V_1^2), \quad (A.1)$ где $(V_2^2 + V_3^2 + \dots + V_i^2)$ – среднеквадратичное значение суммы амплитуд гармоник от второй до i-той; V_1^2 – среднеквадратичное значение амплитуды основной составляющей
Выходной ток полной шкалы по аналоговым выходам	I_{OUTFS}	Ток, определяемый максимальным значением входного кода
Диапазон выходных напряжений	ΔU_{OCR}	Диапазон напряжений, при котором обеспечивается работоспособность ЦАП
Максимальная частота обновления выходных данных	f_C	Максимальная частота, при которой обеспечивается работоспособность ЦАП
Максимальная частота обновления входных данных	f_D	Максимальная частота обновления входных данных
Частота обновления входных данных	f_{IN}	Частота обновления входных данных
Выходная частота ЦАП	f_{OUT}	Частота аналогового сигнала, формируемого ЦАП
Входное опорное напряжение	U_{REFIN}	Опорное напряжение, подаваемое от внешнего источника на вход REFIO

Инв. № подл.	Подп. и дата
Взам. инв. №	Инв. № дубл.
Подп. и дата	Подп. и дата

Лист регистрации изменений

Изм.	Номера листов (страниц)				Всего листов (страниц) в докум.	№ докум.	Подп.	Дата
	измененных	замененных	новых	аннулированных				
-	-	-	все	-	31	КФЛЛ.8246		21.10.13
1	1	-	-	-	-	КФДЛ.8253		24.10.13
2	1	-	-	-	-	КФДЛ.8316		24.12.13

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата