

МИКРОСХЕМЫ ИНТЕГРАЛЬНЫЕ

1273НА044

Руководство пользователя

2021

Содержание

1	Введение	3
2	Назначение и основные характеристики микросхем	4
2.1	Архитектурные характеристики микросхем	4
2.2	Конструктивные характеристики микросхем	5
2.3	Электрические характеристики микросхем	7
3	Общая характеристика микросхем	9
3.1	Последовательный интерфейс для управления регистрами	10
3.2	Общее описание последовательного интерфейса	11
3.3	Командный байт	12
3.4	Описание выводов последовательного интерфейса	13
3.5	MSB(старший бит)/LSB(младший бит) передача	13
4.1	Рекомендации относительно работы последовательного порта	15
4	Описание устройства	16
4.2	Структура ЦАП	16
4.3	Работа ЦАП	17
4.4	Режим 1R/2R	19
4.5	Тактовый вход	19
4.6	Программируемая ФАПЧ	21
4.7	Рассеиваемая мощность	25
4.8	Режимы сна и низкого энергопотребления	27
4.9	Двухпортовый режим ввода данных	27
4.10	Двухпортовый режим ввода данных, ФАПЧ включена	28
4.11	Инверсия DATACLK	29
4.12	Нагрузочная способность формирователя DATACLK	29
4.13	Однопортовый режим, ФАПЧ включена	30
4.14	Инверсия ONEPORTCLK	31
4.15	Нагрузочная способность формирователя ONEPORTCLK	32
4.16	IQ спаривание	32
4.17	Двухпортовый режим, ФАПЧ выключена	33
4.18	Однопортовый режим, ФАПЧ выключена	34
4.19	Режимы цифрового фильтра	35
4.20	Амплитудная модуляция	38
4.21	Модуляция, интерполяция выключена	39
4.22	Модуляция, интерполяция $2 \times$	40
4.23	Модуляция, интерполяция $4 \times$	42
4.24	Модуляция, интерполяция $8 \times$	43
4.25	Нуль-дополнение	44
4.26	Модуляция (режим комплексного микширования)	45
4.27	Операции на комплексных сигналах	46
4.28	Комплексная модуляция и подавление боковой полосы	47

4.29	Подавление боковой полосы модулированных несущих	50
4.30	Управление режимом через SPI	61
4.31	Описание регистров SPI	62
5	Указания по применению и эксплуатации	67
5.1	Источник опорного напряжения	67
5.2	Различные виды подключения выходных цепей	67
5.2.1	Небуферизованный дифференциальный выход	68
5.2.2	Дифференциальное подключение, использующее трансформатор	69
5.2.3	Дифференциальное подключение, использующее операционный усилитель	70
5.2.4	Рекомендации по обеспечению питания, заземления и экранирования	71
6	Заключение	74
	Приложение А	75
	Лист регистрации изменений	77

1 Введение

Развитие цифровой техники и цифровых методов обработки сигналов определяет современные тенденции в разработке разнообразных устройств и приборов, при этом значительная роль принадлежит аналого-цифровому и цифро-аналоговому преобразованию. Такое преобразование широко используется во всех областях радиоэлектроники, в различной измерительной и контрольной аппаратуре, системах связи, радиовещании и телевидении.

Цифро-аналоговые преобразователи (ЦАП) предназначены для преобразования сигнала, определенного, как правило, в виде двоичного кода в напряжение или ток, пропорциональные значению цифрового кода.

Настоящее Руководство пользователя предназначено для изучения интегральных микросхем 1273НА044, содержит описание принципа работы, технические характеристики и другие сведения, необходимые для обеспечения полного использования технических возможностей микросхем.

Разработанные в ходе ОКР микросхемы ЦАП позволят уменьшить вес аппаратуры, обеспечить требуемые показатели по надежности и сроку службы, а также заменить аналогичные импортные ИС в средствах ВВСТ.

2 Назначение и основные характеристики микросхем

1273НА044 – интегральная микросхема двухканального 16-разрядного параллельного цифро-аналогового преобразователя (ЦАП) на источниках тока.

Основной областью применения микросхем является одноканальное и многоканальное передающее коммуникационное оборудование, использующее цифровую модуляцию. К нему относятся как беспроводные передающие системы базовых станций сотовой связи, так и кабельные передатчики, модемы и другое оборудование.

2.1 Архитектурные характеристики микросхем

Микросхема имеет порт последовательного интерфейса, встроенный источник опорного напряжения, умножитель тактовой частоты, в каждом канале имеются: параллельный интерфейс входных данных, цифровой комплексный модулятор, пара комплементарных токовых выходов и цифровые интерполирующие фильтры. Микросхема питается от трех источников напряжением 3,3 В и имеет два режима пониженного потребления мощности.

Характеристики ЦАП:

- максимальная частота обновления выходных данных 400 МГц;
- максимальная частота обновления входных данных 160 МГц;
- время установления – 11 нс;
- интегральная нелинейность (типичное значение) $\pm 6,0$ ЕМР;
- дифференциальная нелинейность (типичное значение) $\pm 3,0$ ЕМР;
- разрядность 16 бит (65 536 значений выходного тока);
- дифференциальные токовые выходы I_{OUTA}, I_{OUTB}: максимальные токи I_{OUTA}, I_{OUTB} от 2 до 20 мА;
- входные триггеры-защелки, срабатывающие по фронту тактового сигнала;
- диапазон температур окружающей среды: от минус 60 до 85 °С.

2.2 Конструктивные характеристики микросхем

Микросхема выполнена в 88-выводном металлокерамическом корпусе 4235.88-1.

Масса микросхемы – не более 4,5 г.

Условное графическое обозначение микросхемы приведено на рисунке 2.1.

Функциональное назначение выводов приведено в таблице 2.1.

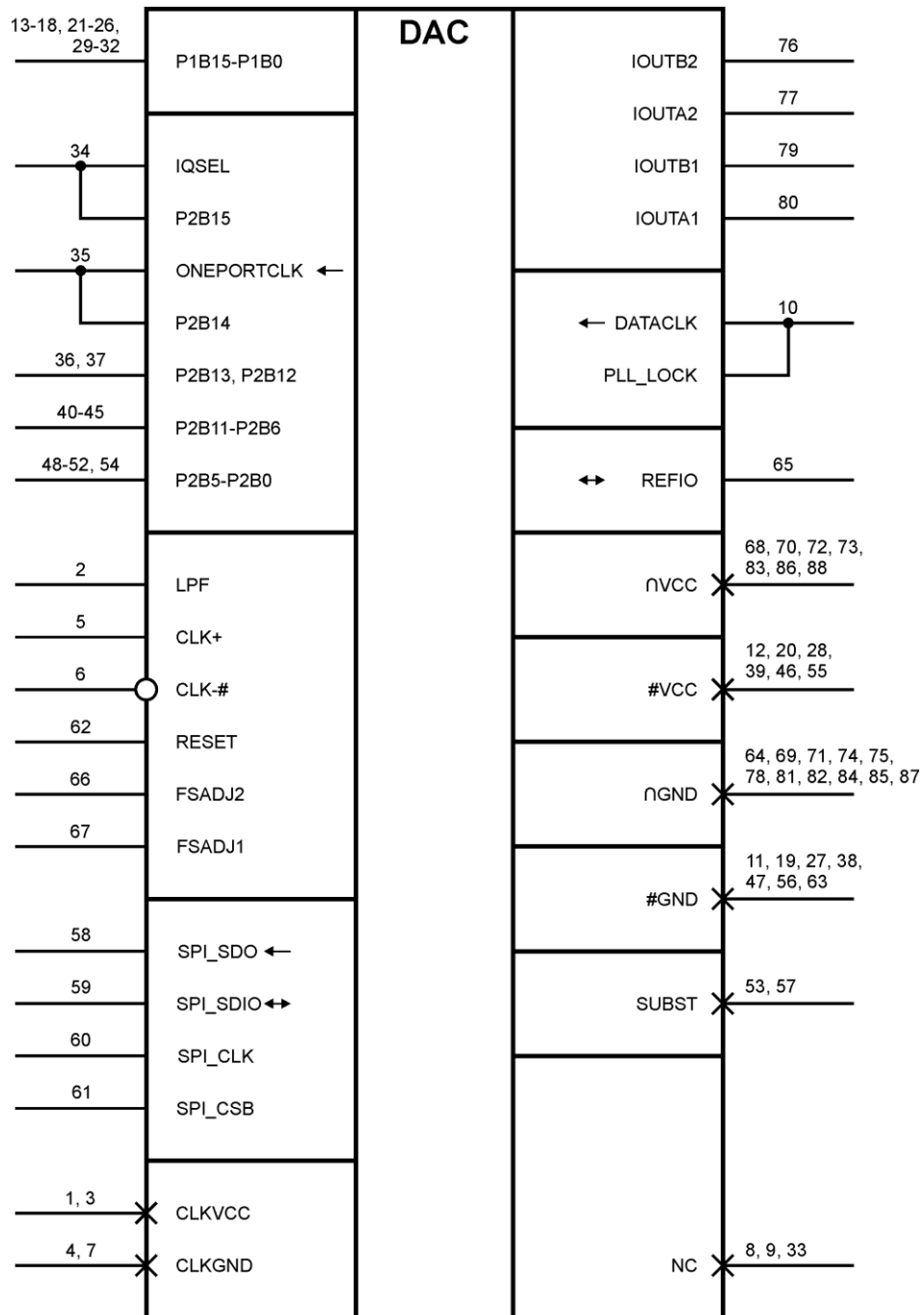


Рисунок 2.1 – Условное графическое обозначение ИС 1273НА044

Таблица 2.1 – Функциональное назначение выводов микросхемы 1273HA044

Номер вывода	Обозначение вывода	Обозначение альтернативной функции вывода	Функциональное назначение	Тип вывода
13–18, 21–26, 29–32	P1B15 – P1B0		Биты данных от В15 до В0 порта 1	I
34	IQSEL	P2B15	Вход выбора канала Бит данных В15 порта 2	I I
35	ONEPORTCLK	P2B14	Выход тактовой частоты Бит данных В14 порта 2	O I
36, 37, 40–45, 48–52, 54	P2B13 – P2B0		Биты данных от В13 до В0 порта 2	I
58	SPI_SDO		Выход данных последовательного порта	O
59	SPI_SDIO		Вход/выход данных последовательного порта	I/O
60	SPI_CLK		Вход тактового сигнала последовательного порта	I
61	SPI_CSB		Вход разрешения работы последовательного порта	I
2	LPF		Вход фильтра ФАПЧ	I
5	CLK+		Прямой вход дифференциального тактового сигнала	I
6	CLK-#		Инверсный вход дифференциального тактового сигнала	I
62	RESET		Сброс регистров последовательного порта	I
66	FSADJ2		Вход установки тока полной шкалы канала Q	I
67	FSADJ1		Вход установки тока полной шкалы канала I	I
65	REFIO		Вход/выход ИОН	I/O
76	IOUTB2		Дополнительный токовый выход ЦАП, Q канал	O
77	IOUTA2		Прямой токовый выход ЦАП, Q канал	O
79	IOUTB1		Дополнительный токовый выход ЦАП, I канал	O
80	IOUTA1		Прямой токовый выход ЦАП, I канал	O
10	DATACLK	PLL_LOCK	Вход тактовой частоты данных Выход индикации захвата фазы ФАПЧ	I O
1, 3	CLKVCC		Вывод питания тактового сигнала	–
4, 7	CLKGND		Общий вывод тактового сигнала	–
11, 19, 27, 38, 47, 56, 63	#GND		Общий вывод цифровой части микросхемы	–
64, 69, 71, 74, 75, 78, 81, 82, 84, 85, 87	∅GND		Общий вывод аналоговой части микросхемы	–
12, 20, 28, 39, 46, 55	#VCC		Вывод питания цифровой части микросхемы	–
68, 70, 72, 73, 83, 86, 88	∅VCC		Вывод питания аналоговой части микросхемы	–
53, 57	SUBST		Подложка кристалла	–
8, 9, 33	NC		Выводы не используются	–
Примечание – В графе «Тип вывода»: I – вход, O – выход.				

2.3 Электрические характеристики микросхем

Электрические характеристики микросхем 1273НА044 при приемке и поставке приведены в таблице 2.2.

Значения предельно допустимых электрических режимов эксплуатации в диапазоне рабочих температур приведены в таблице 2.3.

Термины, определения, сокращения и буквенные обозначения параметров – по ОСТ В 11 0998-99, ГОСТ 17021-88 и ГОСТ 19480-89.

Термины, определения и буквенные обозначения параметров, не установленные действующими стандартами, представлены в приложении А.

Т а б л и ц а 2.2 – Значения электрических параметров микросхемы 1273НА044 при приемке и поставке

Наименование параметра, единица измерения, режим измерения	Буквенное обозначе- ние параметра	Норма параметра		Темпера- тура среды, °С
		не менее	не более	
1	2	3	4	5
1 Выходное опорное напряжение на выводе REFIO, В, ¹⁾ $U_{CC1} = 3,3 \text{ В}, U_{CC2} = 3,3 \text{ В}, U_{CC3} = 3,3 \text{ В}$	U_{REFIO}	1,14	1,26	-60 ± 3 25 ± 10 85 ± 3
2 Ток утечки низкого уровня на входах P1B15 – P1B0, P2B15 – P2B0, RESET, CLK+, CLK–#, SPI_SDIO, SPI_CLK, SPI_CSB, мкА, ^{1),2)} $U_{CC1} = 3,6 \text{ В}, U_{CC2} = 3,6 \text{ В}, U_{CC3} = 3,6 \text{ В}, U_{IL} = 0 \text{ В}$	I_{LL}	–10	–	
3 Ток утечки высокого уровня на входах P1B15 – P1B0, P2B15 – P2B0, RESET, CLK+, CLK–#, SPI_SDIO, SPI_CLK, SPI_CSB, мкА, ^{1),2)} $U_{CC1} = 3,6 \text{ В}, U_{CC2} = 3,6 \text{ В}, U_{CC3} = 3,6 \text{ В}, U_{IH} = U_{CC1}$	I_{LH}	–	10	
4 Динамический ток потребления по выводам #VCC мА, ¹⁾ $U_{CC1} = 3,6 \text{ В}, U_{CC2} = 3,6 \text{ В}, U_{CC3} = 3,6 \text{ В}$ $f_{CL_CLK} = 160 \text{ МГц}$	I_{OCC1}	–	50	
5 Динамический ток потребления по выводам $\cap VCC$, мА, ¹⁾ $U_{CC1} = 3,6 \text{ В}, U_{CC2} = 3,6 \text{ В}, U_{CC3} = 3,6 \text{ В}, f_{CL_CLK} = 160 \text{ МГц}$	I_{OCC2}	–	80	
6 Динамический ток потребления по выводам CLKVCC, мА, $U_{CC1} = 3,6 \text{ В}, U_{CC2} = 3,6 \text{ В}, U_{CC3} = 3,6 \text{ В}, f_{CL_CLK} = 160 \text{ МГц}$	I_{OCC3}	–	30	
7 Интегральная нелинейность, МР, ^{1),2)} $U_{CC1} = 3,3 \text{ В}, U_{CC2} = 3,3 \text{ В}, U_{CC3} = 3,3 \text{ В}, I_{OUTFS} = 20 \text{ мА}$	E_L	–9,5	9,5	

Окончание таблицы 2.2

1	2	3	4	5
8 Дифференциальная нелинейность, МР, ^{1),2)} $U_{CC1} = 3,3 \text{ В}, U_{CC2} = 3,3 \text{ В}, U_{CC3} = 3,3 \text{ В},$ $I_{OUTFS} = 20 \text{ мА}$	E_{LD}	-6,5	6,5	
9 Функциональный контроль $U_{CC1} = U_{CC2} = U_{CC3} = (3,0; 3,6) \text{ В};$ $f_{CI_CLK} = 160 \text{ МГц}, f_{CI_SPI_CLK} = 15 \text{ МГц}$	ФК	–	–	

1) Параметр измеряется при выключенном блоке PLL.
2) Параметры $I_{LL}, I_{LN}, E_{LD}, E_L$ при температуре минус 60 °С не измеряются, а гарантируются нормами при температуре (25 ± 10) °С.

Т а б л и ц а 2.3 – Предельно допустимые и предельные режимы эксплуатации микросхемы 1273НА044

Наименование параметра режима, единица измерения	Буквенное обозначение параметра	Предельно допустимый режим		Предельный режим	
		не менее	не более	не менее	не более
1 Напряжение питания цифровой части, В	U_{CC1}	3,0	3,6	-0,3	4,0
2 Напряжение питания аналоговой части микросхемы, В	U_{CC2}	3,0	3,6	-0,3	4,0
3 Напряжение питания формирователей тактовых импульсов, В	U_{CC3}	3,0	3,6	-0,3	4,0
4 Входное напряжение низкого уровня на входах P1B15 – P1B0, P2B15 – P2B0, RESET, CLK+, CLK–#, SPI_SDIO, SPI_CLK, SPI_CSB, В	U_{L}	0	0,9	-0,3	–
5 Входное напряжение высокого уровня на входах P1B15 – P1B0, P2B15 – P2B0, RESET, CLK+, CLK–#, SPI_SDIO, SPI_CLK, SPI_CSB, В	U_{H}	2,1	U_{CC1}	–	$U_{CC1} + 0,3$
6 Частота следования импульсов тактовых сигналов CLK, МГц	f_{CI_CLK}	–	160	–	–
7 Частота следования импульсов по входу SPI_CLK, МГц	$f_{CI_SPI_CLK}$	–	15	–	–

3 Общая характеристика микросхем

1273НА044 – сдвоенный интерполирующий ЦАП, состоящий из двух каналов данных, которые могут работать полностью независимо или соединенными в форме комплексного модулятора в архитектуре с подавлением зеркальной боковой полосы. Каждый канал ИС 1273НА044 содержит три КИХ-фильтра интерполятора: 2×, 4× и 8×. Скорости передачи входных и выходных данных могут быть достигнуты в пределах ограничений, приведенных в таблице 3.1.

Т а б л и ц а 3.1

Коэффициент интерполяции	Предельная частота выборки входных данных (MSPS)	Предельная частота опроса ЦАП
1×	160	160
2×	160	320
4×	100	400
8×	50	400

Каждый канал данных содержит цифровой модулятор, способный смешивать поток данных с сигналом гетеродина (LO) частоты $f_{DAC}/2$, $f_{DAC}/4$, или $f_{DAC}/8$, где f_{DAC} – частота выходных данных ЦАП. Функция дополнения нулями также может быть включена для улучшения равномерности АЧХ в полосе пропускания или компенсации затухания, вносимого выходной характеристикой $\sin(x)/x$ ЦАП. Быстродействие 1273НА044, вместе с возможностью цифровой модуляции, позволяет реализовать архитектуру прямого преобразования промежуточной частоты от 70 МГц и выше.

Цифровые модуляторы на ИС 1273НА044 могут быть объединены в комплексный модулятор. При использовании этой особенности с внешним аналоговым квадратурным модулятором, таким как AD8345, может быть создана архитектура с подавлением зеркальной боковой полосы. Чтобы оптимизировать подавление зеркальной боковой полосы, так же как и проникновение сигнала гетеродина в этой архитектуре, 1273НА044 позволяет устанавливать(через порт SPI) усиление и смещение для каждого канала ЦАП.

Микросхема 1273HA044 содержит схему фазовой автоподстройки частоты ФАПЧ (PLL), генератор тактовых импульсов и внутренний опорный источник напряжением 1,2 В. При включенной PLL, частота тактовых импульсов, подаваемых на CLK+/CLK-#, умножается и генерируются все необходимые внутренние синхросигналы. Каждый 16-разрядный канал ЦАП содержит два комплементарных токовых выхода, токи полной шкалы которых могут быть заданы для обоих каналов одним внешним резистором или отдельным резистором для каждого канала (см. раздел: режим 1R/2R). 1273HA044 обладает низким «джиттером». Дифференциальный вход источника тактовых импульсов обеспечивает высокое подавление шумов, принимая синусоидальный или прямоугольный сигнал на входе. Для каждого функционального блока предоставлены отдельные выводы напряжения питания, чтобы гарантировать оптимальные характеристики по шуму и искажениям.

Режимы сна или низкого энергопотребления могут использоваться, чтобы отключить выходной ток ЦАП (режим сна) или все цифровые и аналоговые блоки микросхемы (режим низкого энергопотребления). Порт последовательного интерфейса SPI используется для программирования большинства функций 1273HA044. Отметим, что в режиме низкого потребления порт SPI остается активным.

3.1 Последовательный интерфейс для управления регистрами

Последовательный порт 1273HA044 – адаптивный, синхронный, последовательный порт, который позволяет легко создавать интерфейс со многими промышленными микроконтроллерами и микропроцессорами. Последовательный вход/выход совместим с большинством синхронных форматов передачи данных, включая оба протокола Motorola SPI и Intel SSR. Интерфейс позволяет осуществлять чтение/запись всех регистров, расположенных в 1273HA044. Поддерживается однобайтовая или многобайтовая передача, так же как и форматы первым MSB или LSB. Порт последовательного интерфейса может быть сконфигурирован с одним (двунаправленным) pin' ввода-вывода (SDIO) или с двумя (однонаправленными) pin' для ввода и вывода (SDI/SDO).

3.2 Общее описание последовательного интерфейса

Есть две фазы цикла передачи данных ИС 1273HA044. Фаза 1 – командный цикл, который записывает командный байт в контроллер 1273HA044 синхронно с первыми восьмью импульсами SCLK по возрастающему фронту. Командный байт предоставляет контроллеру последовательного интерфейса 1273HA044 информацию относительно обмена данными, который является фазой 2 этого цикла передачи данных. Командный байт фазы 1 определяет: считываются ли поступающие данные или записываются; он так же определяет число байт в фазе обмена данными и стартовый адрес регистра для первого байта. Первые восемь положительных импульсов SCLK каждого цикла передачи данных используются, чтобы записать командный байт в 1273HA044. Остальные фронты SCLK – для фазы 2 цикла передачи. Фаза 2 – это фактическая передача данных между контроллером 1273HA044 и системным контроллером. Фаза 2 цикла – это передача от одного до четырех байт данных, в зависимости от того, как определено командным байтом. Обычно, использование передачи на один мультибайт является более предпочтительным методом. Однако, передачи одиночного байта полезны для уменьшения лишних циклов центрального процессора, когда для доступа к регистру требуется только один байт. Регистры изменяются тотчас на записи последнего бита каждого передаваемого байта.

Значение логической единицы на выводе SPI_CSB сбросит последовательный интерфейс в начальное состояние командного цикла. Это произойдет независимо от текущего состояния внутренних регистров или сигналов на входах SPI. Если порт последовательного интерфейса находится в середине командной фазы или в фазе передачи данных, то никакие данные не будут записаны.

3.3 Командный байт

Командный байт содержит информацию, приведенную в таблице 3.1.

Т а б л и ц а 3.1

MSB							LSB
I7	I6	I5	I4	I3	I2	I1	I0
R/W	N1	N0	A4	A3	A2	A1	A0

R/W

Бит 7 из управляющего байта определяет, произойдет чтение или запись данных после командного байта. Логическая единица означает чтение. Логический ноль – запись.

N1, N0

Биты 6 и 5 из управляющего байта определяют число байт, которые будут переданы во время цикла передачи данных. Дешифровка бит показана в таблице 3.2.

Т а б л и ц а 3.2

N1	N0	Описание
0	0	Передача 1 байта
0	1	Передача 2 байт
1	0	Передача 3 байт
1	1	Передача 4 байт

A4, A3, A2, A1, A0

Биты 4, 2, 3, 1 и 0 из управляющего байта определяют, к какому регистру получают доступ во время передачи данных в цикле связи. Для мультибайтовой передачи этот адрес – стартовый адрес байта. Оставшиеся адреса регистра генерируются ИС 1273НА044.

3.4 Описание выводов последовательного интерфейса

SPI_CLK (вывод 60) – синхросигнал

Вывод синхросигнала используется для синхронизации данных «к» и «от» ИС 1273HA044 и выполнения внутренних машинных команд. Максимальная частота SPI_CLK составляет 15 МГц. Ввод данных происходит по фронту SPI_CLK. Вывод данных из 1273HA044 происходит по спаду SCLK.

SPI_CSB (вывод 61) – выбор схемы

Активный низкий уровень входа инициирует цикл передачи. Это позволяет использовать более одного устройства на одной и той же последовательной линии связи. Выводы SPI_SDO и SPI_SDIO будут в состоянии высокого импеданса при высоком уровне сигнала на этом входе. Сигнал выбора схемы должен быть низким в продолжении всего цикла передачи.

SPI_SDIO (вывод 59) – последовательные данные I/O

Данные всегда записываются в 1273HA044 с этого вывода. Однако этот вывод может использоваться как двунаправленная линия данных. Конфигурацией этого вывода управляет бит 7 из нулевого регистра. Значение по умолчанию – логический нуль, который конфигурирует вывод SPI_SDIO как однонаправленный.

SPI_SDO (вывод 58) – последовательный выход данных

Данные считываются с этого вывода для протоколов, которые используют отдельные линии для передачи и получения данных. В случае, где 1273HA044 работает в режиме с одним двунаправленным pin' I/O, этот вывод не выдает выходных данных и находится в состоянии высокого импеданса.

3.5 MSB(старший бит)/LSB(младший бит) передача

Последовательный порт 1273HA044 может поддерживать оба формата данных «MSB первый» или «LSB первый». Этой функциональной возможностью управляет бит 6 в нулевом регистре.

По умолчанию бит 6 равен нулю, т.е. – MSB первый. Когда этот бит находится в активном высоком уровне, последовательный порт ИС 1273HA044 находится в формате LSB первый. В режиме LSB первый, байт

команды и байты данных должны записываться от LSB к MSB. В режиме первый LSB, внутренний байт генератора адреса наращивается для каждого байта многобайтового цикла передачи.

Когда данный бит находится в низком уровне, последовательный порт 1273HA044 находится в формате MSB первый. В режиме MSB первый байт команды и байты данных должны записываться от MSB к LSB.

Увеличение от 1Fh изменяет генератор адреса к 00h. Уменьшение от 00h изменяет генератор адреса к 1Fh.

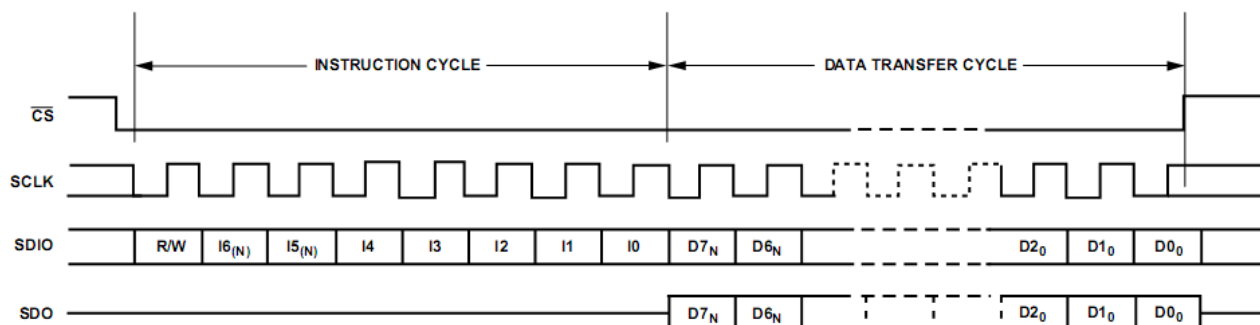


Рисунок 3.1 – Режим MSB первый

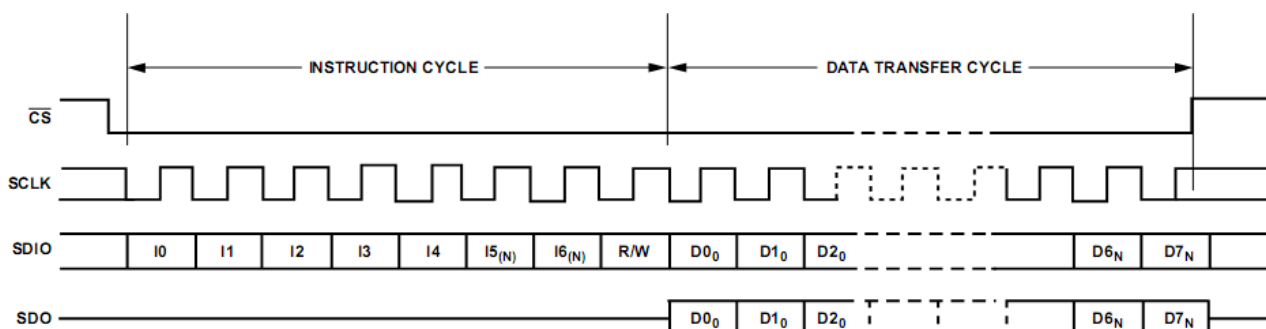


Рисунок 3.2 – Режим LSB первый

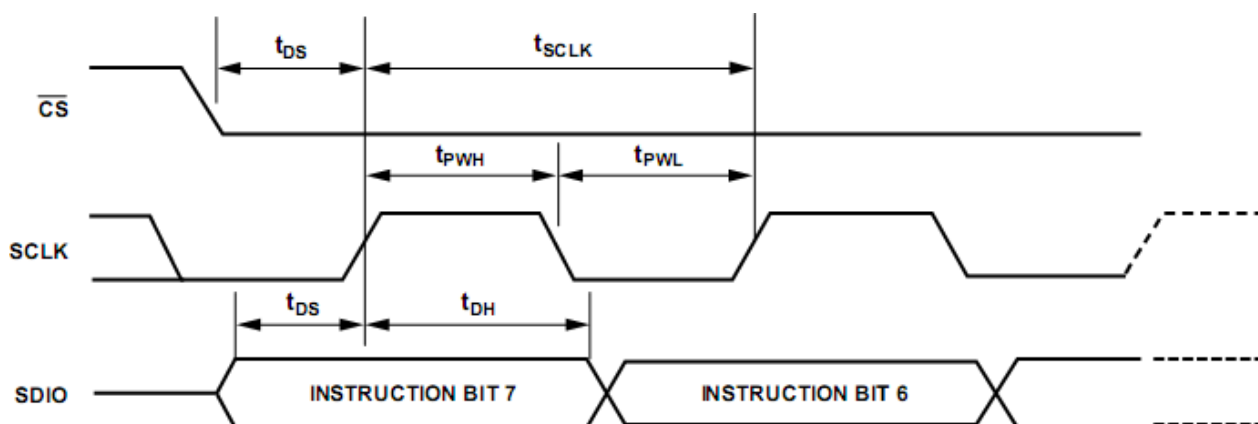


Рисунок 3.3 – Временные диаграммы для записи в регистр 1273HA044

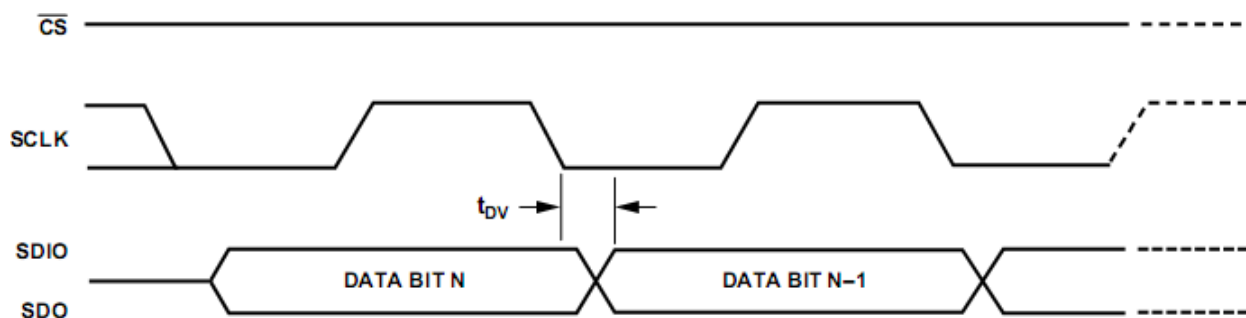


Рисунок 3.4 – Временные диаграммы для чтения из регистра 1273NA044

4.1 Рекомендации относительно работы последовательного порта

Шестой и седьмой биты из регистра с адресом 00h являются битами конфигурации последовательного порта ИС 1273NA044. Важно отметить, что конфигурация изменяется тотчас на записи последнего бита в регистр. Для многобайтовой передачи запись в этот регистр может произойти в середине цикла передачи. Необходимо позаботиться о компенсации для остающихся байтов текущего цикла передачи.

Вышесказанное применимо к установке бита сброса в регистре 00h. Все другие регистры устанавливаются в их значения по умолчанию, но биты регистра 00h программный сброс не затрагивает.

Рекомендуется использовать передачу одиночного байта для изменения конфигурации последовательного порта или иницируя программный сброс.

4 Описание устройства

4.2 Структура ЦАП

Микросхема содержит следующие функциональные блоки (смотри рисунок 4.1):

- последовательный интерфейс (SPI);
- два канала ЦАП;
- входные триггеры-защелки I, Q;
- умножитель частоты тактового сигнала ФАПЧ;
- цифровые интерполяционные фильтры;
- регистры усиление/смещение;
- цифровой модулятор;
- источник опорного напряжения 1,2 В (ИОН).

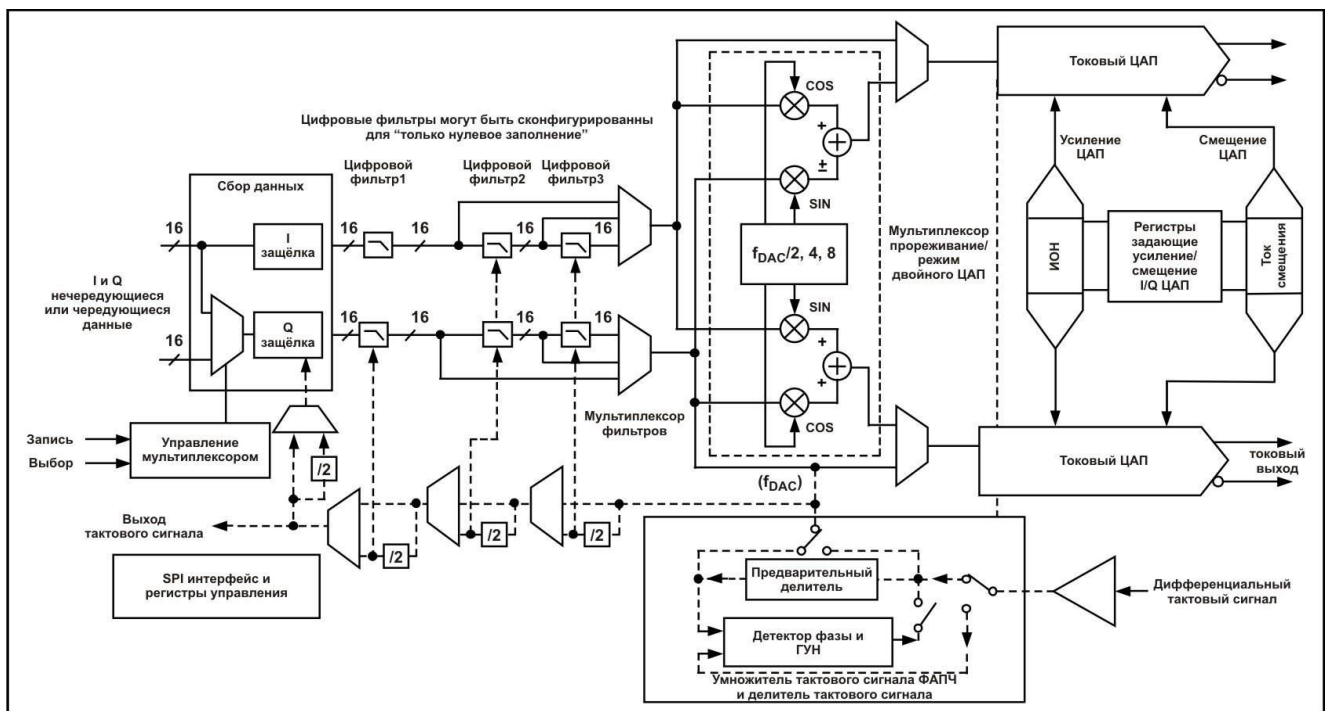


Рисунок 4.1 – Схема электрическая структурная микросхемы 1273НА044

Микросхема имеет независимые выходы для питания аналоговых, цифровых, тактовых блоков и схемы умножения частоты. Для питания аналоговых блоков используются выходы $\cap V_{CC}$ и $\cap GND$. Для питания

цифровых блоков используются выводы #VCC и #GND. Для питания тактовой схемы используются выводы CLKVCC и CLKGND.

4.3 Работа ЦАП

На рисунке 4.2 показан двойной 16-битовый выход ЦАП вместе с внутренним источником, усилителем и регистрами управления усилением и смещением. Отметим, что внешний источник может использоваться для принудительного задания уровня внутреннего источника простой подачей выхода внешнего источника на вывод REFIO.

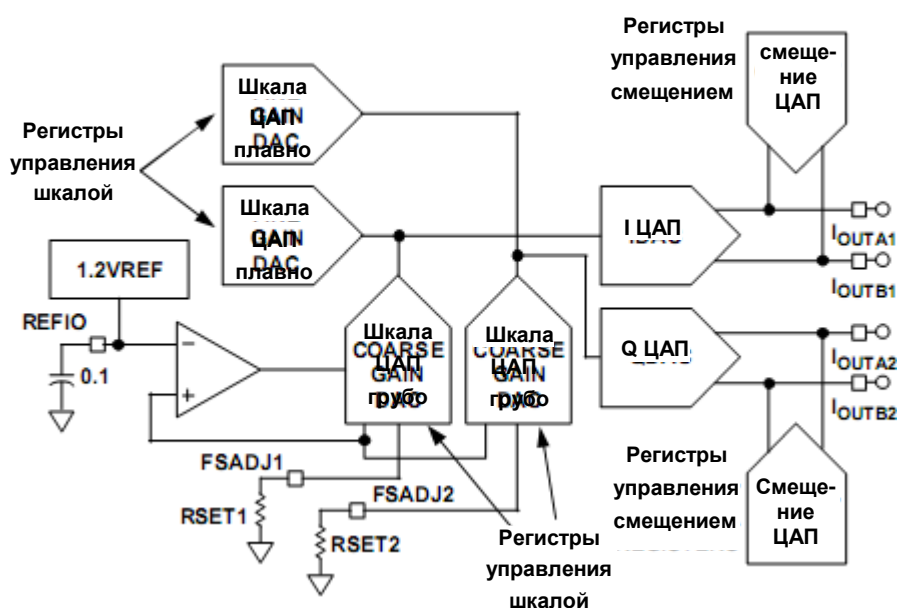


Рисунок 4.2 – Выходы ЦАП, масштабирование тока внутреннего источника и регулировка усиления/смещения

В уравнении (1) описывается функция преобразования ЦАП.

$$I_{OUTA} = \left[\left(\frac{6 \times I_{REF}}{8} \right) \left(\frac{COARSE + 1}{16} \right) - \left(\frac{3 \times I_{REF}}{32} \right) \left(\frac{FINE}{256} \right) \right] \times \left[\left(\frac{1024}{24} \right) \left(\frac{DATA}{2^{16}} \right) \right],$$

$$I_{OUTB} = \left[\left(\frac{6 \times I_{REF}}{8} \right) \left(\frac{COARSE + 1}{16} \right) - \left(\frac{3 \times I_{REF}}{32} \right) \left(\frac{FINE}{256} \right) \right] \times \left[\left(\frac{1024}{24} \right) \left(\frac{2^{16} - DATA - 1}{2} \right) \right],$$

$$I_{IO} = 4 \times I_{REF} \left(\frac{OFFSET}{1024} \right),$$

где DATA – значение регистра данных канала (входной код);

I_{REF} – опорный ток, устанавливаемый внутренним источником 1,2 В и внешним резистором R_{SET} ;

COARSE, FINE – значения регистров грубой и плавной настройки, соответственно;

I_{IO} – ток смещения нуля;

OFFSET – значения регистров смещения.

Что касается функции преобразования в уравнении (1), то ток устанавливается внутренним источником 1,2 В, внешним резистором R_{SET} и значением регистра грубой настройки. Плавное усиление ЦАП введено для IDAC и QDAC, это значение масштабировано и равно $1024/24$. На рисунке 4.3 показывается эффект масштабирования грубой $I_{FULLSCALE}$, на рисунке 4.4 – плавной регулировки $I_{FULLSCALE}$ ЦАП.

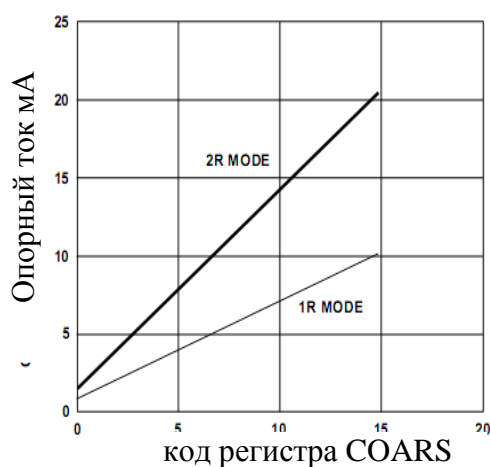


Рисунок 4.3

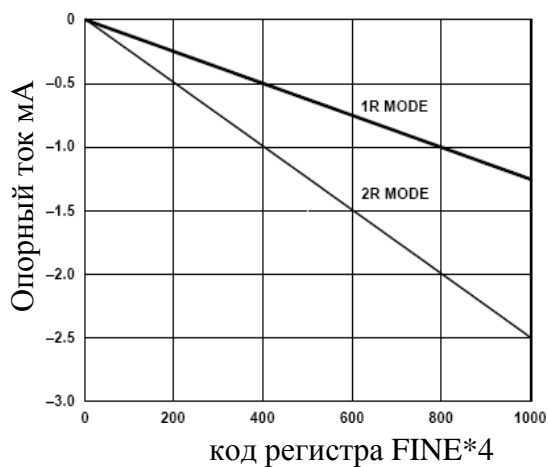


Рисунок 4.4

IDAC и QDAC – есть PMOS матрицы источников тока, сегментированные в конфигурации 5-4-7. Пять старших разрядов регистра данных (DATA) управляют старшей матрицей из 31 источника тока. Следующие четыре бита управляют средней матрицей из 15 источников тока, значения которых равны $1/16$ источника тока старшей матрицы. Семь младших разрядов – есть двоично-взвешенные доли ($1/2$, $1/4$, $1/8$, $1/16$, $1/32$, $1/64$, $1/128$) источника тока средней матрицы. Все источники тока подключены или к I_{OUTA} или к I_{OUTB} , в зависимости от входного кода (DATA).

Управление смещением (OFFSET) определяет небольшой ток (рисунок 4.5), который может быть добавлен к I_{OUTA} или I_{OUTB} (только на один) в каждом канале. Выбор выхода I_{OUT} , на который направляется ток смещения, программируется через регистр 08h, бит 7– (для IDAC) и

регистр 0Ch, бит 7 = (для QDAC). Плавная регулировка усиления каждого канала приводит к улучшению баланса квадратурной амплитудной модуляции (QAM), улучшению точностей модуляции и подавления зеркальной боковой полосы.

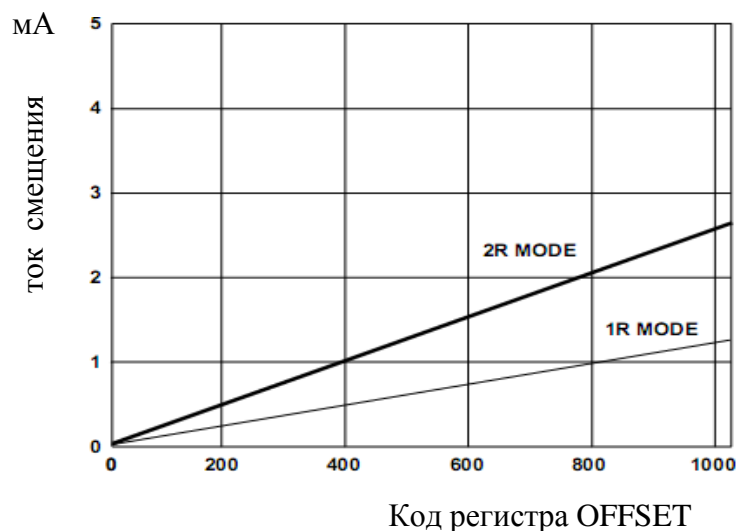


Рисунок 4.5 Смещение выходного тока ЦАП

4.4 Режим 1R/2R

В режиме 2R опорный ток для каждого канала устанавливается независимо резистором FSADJ на этом канале. В режиме 1R преобразователь включен таким образом, чтобы формировать опорный ток от одного резистора на выводе FSADJ1. Функция преобразования в уравнении (1) действительна для режима 2R. В режиме 1R ток задается одним резистором FSADJ и делится поровну между двумя каналами. Вследствие этого в режиме 1R к уравнению (1) должен быть применен коэффициент масштабирования 1/2. Полномасштабный ток ЦАП в режиме 1R может быть равен 20 мА при использовании внутреннего источника 1,2В и резистора на 950 Ом вместо 1,9 кОм, обычно используемого в 2R режиме.

4.5 Тактовый вход

Тактовые входы 1273HA044 могут подключаться дифференциально или несимметрично. У внутренней тактовой схемы есть линии питания и земли (CLKVCC, CLCGND), которые отделяются от другого питания на кристалле, чтобы минимизировать **jitter** от внутренних источников шума.

На рисунке 4.6 показан 1273HA044, тактируемый несимметричным тактовым источником. Выводы CLK+/CLK-# формируют дифференциальный вход (CLKIN) так, чтобы неиспользуемый вход был смещен по постоянному току к уровню среднего значения напряжения управляемого тактового входа.

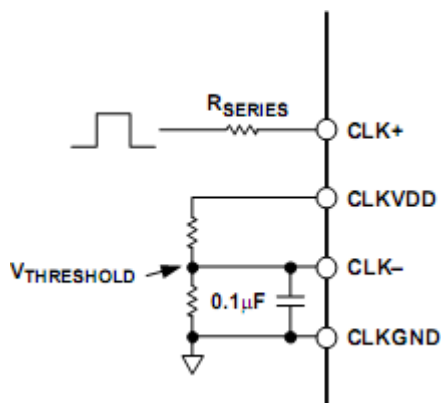


Рисунок 4.6 – Несимметричное управление тактовым входом

Конфигурация для дифференциального управления тактовым входом показана на рисунке 4.7. Разделительные конденсаторы по постоянному току могут быть соединены с выходом формирователя тактовых импульсов, размах напряжения которого превышает CLKVCC или CLKGND. Если размах напряжения формирователя находится в пределах диапазона питания 1273HA044, то разделительные конденсаторы и смещающие резисторы не нужны.

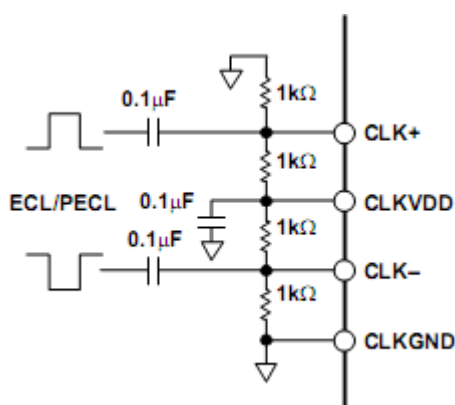


Рисунок 4.7 Дифференциальное управление тактовым входом

Для преобразования однопроводного тактового сигнала в дифференциальный может использоваться трансформатор. Оптимальная эффективность 1273HA044 достигается размещением формирователя очень

близко к тактовому входу 1273HA044, что позволяет подавить негативное влияние линии передачи, например, такое как отражения из-за несогласованности.

Качество сигналов тактовых импульсов и входных данных особенно важно в достижении оптимальных рабочих характеристик. Схема внешнего формирователя тактовых импульсов должна иметь низкий JITTER, подходящие логические уровни и короткие фронты. Хотя короткий фронт тактового сигнала уменьшает JITTER, который проявляет себя как фазовый шум при восстановлении формы выходного аналогового сигнала, высокое усиление широкополосного компаратора тактового входа 1273HA044 допускает использование дифференциального сигнала синусоидальной формы с размахом не менее 0,5 В и минимальной деградацией по уровню шума на выходе.

4.6 Программируемая ФАПЧ

Тактовый вход CLKIN может функционировать или как тактовый сигнал для входных данных (если ФАПЧ разрешен) или как тактовый сигнал данных ЦАП (если ФАПЧ заблокирован), соответствующему состоянию бита 7 в четвертом регистре последовательного порта. Принцип работы внутренней схемы синхронизации 1273HA044 в этих двух режимах приведен на рисунках 4.8 и 4.9.

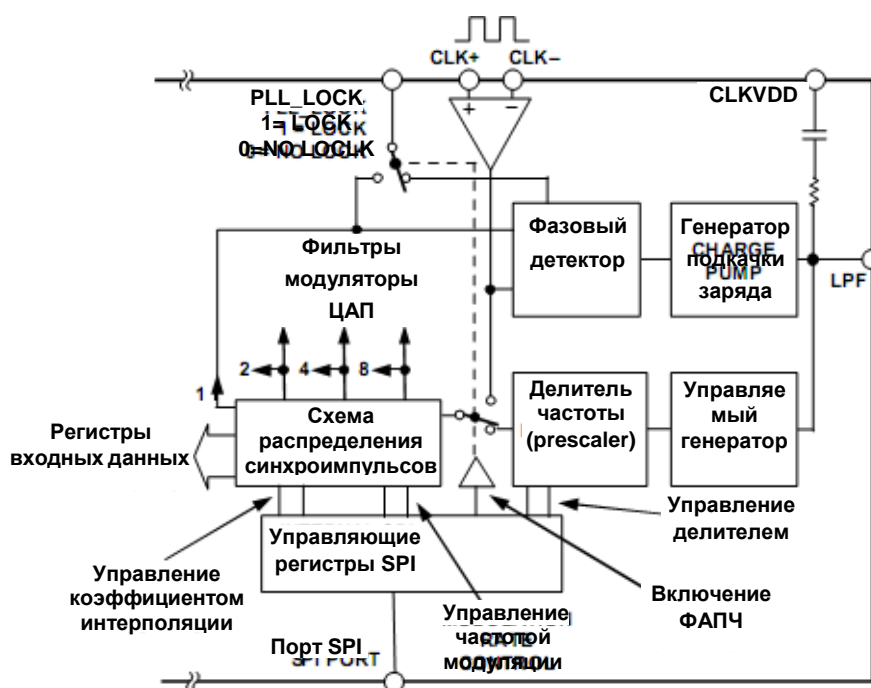


Рисунок 4.8 – ФАПЧ и схема синхроимпульсов с разрешенной ФАПЧ

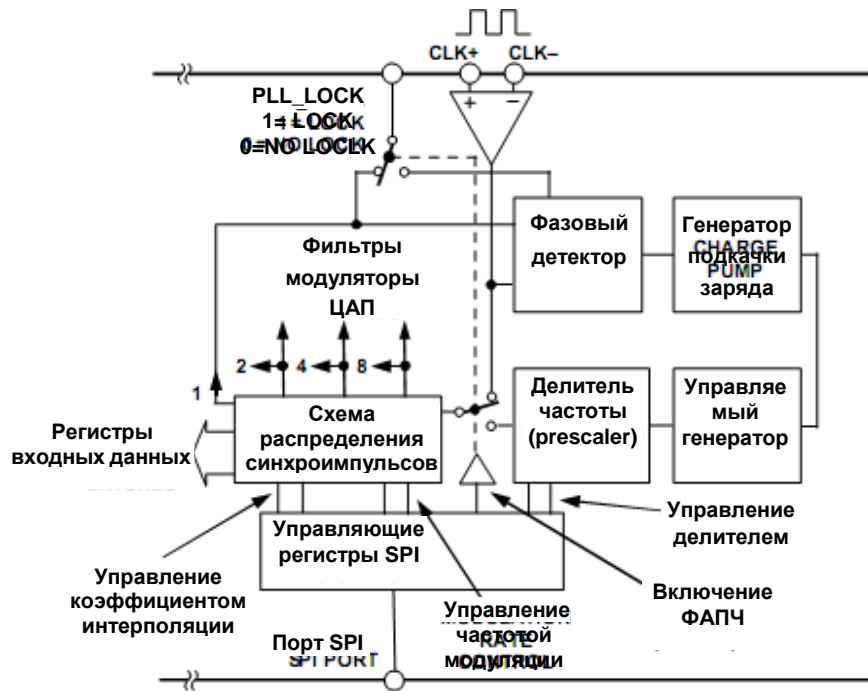


Рисунок 4.9 – ФАПЧ и схема синхроимпульсов с запрещенной ФАПЧ

Тактовый ФАПЧ умножитель и схема распределения вырабатывают необходимую внутреннюю синхронизированную $1\times$, $2\times$, $4\times$ и $8\times$ смесь для триггерных защелок, фильтров интерполяторов, модуляторов и ЦАП. Эта схема состоит из фазового детектора, генератора подкачки заряда, управляемого напряжением генератора (ГУН), делителя частоты, схемы распределения тактовых сигналов и регистра управления последовательным портом (SPI). Генератор подкачки заряда, буфер дифференциального тактового входа, фазовый детектор, делитель частоты и распределитель синхросигналов получают питание от CLKVCC. Состояние ФАПЧ индицируется логическим сигналом на выводе PLL_LOCK, как состояние бита 1, нулевого регистра. Чтобы гарантировать оптимальный фазовый шум от ФАПЧ, умножителя и распределителя тактовых сигналов, питание CLKVCC должно обеспечиваться от чистого аналогового источника. В таблице 4.1 приведена минимальная частота входных данных в зависимости от коэффициента интерполяции и значения делителя ФАПЧ. Если частота передачи входных данных окажется ниже

определенного уровня, то фазовый шум VCO может значительно увеличиться. Частота ГУН зависит от скорости передачи входных данных, коэффициента интерполяции, делителя частоты ГУН и определяется согласно следующей функции:

$$\text{ГУН (МГц)} = F_{\text{DATA}} \text{ (МГц)} \times \text{Коэффициент Интерполяции} \times \text{Делитель}$$

Т а б л и ц а 4.1 – Оптимизация ФАПЧ

Коэффициент интерполяции	Установка делителя	Минимум f_{DATA}	Максимум f_{DATA}
1	1	32	160
1	2	16	160
1	4	8	112
1	8	4	56
2	1	24	160
2	2	12	112
2	4	6	56
2	8	3	28
4	1	24	100
4	2	12	56
4	4	6	28
4	8	3	14
8	1	24	50
8	2	12	28
8	4	6	14
8	8	3	7

Активация опции дополнения нулями удваивает частоту ГУН. С разрешенным PLL может немного возрасти фазовый шум. На рисунке 4.10 приведен типичный уровень фазового шума 1273HA044 с интерполяцией $2\times$ и различной скоростью входных данных. Сигнал, синтезированный для измерения фазового шума, состоял только из одной несущей частоты $f_{\text{DATA}}/4$. Периодический характер этого сигнала устраняет шумы квантования и искажения при измерении.

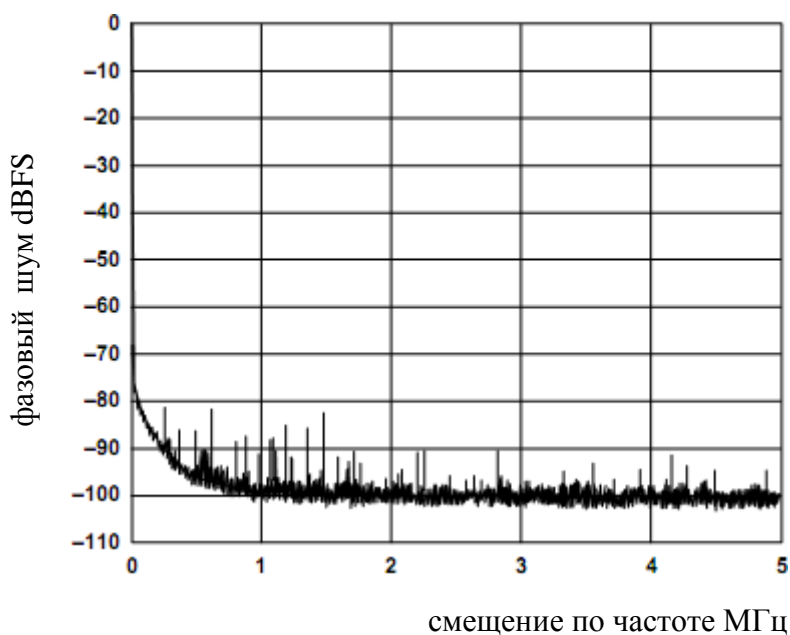


Рисунок 4.10 – Характеристика фазового шума

Хотя кривые на рисунке 4.10 сливаются воедино, различия условий проясняются в таблице 4.2.

Т а б л и ц а 4.2 – Требуемая норма делителя частоты ФАПЧ относительно f_{DATA}

f_{DATA} (MSPS)	ФАПЧ	Коэффициент делителя
125	Запрещен	–
125	Разрешен	1
100	Разрешен	2
75	Разрешен	2
50	Разрешен	4

В таблице 4.1 поясняются параметры настройки делителя ФАПЧ относительно коэффициента интерполяции и максимальной и минимальной частоты f_{DATA} . Отметим, что максимальная частота f_{DATA} 160 MSPS является предельной частотой ввода данных 1273HA044. Однако, максимальная частота меньшая, чем 160 MSPS и все минимальные частоты f_{DATA} зависят от максимальных и минимальных частот внутреннего генератора управляемого напряжением (ГУН) ФАПЧ. На рисунке 4.11 показана типичная работа сигнала PLL_LOCK ФАПЧ (вывод 10 или 58), когда ФАПЧ находится в процессе захватывания частоты.

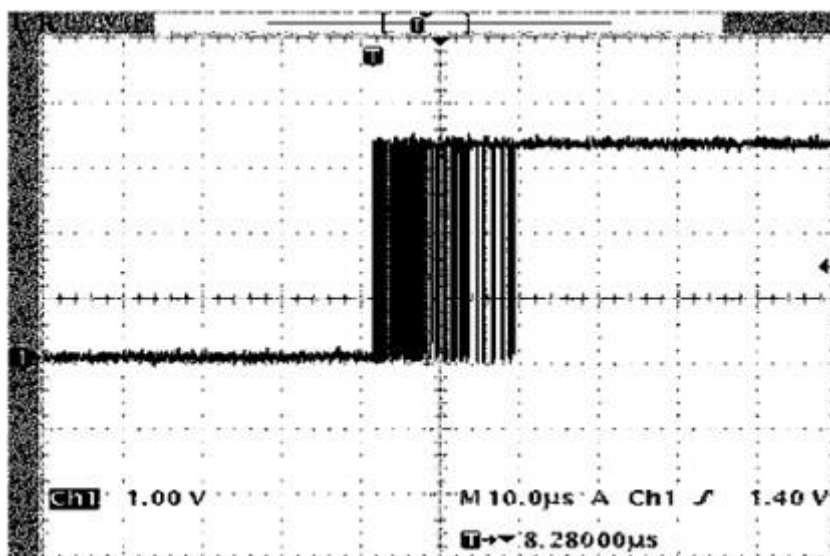


Рисунок 4.11 – Сигнал вывода PLL_LOCK (вывод 10) в процессе захвата частоты (типичное время захвата)

Важно отметить, что резистор и конденсатор, необходимый для фильтра нижних частот ФАПЧ, являются внутренними. Этого будет достаточно, если частота ввода данных не ниже 10 МГц, иначе потребуются внешняя RC между выводами LPF и CLKVCC.

4.7 Рассеиваемая мощность

У микросхемы 1273HA044 есть три питающих напряжения: #VCC, Ω VCC и CLKVCC. На рисунках 4.12 – 4.14 показывается ток, требуемый от каждого из этих питающих напряжений, когда каждое питающее напряжение установлено номиналом 3,3 В. Рассеиваемая мощность P_D может быть легко получена умножением данных характеристик на величину 3.3. Из рисунка 4.12, видно, что ток $I_{\#VCC}$ сильно зависит от частоты входных данных, коэффициента интерполяции и включения внутреннего цифрового модулятора. Однако ток $I_{\#VCC}$ относительно нечувствителен к коэффициенту модуляции. На рисунке 4.13 показана такая же чувствительность тока $I_{\Omega VCC}$ к скорости входных данных, коэффициенту интерполяции и функции модулятора, но в меньшей степени (< 10 %). На рисунке 4.14 ток I_{CLKVCC} изменяется в широком диапазоне, тем не менее отвечает только за маленький процент требуемого полного тока источника питания ИС 1273HA044.

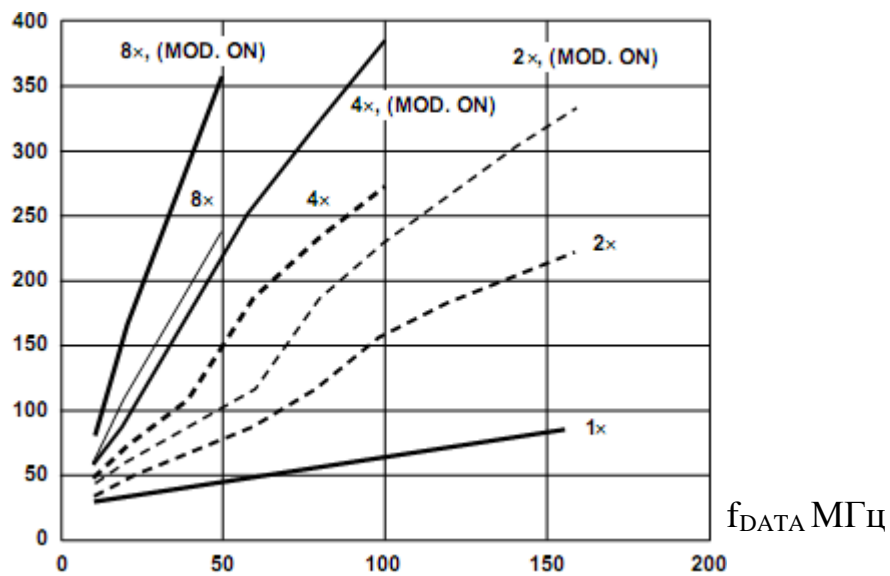


Рисунок 4.12 – $I_{\#VCC}$ относительно f_{DATA} , коэффициента интерполяции (ФАПЧ запрещен)

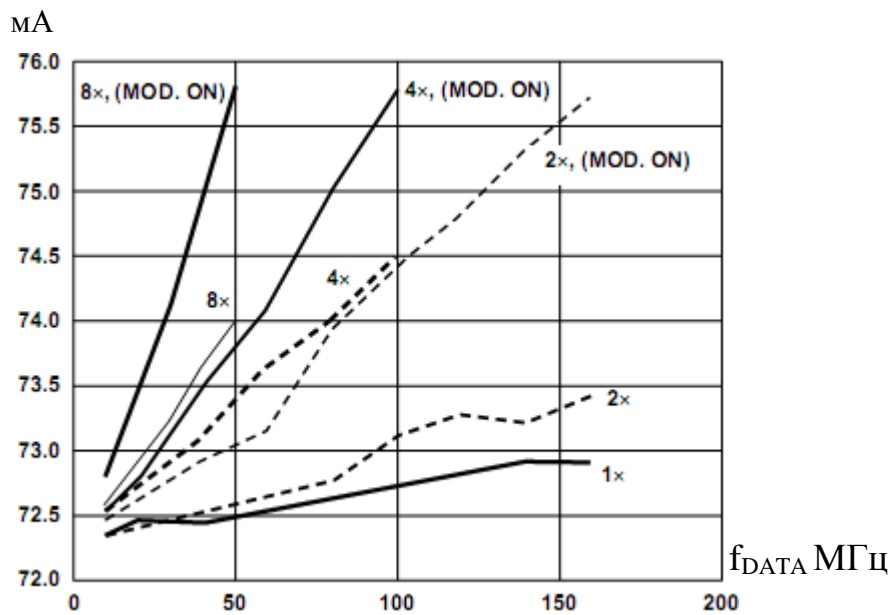


Рисунок 4.13 – $I_{\#VCC}$ относительно f_{DATA} , коэффициента интерполяции (ФАПЧ запрещен)

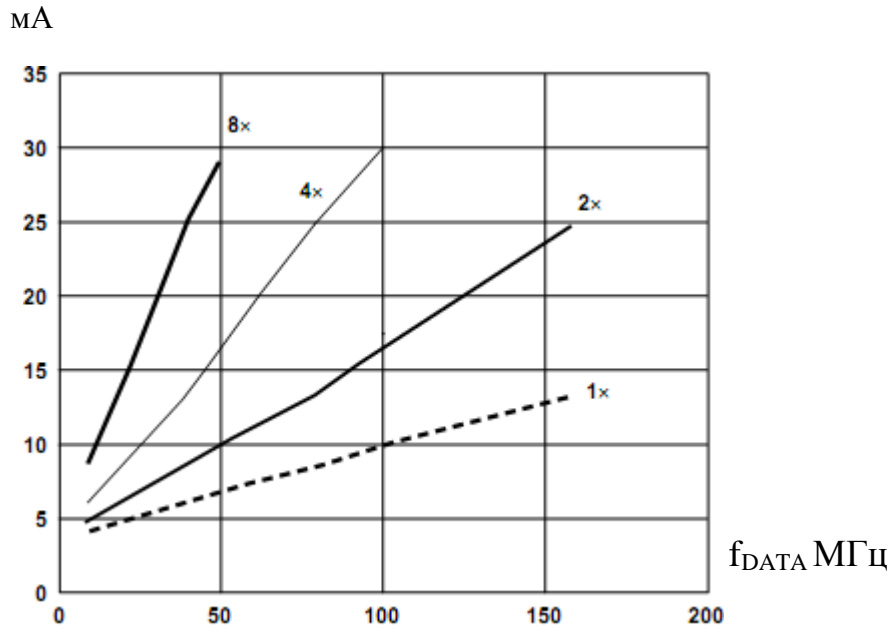


Рисунок 4.14 – I_{CLKVCC} относительно f_{DATA} , коэффициента интерполяции (ФАПЧ запрещен)

4.8 Режимы сна и низкого энергопотребления

ИС 1273НА044 обеспечивает два метода для программирования сокращения потребляемой мощности. Когда активирован режим сна, выключаются выходные токи ЦАП, но оставшаяся часть кристалла продолжает функционировать. При завершении режима сна ИС 1273НА044 немедленно возвратится к полному функционированию. В режиме низкого потребления мощности отключаются вся аналоговая и цифровая части за исключением порта SPI. При завершении режима низкого потребления цифровым фильтром потребуется достаточно много тактов для очистки от случайных данных, полученных во время режима низкого потребления.

4.9 Двухпортовый режим ввода данных

Порты ввода цифровых данных могут быть построены как два независимых порта (регистр 2, бит 6 = 0 – режим «два порта») или как один порт (регистр 2, бит 6 = 1 – режим «один порт»). В режиме с двумя портами данные на входах двух портов защелкиваются по восходящему фронту тактовых импульсов (DATACLK). Кроме того, в режиме с двумя портами 1273НА044 может быть запрограммирован так, чтобы генерировать тактовые сигналы DATACLK для внешних схем с целью общей синхронизации данных. Тактовые импульсы ввода данных для внешних схем могут быть доступны или на выводе 10 (DATACLK/PLL_LOCK) или на выводе 58 (SPI_SDO). Поскольку вывод 10

может работать как индикатор состояния ФАПЧ, то когда ФАПЧ разрешен, есть несколько вариантов для конфигурирования выводов 10 и 58. Данные варианты описаны ниже.

ФАПЧ выключен (регистр 4, бит 7 = 0)

регистр 3, бит 7 = 0; DATACLK на вывод 10;

регистр 3, бит 7 = 1; DATACLK на вывод 58.

ФАПЧ включен (регистр 4, бит 7 = 1)

регистр 3, бит 7 = 0, регистр 1, бит 0 = 0; вывод 10 индикатор ФАПЧ;

регистр 3, бит 7 = 1, регистр 1, бит 0 = 0; вывод 58 индикатор ФАПЧ;

регистр 3, бит 7 = 0, регистр 1, бит 0 = 1; DATACLK на вывод 10;

регистр 3, бит 7 = 1, регистр 1, бит 0 = 1; DATACLK на вывод 58.

В режиме с одним портом P2B14 и P2B15 от входных данных порта 2 переопределяются как IQSEL и ONEPORTCLK соответственно. Входные данные в режиме с одним портом поступают на один из двух внутренних каналов, определяемых логическим уровнем IQSEL. Тактовый сигнал ONEPORTCLK генерируется ИС 1273HA044 в этом режиме с целью общей синхронизации данных. ONEPORTCLK формируется с целью чередования входных данных, формируемая частота вдвое больше частоты данных на внутреннем входе любого канала.

4.10 Двухпортовый режим ввода данных, ФАПЧ включена

(Регистр 2, бит 6 = 0 и регистр 4, бит 7 = 1)

В двухпортовом режиме с включенной ФАПЧ частота CLKIN зависит от частоты входных данных. В режиме с двумя портами вывод 10 (DATACLK/PLL_LOCK) может быть запрограммирован (регистр управления 1, бит нулевой) так, чтобы функционировать как индикатор состояния ФАПЧ или как тактовый сигнал для входных данных. Когда вывод 10 используется как выход тактового сигнала (DATACLK), его частота равна частоте CLKIN. Данные во входные порты 1273HA044 защелкиваются по восходящему фронту CLKIN. На рисунке 4.15 показывается задержка t_{OD} между положительным фронтом CLKIN и положительным фронтом DATACLK, а так же длительности установления t_S и необходимого удержания t_H для данных портов 1 и 2. Длительности

установления и хранения входных данных, приведенные на рисунке 4.15, даны относительно CLKIN. Отметим, что в двухпортовом режиме (ФАПЧ разрешен или блокирован) частота ввода данных на входах фильтра интерполятора такая же, как и частота ввода данных портов 1 и 2.

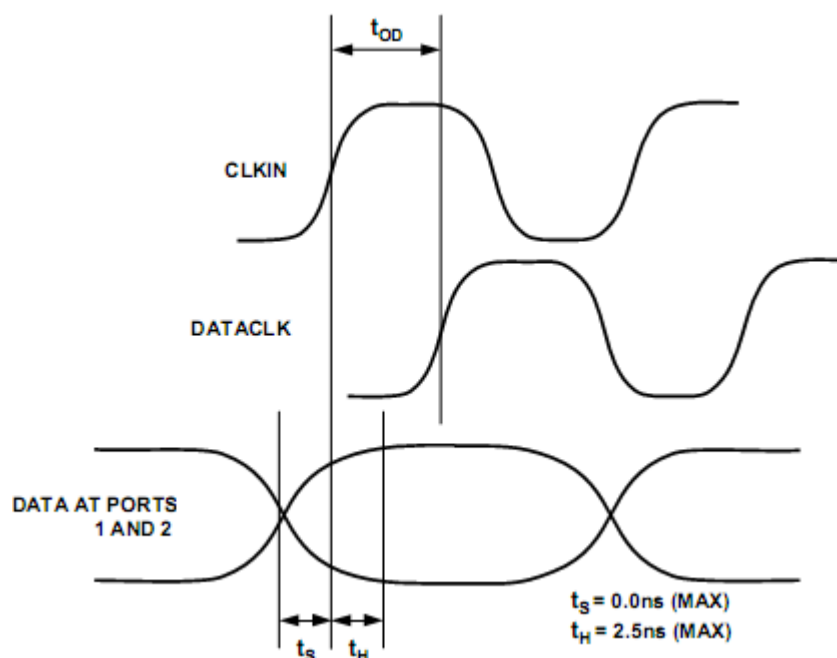


Рисунок 4.15 – Требования синхронизации в двухпортовом режиме с разрешенным ФАПЧ

Частота выборок выходных данных ЦАП в двухпортовом режиме равна частоте тактирования входных данных, умноженной на коэффициент интерполяции. Если используется функция дополнения нулями, скорость выборки ЦАП удваивается.

4.11 Инверсия DATACLK

(Управляющий регистр 2, бит 4)

Программированием этого бита сигнал DATACLK, который показан на рисунке 4.15, может быть инвертирован. С разрешенной инверсией t_{OD} определяется как задержка между положительным фронтом CLKIN и отрицательным фронтом DATACLK. Никаких других изменений в синхронизации не произойдет.

4.12 Нагрузочная способность формирователя DATACLK

(Управляющий регистр 2, бит 5)

Вывод DATACLK может работать при токе больше 10 мА и нагрузке 330 Ом, обеспечивая время нарастания 3 нс. На рисунке 4.16 показывается DATACLK, работающий при активной нагрузке 330 Ом на частоте 50 МГц. При разрешенной опции интенсивности формирователя (управляющий регистр 2, бит 5) амплитуда DATACLK будет увеличена приблизительно на 200 мВ.

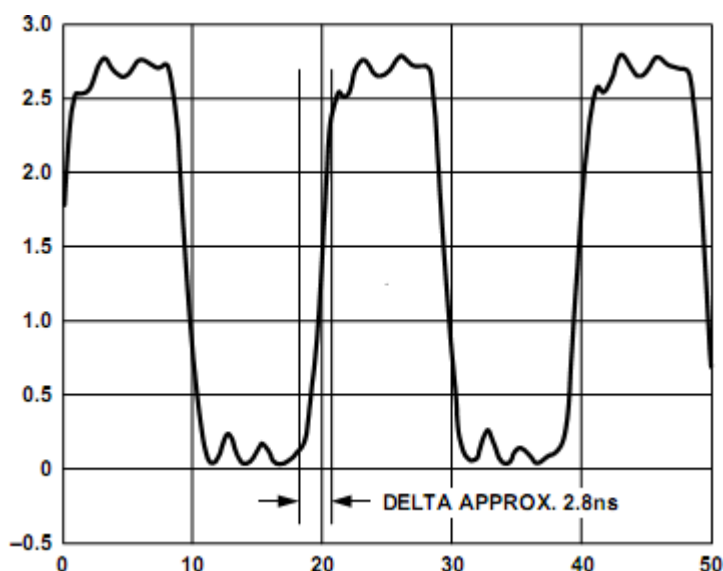


Рисунок 4.16 – Мощностная характеристика формирователя нагрузка 330 Ом, частота 50 МГц

4.13 Однопортовый режим, ФАПЧ включена

(Регистр 2, бит от 6 = 1 и регистр 4, бит от 7=1)

В режиме с одним портом каналы от I и Q принимают свои данные из чередующегося потока на цифровом входе порта 1. На выводе 35, определенном как выход (ONEPORTCLK), генерируются тактовые импульсы с частотой вдвое большей внутренней частоты ввода данных каналов I и Q. Частота CLKIN равна внутренней частоте ввода данных каналов I и Q.

Выбор канала I или Q для защелкивания данных определяется логическим уровнем на выводе 34, определенном как вход (IQSEL, когда 1273HA044 работает в однопортовом режиме), а защелкивание данных происходит по положительному фронту ONEPORTCLK. IQSEL = 0 будет защелкивать данные в канал I, а IQSEL = 1 будет защелкивать данные в канале Q. Возможна инверсия выбора каналов I и Q установкой бита 1 регистра 02 в инверсное состояние (логической единицы). На рисунке 4.17

показываются требования синхронизации для входных данных и для входа IQSEL.

Отметим, что коэффициент интерполяции $1\times$ в режиме с одним портом недоступен.

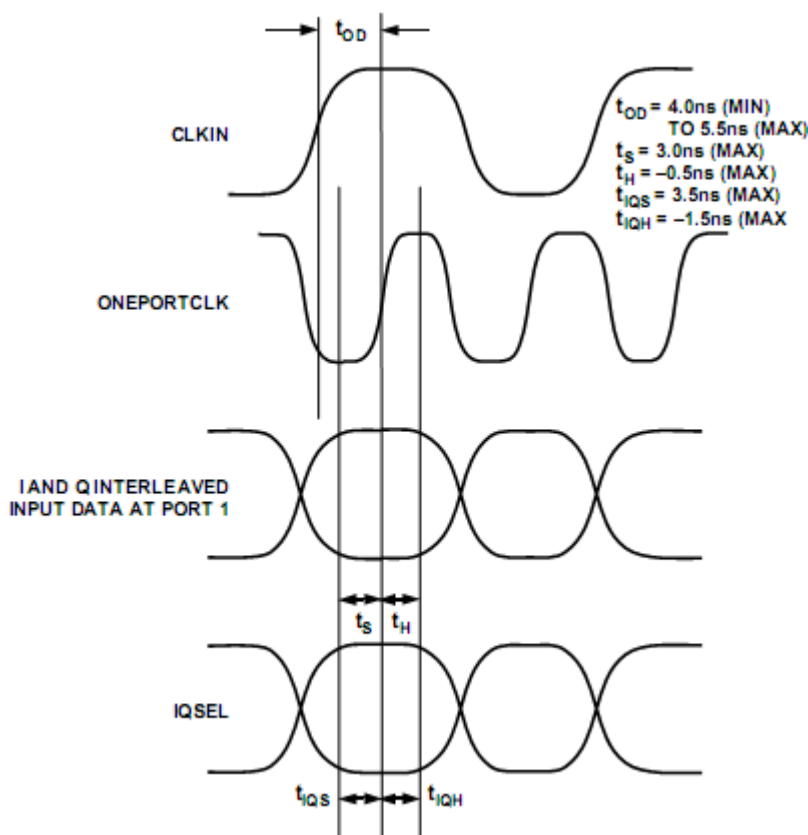


Рисунок 4.17 – Требования синхронизации в режиме с одним портом, с включенной ФАПЧ

Частота выходных выборок ЦАП в однопортовом режиме равна частоте CLKIN, умноженной на коэффициент интерполяции. Если используется функция заполнения нулями, частота выборки ЦАП еще удваивается.

4.14 Инверсия ONEPORTCLK

(Управляющий регистр 02, бит 2)

Программированием этого бита сигнал ONEPORTCLK, который показан на рисунке 4.17, может быть инвертирован. С разрешенной инверсией t_{OD} определяется как задержка между положительным фронтом внешнего тактового генератора и отрицательным фронтом ONEPORTCLK. Время установления t_S и время удержания t_H определяются относительно

отрицательного фронта ONEPORTCLK. Никаких других изменений в синхронизации не произойдет.

4.15 Нагрузочная способность формирователя ONEPORTCLK

Нагрузочная способность ONEPORTCLK идентична DATACLK в двухпортовом режиме, смотри рисунок 4.16.

4.16 IQ спаривание

(Управляющий регистр 02, бит 0)

В режиме с одним портом чередующиеся данные фиксируются на внутренней защелке ИС 1273НА044 каналов I и Q попарно. Порядок защелкивания внутри пары определен этим управляющим регистром. Последующее – пример этого влияния на входящие чередующиеся данные.

Задается следующий чередующийся поток данных, где данные указаны в единицах полной шкалы (смотри таблицы 4.3 – 4.5).

Таблица 4.3

I	Q	I	Q	I	Q	I	Q	I	Q
0,5	0,5	1	1	0,5	0,5	0	0	0,5	0,5

С установкой регистра управления в нуль (I – первый), данные будут появляться на внутренних входах каналов в следующем временном порядке:

Т а б л и ц а 4.4

I канал	0,5	1	0,5	0	0,5
Q канал	0,5	1	0,5	0	0,5

С установкой регистров управления в единицу (Q – первый), данные будут появляться на внутренних входах каналов в следующем временном порядке:

Т а б л и ц а 4.5

I канал	0,5	1	0,5	0	0,5	x
Q канал	y	0,5	1	0,5	0	0,5

Значения x и y представляют последующее значение I и предыдущее значение Q.

4.17 Двухпортовый режим, ФАПЧ выключена

В режиме с выключенной ФАПЧ тактовый сигнал с частотой выборок ЦАП должен быть приложен к CLKIN. Внутренние делители тактового сигнала ИС 1273HA044 синтезируют сигнал DATACLK на выводе 10, который работает с частотой входных данных и может использоваться для синхронизации входных данных. Данные защелкиваются во входы портов 1 и 2 по положительному фронту DATACLK. Частота DATACLK определяется как частота CLKIN, деленная на коэффициент интерполяции. С включенной функцией дополнения нулями это деление увеличивается вдвое. На рисунке 4.18 показывается задержка между фронтом CLKIN и фронтом DATACLK, а так же t_s и t_H в этом режиме.

Программируемые режимы инверсии DATACLK и мощности DATACLK, описанные в предыдущем разделе (ФАПЧ включена, двухпортовый режим), имеют при выключенной ФАПЧ идентичные функциональные возможности.

Тактовый сигнал данных CLK, получаемый делением частоты ЦАП, в этом режиме может быть запрограммирован (через регистр 3, битом 7) таким образом, чтобы поступать на вывод SPI_SDO, а не на вывод DATACLK. В некоторых приложениях это может улучшить комплексное подавление помех от зеркального канала. Когда SPI_SDO будет использоваться как выход для тактирования данных, то t_{OD} увеличится на 1,6 нс.

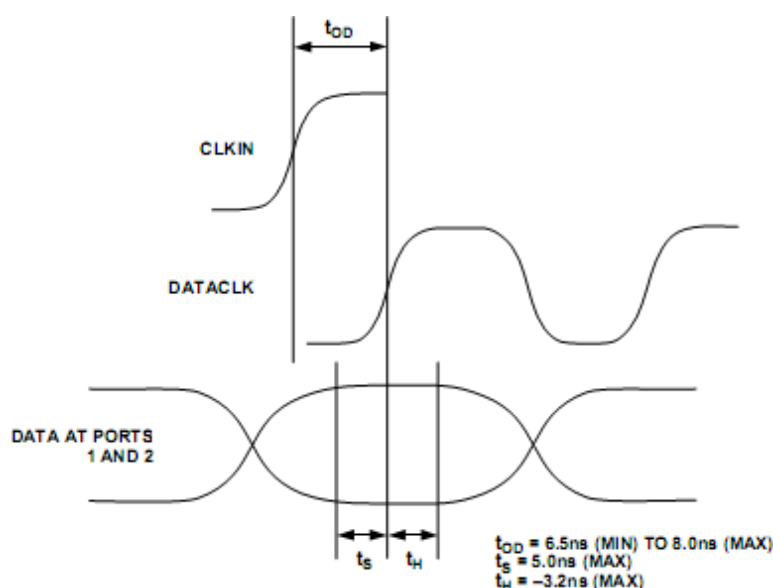


Рисунок 4.18 – Требования синхронизации при двухпортовом режиме, с выключенной ФАПЧ

4.18 Однопортовый режим, ФАПЧ выключена

В режиме с одним портом ИС 1273НА044 получает данные как чередующийся поток на порт 1. Частота тактового сигнала ONEPORTCLK при чередующихся данных равна удвоенной внутренней частоте ввода данных каналов I и Q. ONEPORTCLK доступен для синхронизации данных на выводе 35. С выключенной ФАПЧ частота выборки ЦАП будет равна CLKIN. Внутренние делители синтезируют сигнал ONEPORTCLK на выводе 35. Выбор данных для канала I или канала Q определяется логическим уровне на выводе 34 (IQSEL, когда ИС 1273НА044 находится в режиме с одним портом) по положительному фронту ONEPORTCLK. В этих условиях IQSEL = 0 будет защелкивать данные в канал I, в то время как IOSEL = 1 будет защелкивать данные в канал Q. Возможна инверсия выбора каналов I и Q установкой бита 1 регистра 2 в инверсное состояние (логической единицы). На рисунке 4.19 показываются требования синхронизации для входных данных и для входа IOSEL.

Отметим, что коэффициент интерполяции $1\times$ в режиме с одним портом недоступен.

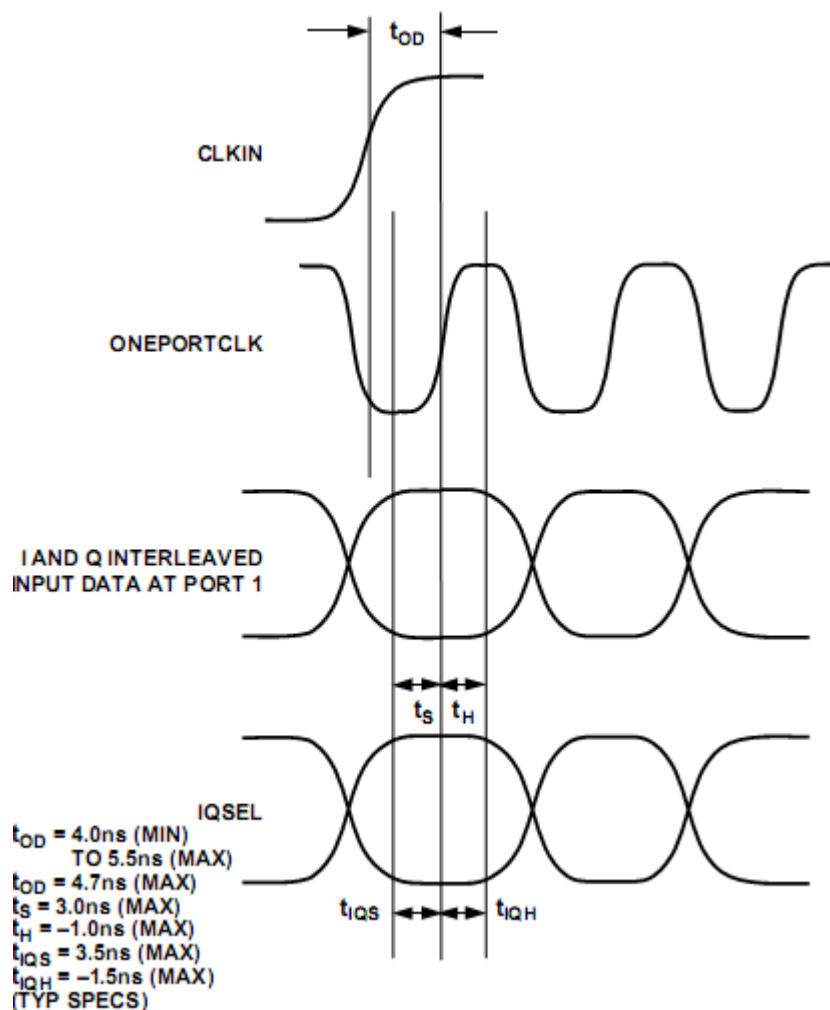


Рисунок 4.19 – Требования синхронизации в режиме с одним портом и выключенной ФАПЧ

Режим с одним портом очень полезен для связи с устройствами, в которых имеются два чередующихся цифровых канала данных (мультиплексированных). Такие программируемые режимы, как инверсия ONEPORTCLK, мощность формирователя ONEPORTCLK и спаривание IQ, описанные в предыдущем разделе (ФАПЧ включена, однопортовый режим), имеют с выключенной ФАПЧ идентичные функциональные возможности.

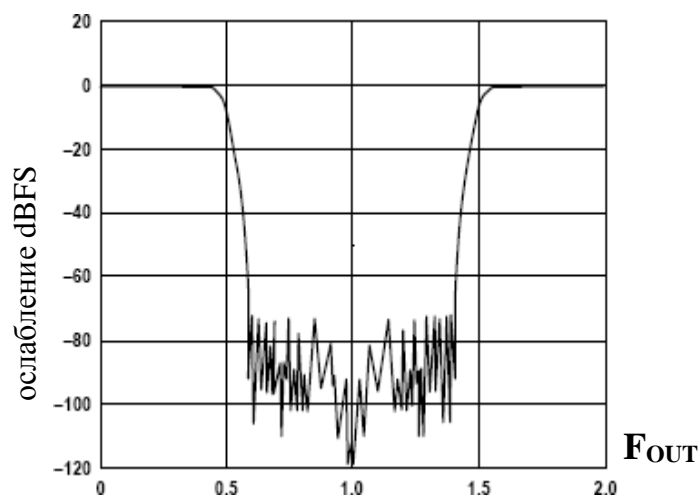
4.19 Режимы цифрового фильтра

Каналы I и Q данных ИС 1273HA044 имеют собственные независимые полуполосные КИХ-фильтры. Каждый канал содержит три КИХ-фильтра, обеспечивая коэффициент интерполяции до $8\times$. Коэффициент интерполяции определен первым регистром управления, битами 7 и 6. На рисунках 4.20 – 4.22 показаны отклики цифровых

фильтров, когда ИС 1273НА044 работает в режимах с интерполяцией $2 \times$, $4 \times$, $8 \times$. Частотная ось этих рисунков нормализована к частоте входных данных ЦАП. Как показано на рисунках, цифровые фильтры (таблицы 4.6 – 4.8) могут обеспечить подавление вне полосы пропускания больше, чем на 75 дБ.

Т а б л и ц а 4.6 – Полудиапазонный фильтр № 1 (43 коэффициента)

Отвод	Коэффициент
1, 43	8
2, 42	0
3, 41	-29
4, 40	0
5, 39	67
6, 38	0
7, 37	-134
8, 36	0
9, 35	244
10, 34	0
11, 33	-414
12, 32	0
13, 31	673
14, 30	0
15, 29	-1 079
16, 28	0
17, 27	1 772
18, 26	0
19, 25	-3 280
20, 24	0
21, 23	10 364
22	16 384

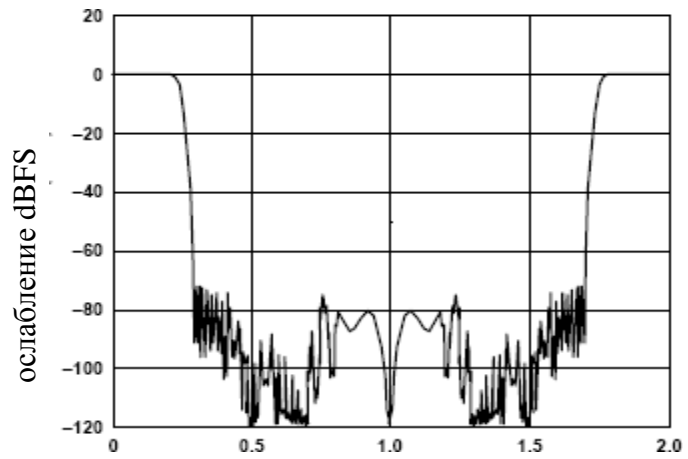


F_{OUT} (нормализована по f_{DATA})

Рисунок 4.20–АЧХ фильтра интерполятора $2 \times$

Т а б л и ц а 4.7 – фильтр № 2
(19 коэффициентов)

Отвод	Коэффициент
1, 19	19
2, 18	0
3, 17	-120
4, 16	0
5, 15	438
6, 14	0
7, 13	-1,288
8, 12	0
9, 11	5047
10	8192

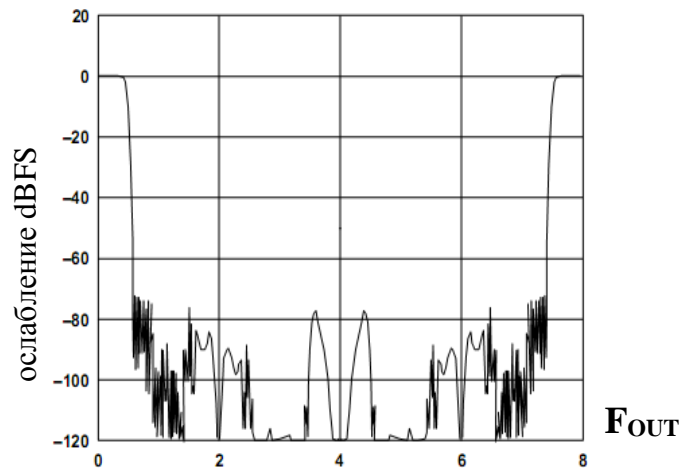


F_{OUT} (нормализована по f_{DATA})

Рисунок 4.21 – АЧХ фильтра-интерполятора 4×

Т а б л и ц а 4.8 – Полудиапазонный
фильтр № 3 (11 коэффициентов)

Отвод	Коэффициент
1, 11	7
2, 10	0
3, 9	-53
4, 8	0
5, 7	302
6	512



F_{OUT} (нормализована по f_{DATA})

Рисунок 4.22 – АЧХ фильтра интерполятора 8×

4.20 Амплитудная модуляция

Для двух синусоидальных сигналов одной частоты, но с различием по фазе на 90° , точка отсчета во времени может быть взята таким образом, что сигнал с опережающей фазой является косинусоидальным, а сигнал с отстающей фазой является синусоидальным. Анализ комплексных переменных говорит о том, что косинусоидальный сигнал может быть определен как имеющий положительные действительные компоненты в положительной и отрицательной частотных областях, в то время как синусоидальный сигнал состоит из мнимых компонентов: положительной в положительной частотной области и отрицательной в отрицательной частотной области. Это показано на рисунке 4.23.

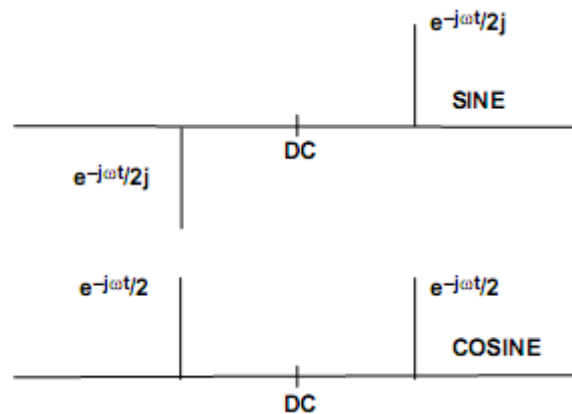


Рисунок 4.23 – Реальные и мнимые компоненты синусоидального и косинусоидального сигналов

Амплитудная модуляция, осуществляемая синусоидальным или косинусоидальным сигналами, является сверткой модулируемого сигнала с модулирующей несущей в частотной области. Амплитудное масштабирование модулированного сигнала уменьшает положительные и отрицательные боковые сигналы в два раза. Данное масштабирование очень важно при обсуждении различных режимов модуляции. Фазовые соотношения модулированных сигналов зависят от того, является ли несущая частота синусоидальной или косинусоидальной. Примеры модуляции синусом и косинусом приведены на рисунке 4.24.

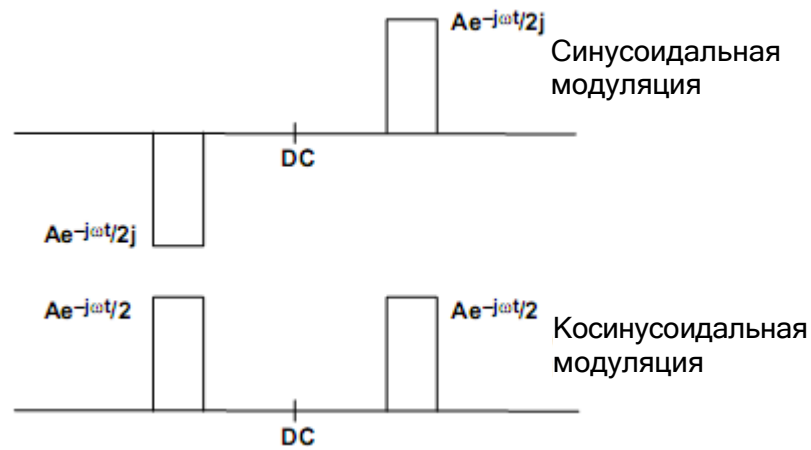


Рисунок 4.24 – Амплитудная модуляция синусом и косинусом

4.21 Модуляция, интерполяция выключена

Управляющим регистром 1, битами 7 и 6, установленными в нулевое состояние, блокируется функция интерполяции на ИС 1273НА044. На рисунках 4.25 – 4.28 показаны выходные спектральные характеристики ЦАП 1273НА044 в различных модуляционных режимах, с заблокированными фильтрами-интерполяторами. Частота модуляции определяется уровнем управляющего первого регистра, битами 5 и 4. Высокие прямоугольники представляют области цифрового спектра узкополосного модулирующего сигнала. Сравнивая цифровой спектр в области спада ЦАП $\sin(x)/x$, можно сделать оценку требуемых характеристик для восстанавливающих фильтров. Заметим так же, по предыдущему обсуждению амплитудной модуляции, что спектральные компоненты (когда модуляция осуществляется $f_{DAC}/4$ или $f_{DAC}/8$) масштабируются с поправочным коэффициентом 2. Когда модуляция $f_{DAC}/2$, спектральные компоненты суммируются конструктивно и эффект масштабирования отсутствует. Это суммирование не отражено на графиках для $f_{DAC}/4$ и $f_{DAC}/8$: здесь амплитуды прямоугольников должны составлять -6 дБ.

Влияние цифровой модуляции на спектральную характеристику ЦАП, интерполяция выключена.

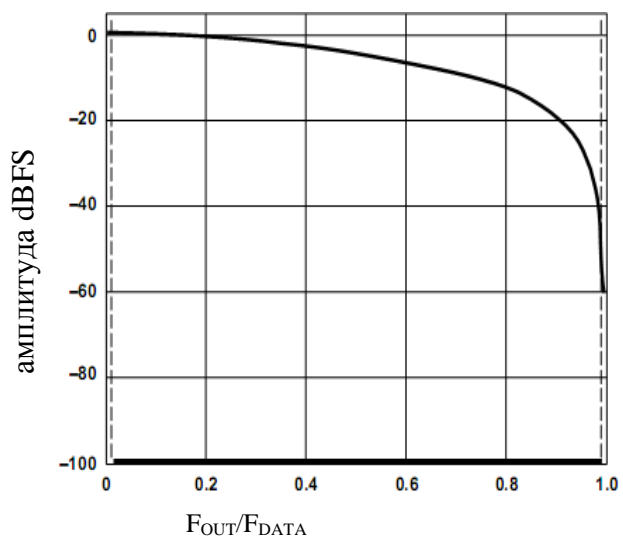


Рисунок 4.25–Модуляция заблокирована

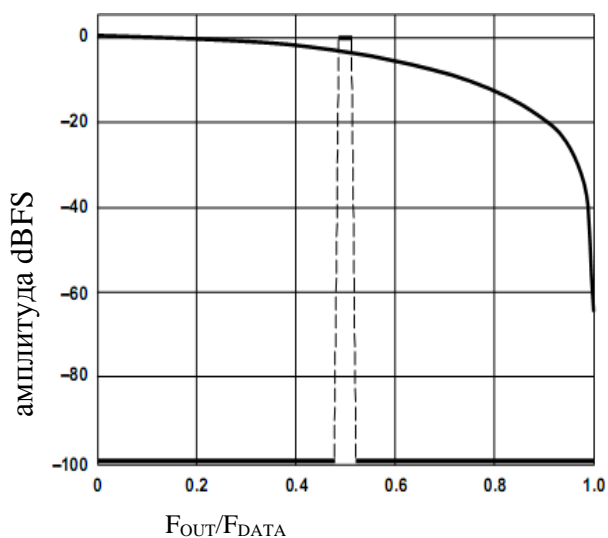


Рисунок 4.26–Модуляция $f_{DAC}/2$

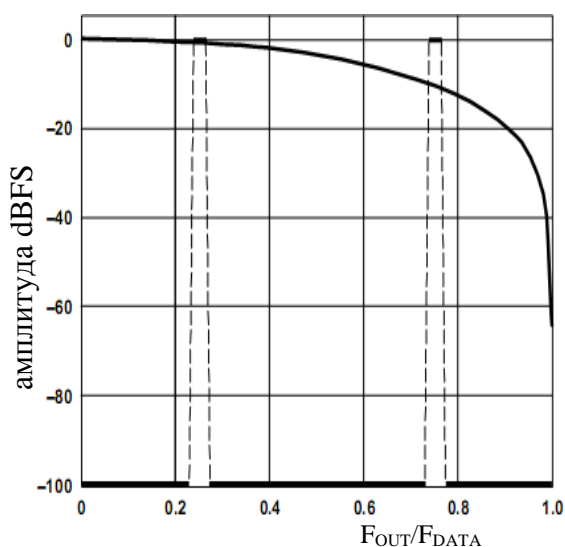


Рисунок 4.27 – Модуляция = $f_{DAC}/4$

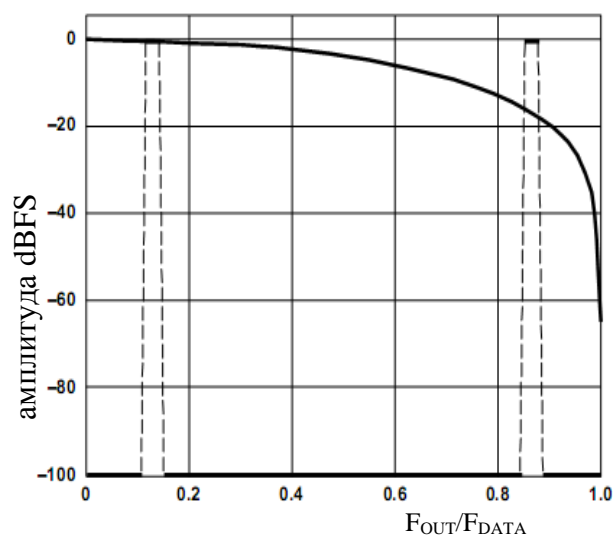


Рисунок 4.28 – Модуляция = $f_{DAC}/8$

4.22 Модуляция, интерполяция $2 \times$

Коэффициент интерполяции ИС 1273НА044 $2 \times$ устанавливается первым регистром управления, битами 7, 6 установленными в состояние 01. Модуляция достигается поочередным умножением отсчетов на выходе фильтра-интерполятора последовательностью (+1, -1). На рисунках 4.29 – 4.32 показана спектральная характеристика выхода ЦАП с $2 \times$ интерполяцией в различных режимах модуляции (опять высокие прямоугольники на рисунке). Преимущество становится очевидным, и на рисунках это видно, что при обработке фильтрами интерполяторами до цифрового модулятора отсутствуют образы, которые обычно присутствуют

в спектре около значимой точки. Также на рисунках видно, что полоса пропускания фильтров интерполяторов может быть сдвинута, давая эквивалент цифрового фильтра высоких частот.

Стоит обратить внимание, что при использовании режима модуляции $f_{DAC}/4$ нет полосы затухания, так как края полос совпадают друг с другом. В режиме модуляции $f_{DAC}/8$ масштабирование амплитуды происходит только на части полосы пропускания цифрового фильтра из-за конструктивных добавлений только лишь к той части полосы пропускания.

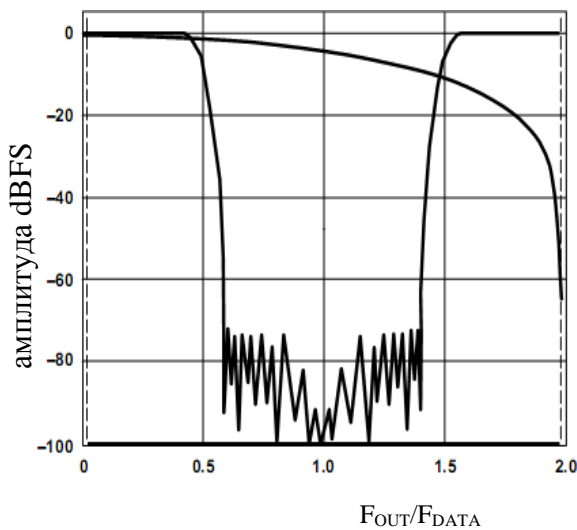


Рисунок 4.29 – Интерполяция $2\times$, модуляция заблокирована

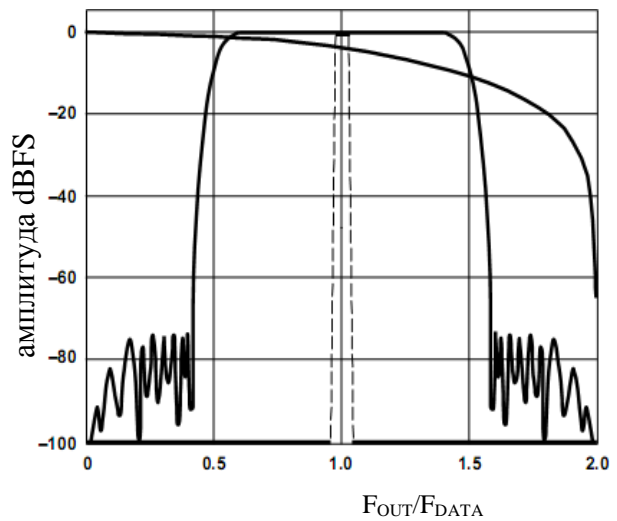


Рисунок 4.30 – Интерполяция $2\times$, модуляция = $f_{DAC}/2$

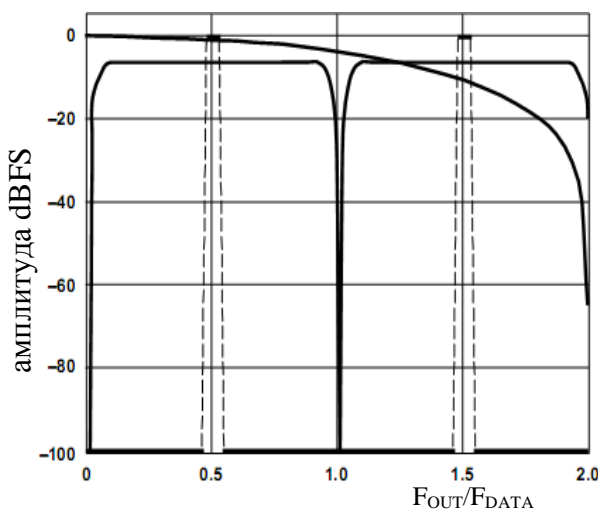


Рисунок 4.31 – Интерполяция $2\times$, модуляция = $f_{DAC}/4$

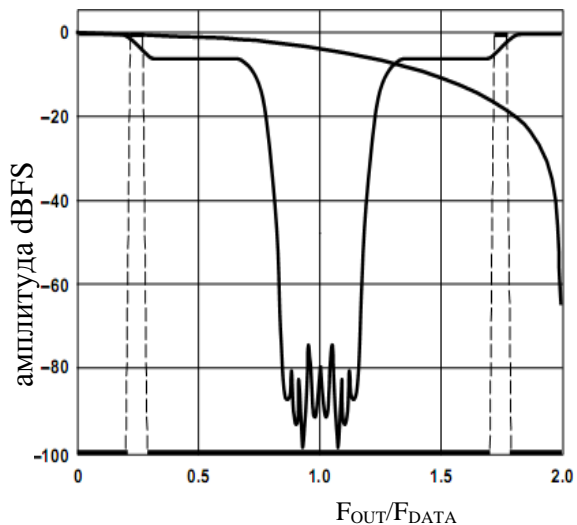


Рисунок 4.32 – Интерполяция $2\times$, модуляция = $f_{DAC}/8$

4.23 Модуляция, интерполяция $4 \times$

Коэффициент интерполяции $4 \times$ ИС 1273НА044 устанавливается первым регистром управления, битами 7 и 6, установленными в состояние 10. Модуляция достигается поочередным умножением отсчетов на выходе фильтра-интерполятора на элементы последовательности (0, +1, 0, -1). На рисунках 4.33 – 4.36 изображена спектральная характеристика выхода ЦАП 1273НА044 с $4 \times$ интерполяцией в различных режимах модуляции.

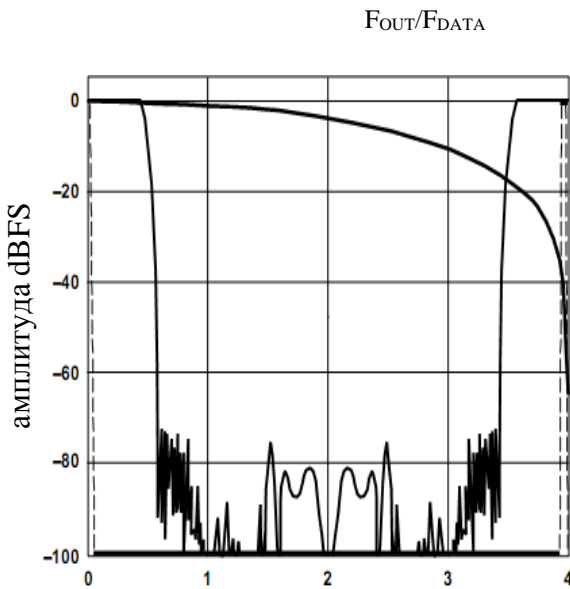


Рисунок 4.33 – Интерполяция $4 \times$, модуляция блокирована

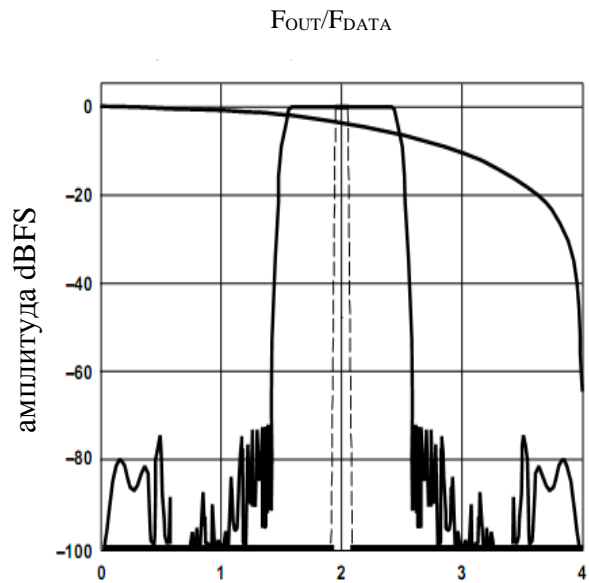


Рисунок 4.34 – Интерполяция $4 \times$, модуляция = $f_{DAC}/2$

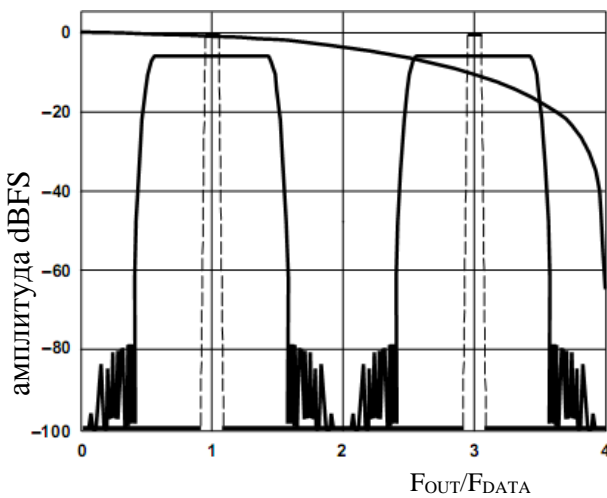


Рисунок 4.35 – Интерполяция $4 \times$, модуляция = $f_{DAC}/4$

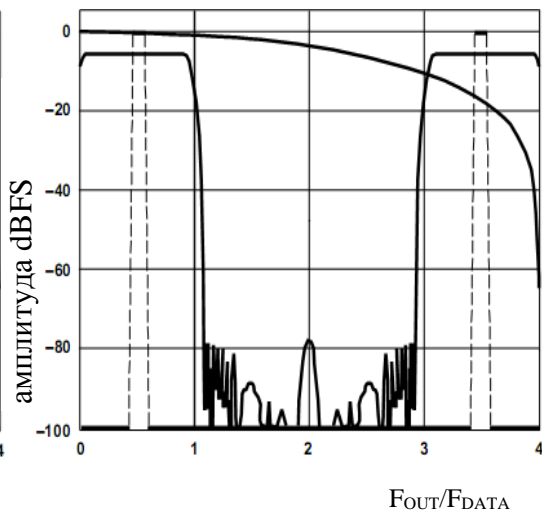


Рисунок 4.36 – Интерполяция $4 \times$, модуляция = $f_{DAC}/8$

4.24 Модуляция, интерполяция $8 \times$

Коэффициент интерполяции $8 \times$ ИС 1273НА044 устанавливается первым регистром управления, битами 7 и 6, установленными в состояние 11. Модуляция достигается поочередным умножением отсчетов на выходе фильтра-интерполятора последовательностью (0; +0,707; +1; +0,707; 0; -0,707; -1; -0,707). На рисунках 4.37 – 4.40 изображена спектральная характеристика ЦАП 1273НА044 с $8 \times$ интерполяцией в различных режимах модуляции. Анализируя рисунки можно видеть, что чем выше коэффициент интерполяции, тем проще восстанавливающие фильтры на выходе ЦАП.

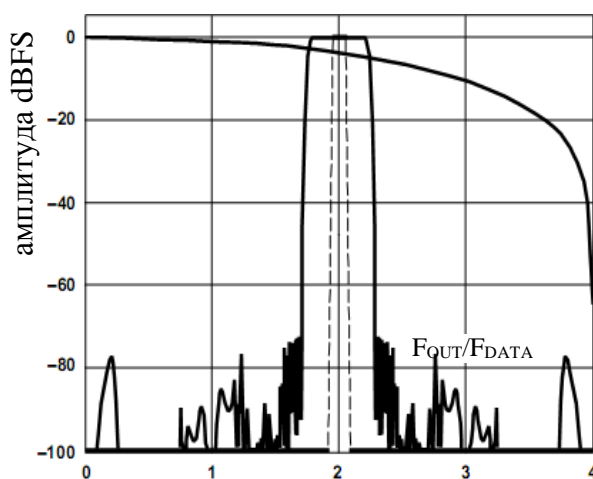


Рисунок 4.37 – Интерполяция $8 \times$, модуляция заблокирована

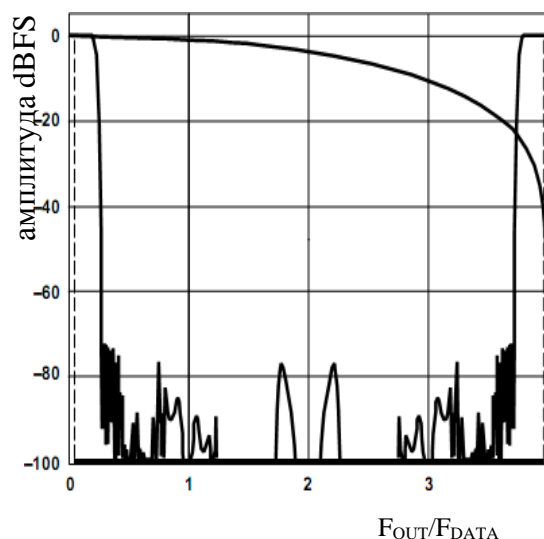


Рисунок 4.38 – Интерполяция $8 \times$, модуляция = $f_{DAC}/2$

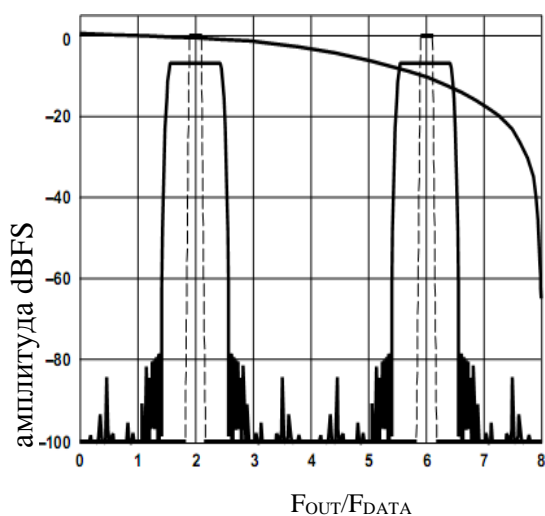


Рисунок 4.39 – Интерполяция $8 \times$, модуляция = $f_{DAC}/4$

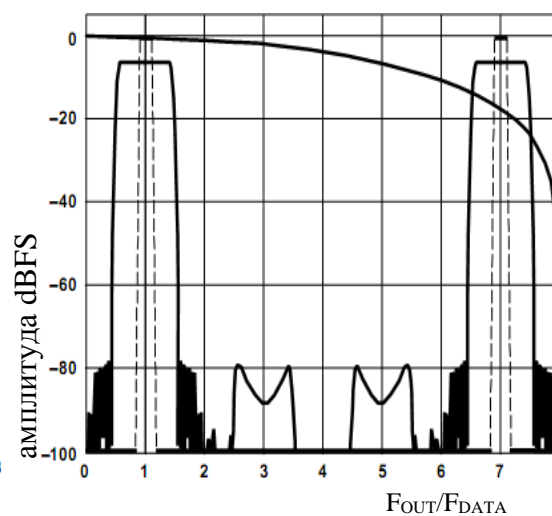


Рисунок 4.40 – Интерполяция $8 \times$, модуляция = $f_{DAC}/8$

4.25 Нуль-дополнение

(Управляющий регистр 1, бит 3)

Как показано на рисунке 4.41, на верхней границе диапазона f_{DAC} происходит обнуление частотной характеристики на выходе ЦАП (после интерполяции, модуляции и восстановления ЦАП). Это происходит из-за присущего цифро-аналоговому преобразованию спада типа $\sin(x)/x$. В приложениях, где рабочий частотный спектр ниже $f_{DAC}/2$, это не создает проблем. Отметим, что при $f_{DAC}/2$ затухание из-за $\sin(x)/x$ составляет 4 дБ. В более широкополосных применениях (RF) этот спад может быть проблемой из-за увеличенной неравномерности амплитудной характеристики фильтра в рабочей полосе частот и уменьшения амплитуды сигнала.

Рассмотрим приложения, где цифровые данные ИС 1273НА044 представляют полосу около частоты $f_{DAC}/4$ с шириной спектра $f_{DAC}/10$. Сигнал, восстановленный 1273НА044, в пределах своего спектра претерпевает изменение амплитуды только на 0,75 дБ. Однако, тот же самый сигнал на частоте $3 \times f_{DAC}/4$ пострадает из-за неравномерности АЧХ на 3,93 дБ. Эта гармоника может быть удовлетворительным сигналом в режиме промежуточной частоты, при использовании одного из режимов модуляции ИС 1273НА044. Этот спад частотных спектров можно увидеть на рисунках 4.31 – 4.40, где эффект интерполяции и модуляции вполне очевиден.

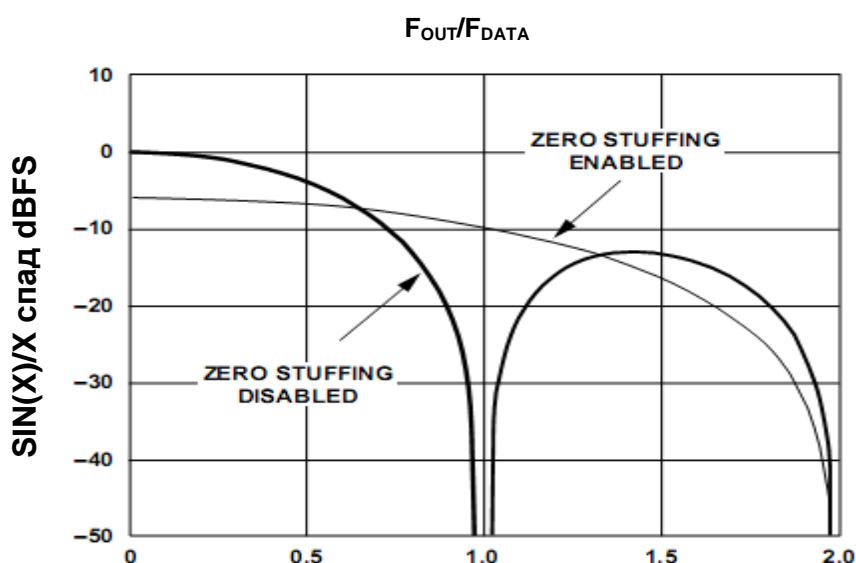


Рисунок 4.41 – Эффект нуль-дополнения ЦАП $\sin(x)/x$

Чтобы улучшить равномерность АЧХ в полосе спектра полезного сигнала, может быть включен режим нуль-дополнения установкой соответствующего бита управляющего регистра в состояние логической единицы. Эта опция увеличивает соотношение f_{DAC}/f_{DATA} в два раза, удваивая частоту выборки ЦАП и вставляя выборку, равную середине шкалы (т. е. 1000 0000 0000 0000, что эквивалентно выборке нулевого значения сигнала) после каждой выборки данных, исходящей от интерполирующего фильтра. Данная функция важна, поскольку затронет коэффициент делителя ФАПЧ, чтобы сохранить VCO в пределах его оптимального диапазона частот. Отметим, что нуль-дополнение включается в цепь цифрового сигнала на выходе цифрового модулятора, перед ЦАП.

Результирующий эффект – увеличение частоты выборки выхода ЦАП в два раза с перемещением спада в передаточной функции $\sin(x)/x$ ЦАП на удвоенную первоначальную частоту. На рисунке 4.41 очевидна потеря на 6 дБ в амплитуде на низких частотах.

Важно понять, что нуль-дополнение не изменяет положение спектра, а оказывает влияние на амплитуду и равномерность в полосе пропускания. Например, неравномерность амплитуды в полосе пропускания в предыдущем примере на частоте $3 \times f_{DATA}/4$ теперь улучшена до 0,59 дБ, в то время как уровень сигнала увеличился не намного: от – 10,5 дБ до – 8,1 дБ.

4.26 Модуляция (режим комплексного микширования)

(Управляющий регистр 1, бит 2)

В режиме комплексного микширования два цифровых модулятора ИС 1273НА044 объединены для обеспечения комплексной модуляционной функции. В соединении с внешним квадратурным модулятором комплексная модуляция может использоваться для реализации архитектуры передачи с подавленной боковой полосой. Функция комплексной модуляции может быть запрограммирована для $e^{+j\omega t}$ или $e^{-j\omega t}$, чтобы подавлять верхнюю или нижнюю боковую полосу. Как и в режиме реальной модуляции, частота модуляции ω может быть запрограммирована через порт параллельного интерфейса SPI для $f_{DAC}/2$, $f_{DAC}/4$, и $f_{DAC}/8$, где f_{DAC} – частота выборок ЦАП.

4.27 Операции на комплексных сигналах

Комплексные сигналы не могут быть реализованы вне компьютерного моделирования. Однако два канала данных, состоящие из действительных данных, могут быть определены как действительная и мнимая составляющие комплексного сигнала. Часто выбирают метод, когда I – действительный, а Q – мнимый информационные каналы. Используя определенную на рисунке 4.42 архитектуру, можно реализовать систему, оперирующую на комплексных сигналах и дающую комплексный (действительный и мнимый) выходной сигнал.

Если желательна комплексная функция модуляции ($e^{+j\omega t}$), действительные и мнимые составляющие системы соответствуют действительным и мнимым составляющим $e^{+j\omega t}$ или $\cos(\omega t)$ и $\sin(\omega t)$. Как показано на рисунке 4.42, комплексная функция модуляции может быть реализована применением этих компонентов к структуре, приведенной на рисунке 4.43.

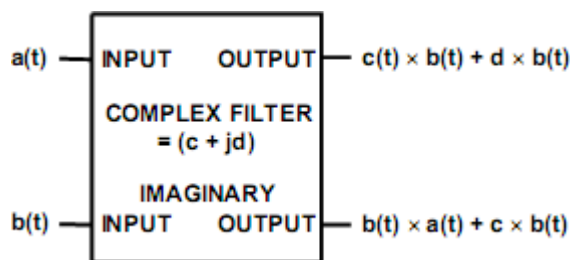


Рисунок 4.42 – Реализация комплексной системы

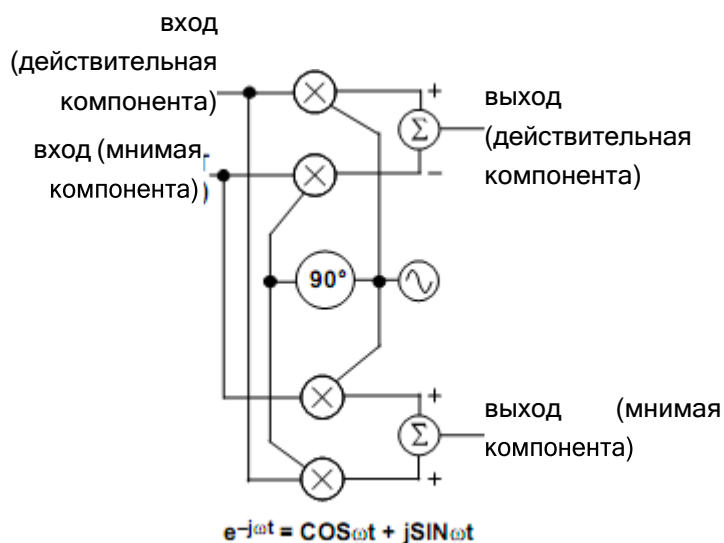


Рисунок 4.43 – Реализация комплексного модулятора

4.28 Комплексная модуляция и подавление боковой полосы

В традиционной передаче применяется двухступенчатое преобразование с повышением частоты, в котором сигнал основной полосы модулирован одной несущей к промежуточной частоте и затем модулируется во второй раз, передающей частотой. Хотя этот подход имеет несколько преимуществ, главный недостаток в том, что около передающей частоты создаются две боковые полосы. Необходима только одна полоса, другая полоса является зеркальной копией. Если нежелательная полоса не отфильтрована, обычно аналоговыми компонентами, то на ее передачу расходуется мощность и часть полосы пропускания, доступная в системе.

Более эффективный метод подавления нежелательного спектра может быть достигнут использованием комплексного модулятора с последующим квадратурным модулятором. На рисунке 4.44 приведена блок-схема квадратурного модулятора. Отметим, что фактически это половина комплексного модулятора: его действительный выход. Полное преобразование с повышением частоты представляет собой пару каскадов с комплексным преобразованием сигнала, действительный выход которой превращается в передаваемый сигнал.

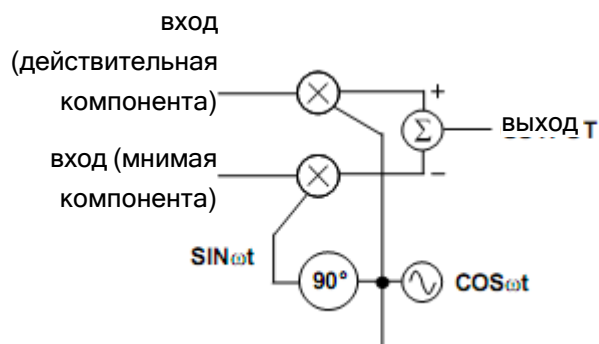


Рисунок 4.44 – Квадратурный модулятор

Всё преобразование с повышением частоты от основной полосы частот к передающей частоте представлено на рисунке 4.45. Результирующий спектр, показанный на рисунке 4.46, представляет собой комплексные данные, состоящие из действительного и мнимого каналов основной полосы частот, модулированных ортогональными (косинус и отрицательный синус) несущими на передающей частоте. Важно помнить,

что в этом применении (два канала данных основной полосы частот) подавление боковой полосы не зависит от данных входных каналов микросхемы.

Фактически подавление зеркальной боковой полосы произойдет или в каком-то одном или в обоих активных каналах ИС 1273НА044. Заметим, что изменением знака синусоидального множителя в комплексном модуляторе могла бы быть подавлена верхняя боковая полоса с одновременным прохождением нижней боковой. Это легко сделать выбором $e^{+j\omega t}$ (регистр 1, бит 1). В комплексной форме на рисунке 4.46 представлено двухступенчатое преобразование с повышением частоты комплексного сигнала основной полосы к несущей.

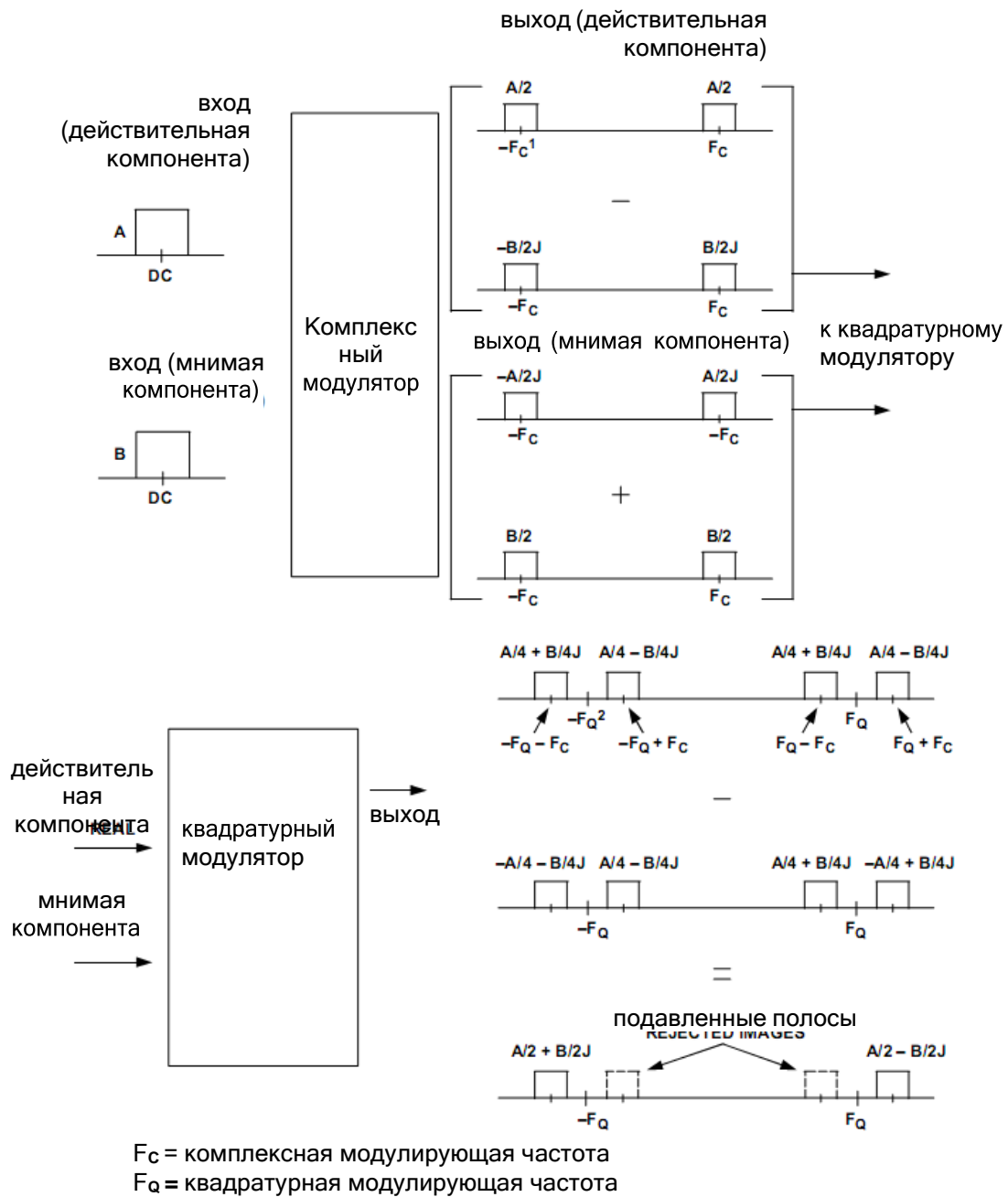


Рисунок 4.45 – Двухступенчатое преобразование с повышением частоты и подавлением одной боковой полосы



Рисунок 4.46 – Двухступенчатое комплексное преобразование с повышением частоты

4.29 Подавление боковой полосы модулированных несущих

Как показано на рисунке 4.45 подавление зеркальной полосы может быть достигнуто подачей основной полосы частот на 1273НА044 и последующим 1273НА044 с квадратурной модуляцией. Чтобы обрабатывать множество несущих с возможностью подавления боковой полосы, необходимо каждую несущую комплексно модулировать. Как показано на рисунке 4.47, один или множество комплексных модуляторов могут быть использованы для синтеза комплексных несущих. Эти комплексные несущие суммируются и подаются на действительный и мнимый входы 1273НА044. Система, в которой множество широкополосных сигналов комплексно-модулированы и затем поданы на реальные и мнимые входы ИС 1273НА044, с последующим квадратурным модулятором, показана на рисунке 4.48, на котором также описываются передаточная характеристика этой системы и выходной спектр. Следует отметить подобие передаточных функций, приведенных на рисунках 4.48 и 4.46. На рисунке 4.48 показан дополнительный каскад комплексного модулятора для суммирования множества несущих на входах 1273НА044. Как и на рисунке 4.44, подавление боковой полосы не зависит от действительных или мнимых данных в основной полосе частот в любом канале. Подавление боковой полосы произойдет, если действительные или мнимые данные, или и те и другие, будут присутствовать в канале в основной полосе частот.

Важно помнить, что величина комплексного сигнала может быть выше в 1,414 раза величины его действительного или мнимого компонента.

Из-за увеличения амплитуды сигнала на 3 дБ действительные и мнимые входы на ИС 1273НА044 должны быть, по крайней мере, на 3 дБ ниже полного масштаба при работе с комплексным модулятором. Переполнение в комплексном модуляторе приведет к осязаемым искажениям на выходе ЦАП.

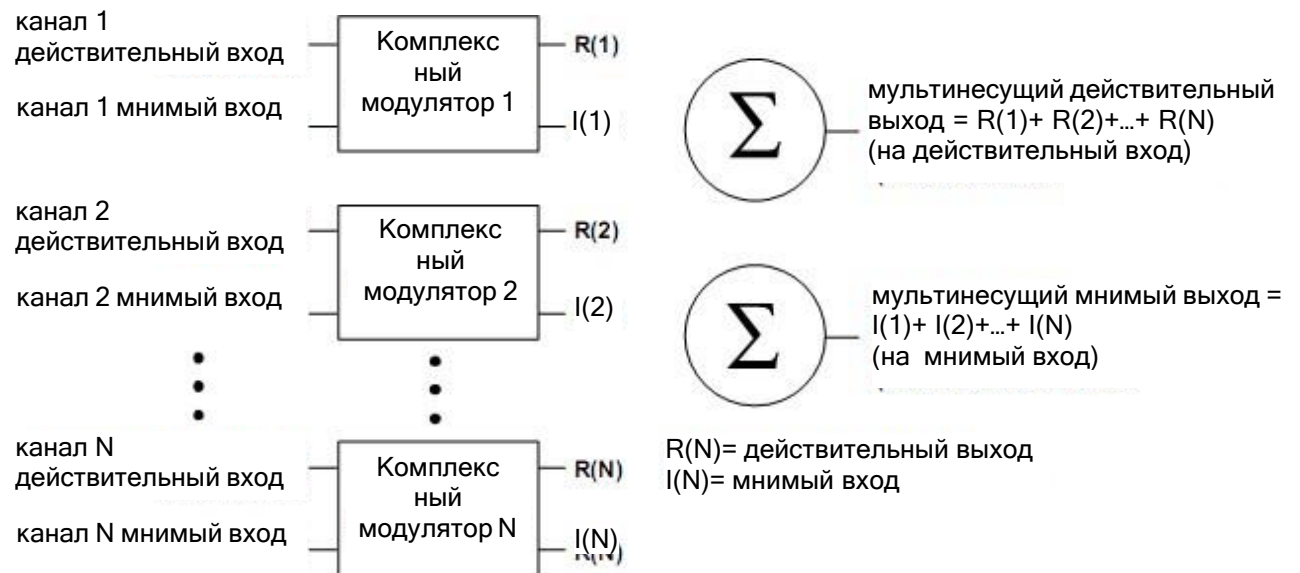


Рисунок 4.47 – Синтез комплексного сигнала на нескольких несущих

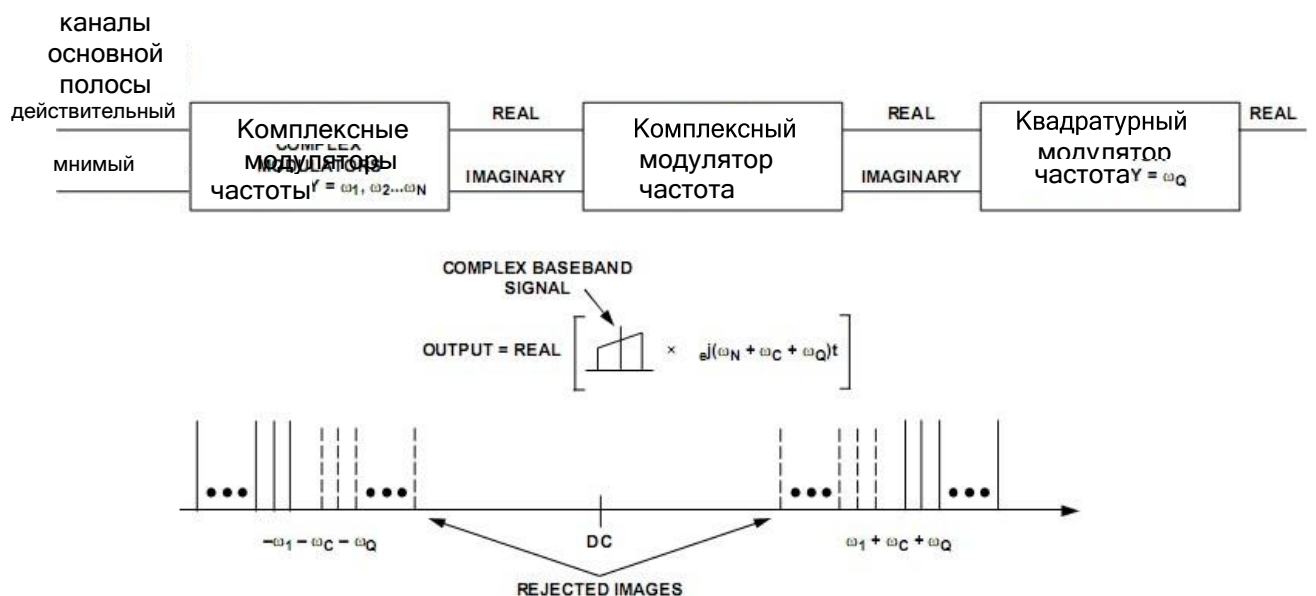


Рисунок 4.48 – Подавление боковой полосы с мультинесущим сигналом

Комплексная несущая, синтезируемая в цифровом модуляторе ИС 1273НА044, достигнута созданием двух реальных цифровых несущих,

сдвинутых по фазе на 90° . Несущие не могут быть созданы модулятором, работающим на частоте $f_{DAC}/2$. По этой причине комплексная модуляция осуществляется только с коэффициентами модуляции $f_{DAC}/4$ и $f_{DAC}/8$.

Области А и В на рисунках 4.49 – 4.54 являются результирующим комплексным сигналом, описанным ранее, когда комплексная модуляция в 1273НА044 осуществляется термом $e^{+j\omega t}$. Области С и D – результирующий комплексный сигнал, описанный ранее, с положительными частотными компонентами, когда комплексная модуляция в 1273НА044 осуществляется термом $e^{-j\omega t}$. Аналоговый квадратурный модулятор после ИС 1273НА044 по своей природе модулирует термом $e^{+j\omega t}$.

Область А

Область А является результатом преобразования с повышением частоты комплексного сигнала в основной полосе частот. Если рассматривается как комплексный сигнал, то только изображения в области А останутся. У комплексного сигнала А в цифровой области, состоящего только из положительных частотных компонентов, есть изображения в позитивных нечетных областях Найквиста (1, 3, 5...), то же самое есть и в отрицательных четных областях. Подавление помех от зеркального канала в любой области Найквиста станет более очевидным при использовании квадратурного модулятора. Изображения появятся на действительном и мнимом выводах ИС 1273НА044, так же как и на выводе квадратурного модулятора, на графике спектра которого в центре представлен гетеродин квадратурного модулятора, а в горизонтальном масштабе теперь представлено смещение от частоты гетеродина.

Область В

Область В комплексно сопряжена с областью А. Чтобы увидеть действительные и мнимые данные ЦАП 1273НА044, необходимо использовать анализатор спектра, тогда область В будет появляться в спектре. Однако, на выходе квадратурного модулятора, область В будет подавлена.

Область С

Область С является результатом преобразования с понижением частоты, поскольку несущая модуляции есть $e^{-j\omega t}$. Если рассматривается как комплексный сигнал, изображения останутся только в области С. Это

изображение появится на действительных и мнимых выводах микросхемы, так же как и на выводе квадратурного модулятора, на графике спектра которого в центре представлен гетеродин квадратурного модулятора, а в горизонтальном масштабе теперь представлено смещение от частоты гетеродина.

Область D

Область D комплексно сопряжена с областью C. Чтобы увидеть действительные и мнимые данные ЦАП 1273HA044, необходимо использовать анализатор спектра, тогда область D появится в спектре. Однако на выходе квадратурного модулятора область D будет подавлена.

На рисунках 4.55 – 4.62 показан отклик ИС 1273HA044 и AD8345, заданный входным комплексным сигналом 1273HA044 и изображенный на рисунке 4.55. Результаты на этих графиках были получены со скоростью передачи данных 12,5 MSPS на входе ИС 1273HA044. При коэффициенте интерполяции $4\times$ или $8\times$ скорость выходных данных ЦАП 50 MSPS или 100 MSPS, соответственно. Как результат, верхний диапазон выходного спектра на этом графике является первой нулевой точкой спада $\sin(x)/x$ и асимметрия выходных изображений ЦАП (или зеркальных каналов) представляет спад по спектру $\sin(x)/x$. Внутренняя фазовая автоподстройка разрешена. В дополнение, для подавления изображений ЦАП используется фильтр нижних частот третьего порядка на 35 МГц.

Важный вывод можно сделать анализируя рисунки 4.57 и 4.59. На рисунке 4.57 представлена группа положительных частот модулированных $+f_{DAC}/4$, в то время как на рисунке 4.59 представлена группа отрицательных частот, модулированных $-f_{DAC}/4$. Анализируя действительные или мнимые выходы ИС 1273HA044, показанные на рисунках 4.57 и 4.59, можно заметить, что результаты выглядят идентично. Однако анализатор спектра не может показать фазовое соотношение этих сигналов. Различие по фазе между двумя сигналами становится очевидным, когда они приходят (проходят) на (через) квадратурный модулятор AD8345; результаты показаны на рисунках 4.58 и 4.60.

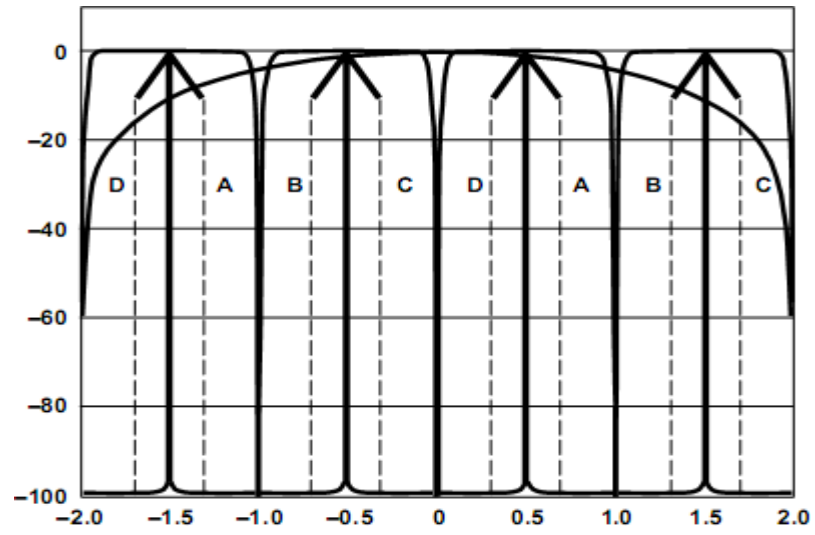


Рисунок 4.49 – Интерполяция $2\times$, комплексная модуляция $f_{DAC}/4$

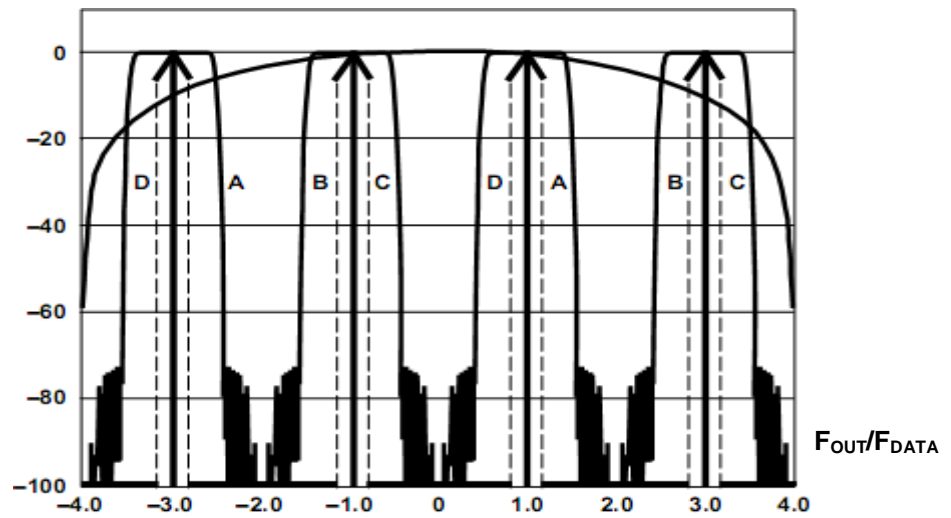


Рисунок 4.50 – Интерполяция $4\times$, комплексная модуляция $f_{DAC}/4$

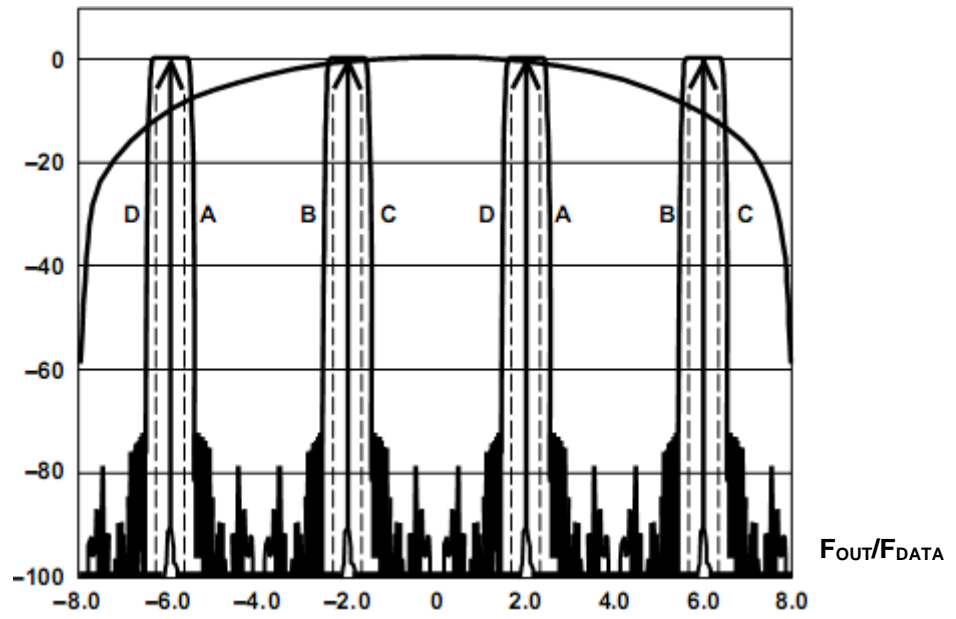


Рисунок 4.51 – Интерполяция $8\times$, комплексная модуляция $f_{DAC}/4$

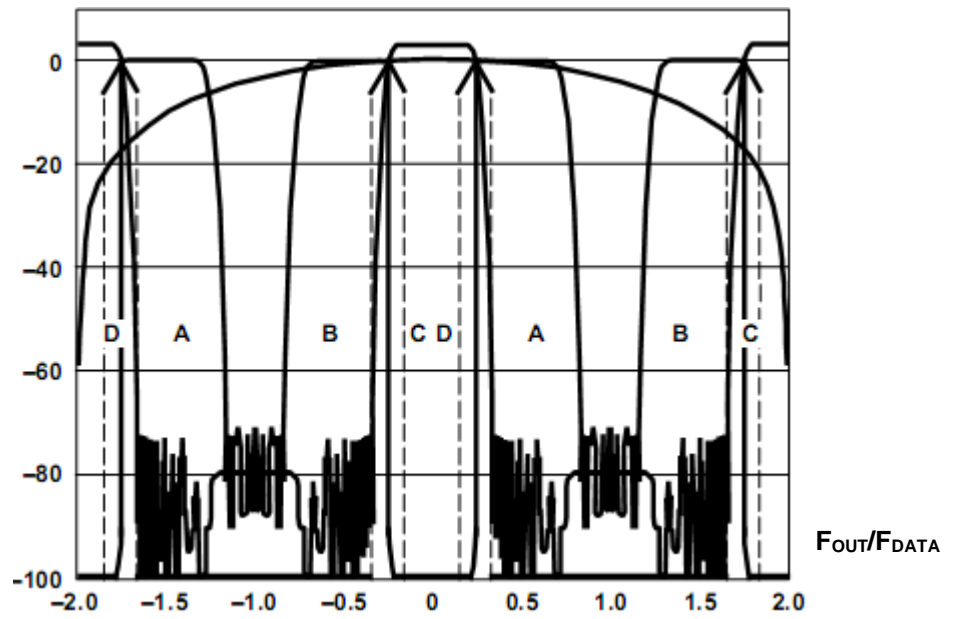


Рисунок 4.52 – Интерполяция $2\times$, комплексная модуляция $f_{DAC}/8$

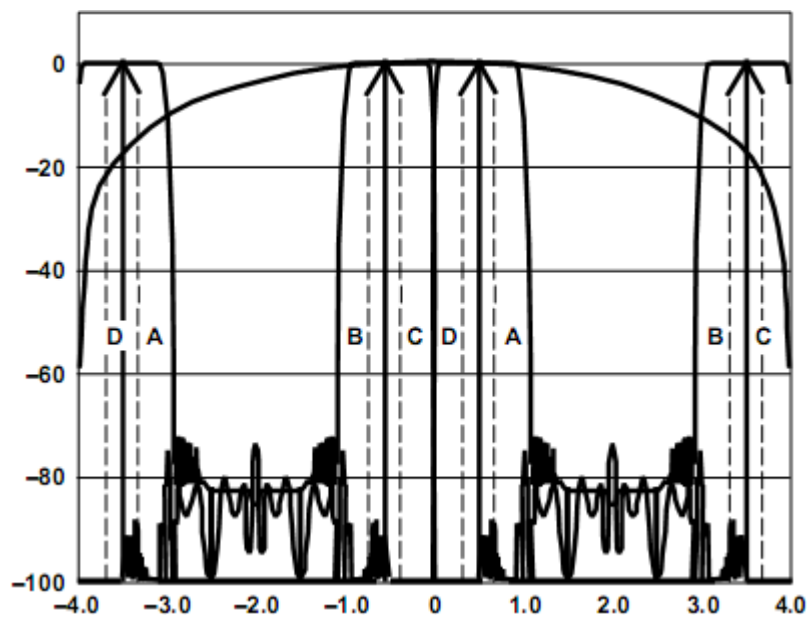


Рисунок 4.53 – Интерполяция $4\times$, комплексная модуляция $f_{DAC}/8$

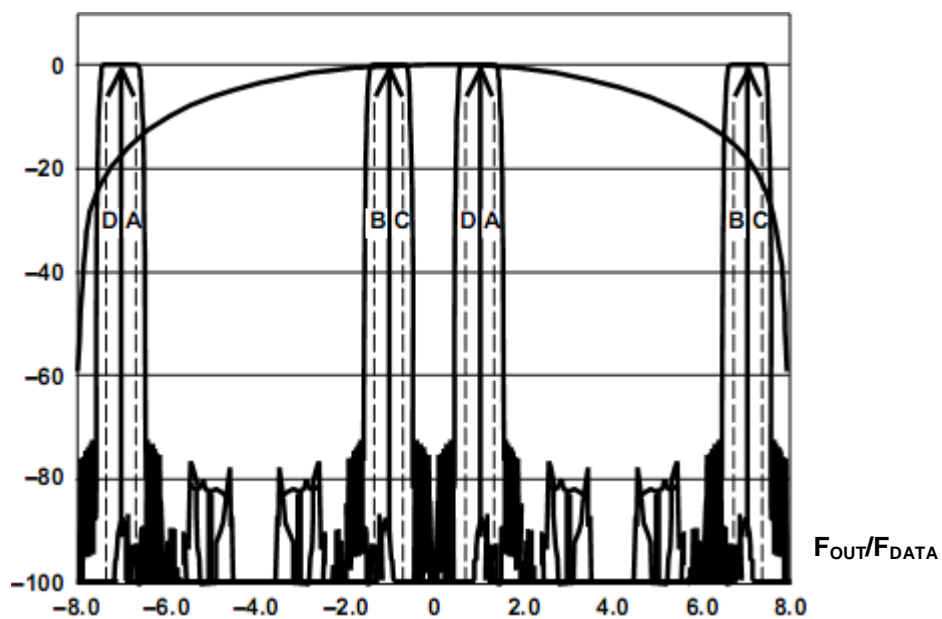


Рисунок 4.54 – Интерполяция $8\times$, комплексная модуляция $f_{DAC}/8$

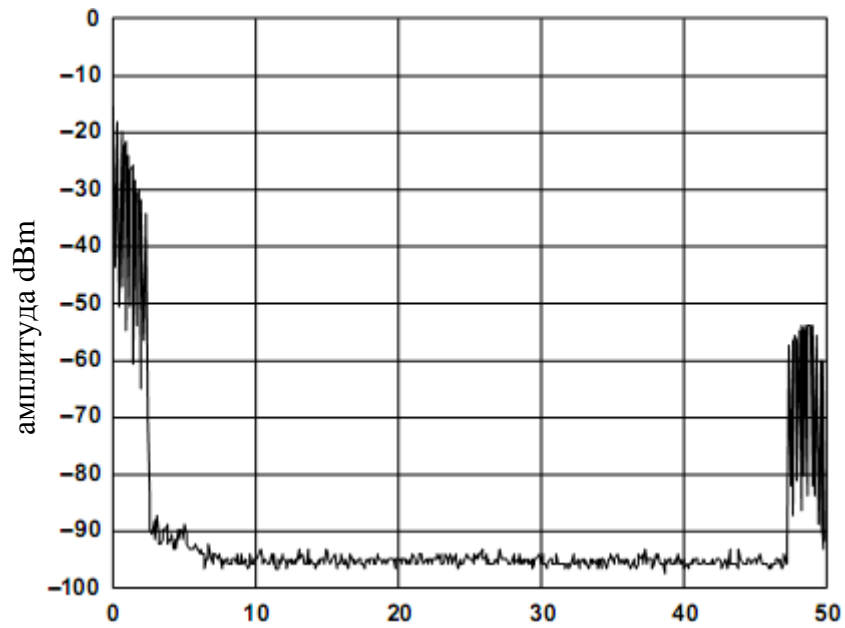


Рисунок 4.55 – ИС 1273НА044, действительный выход ЦАП комплексного входного сигнала в основной полосе частот (только положительные частоты), интерполяция 4×, модуляция в отсутствует

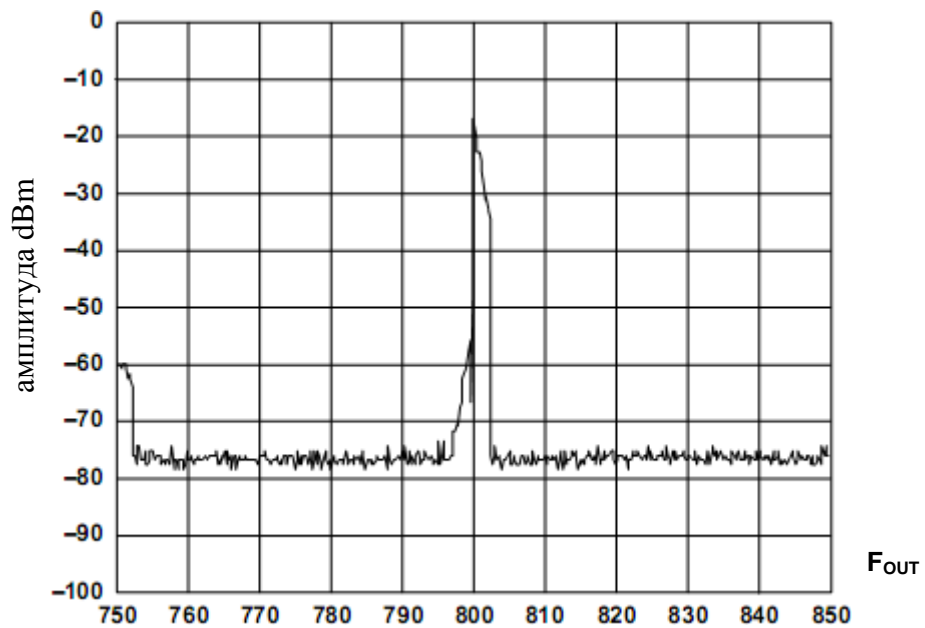


Рисунок 4.56. Комплексный выход 1273НА044 из рисунка 4.55, с квадратурным модулятором AD8345 (частота гетеродина – 800 МГц)

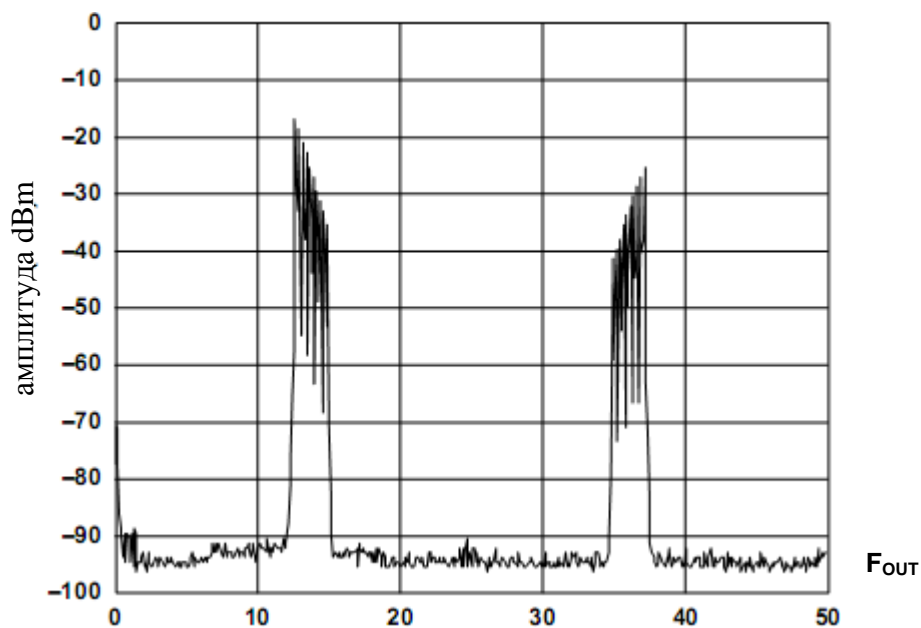


Рисунок 4.57 – ИС 1273НА044, действительный выход ЦАП комплексного входного сигнала в основной полосе частот (только положительные частоты), интерполяция $4\times$, модуляция $+ f_{DAC}/4$

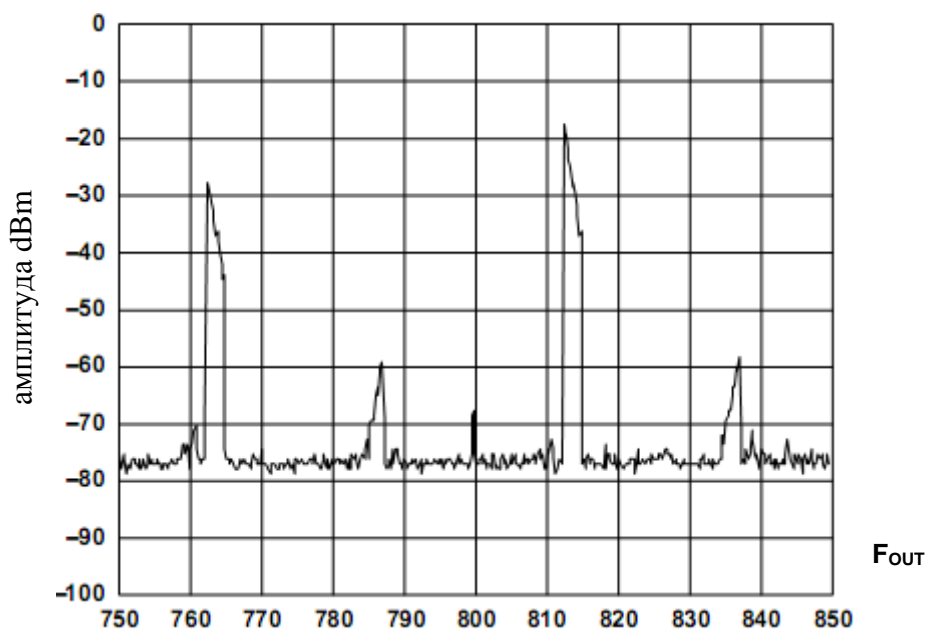


Рисунок 4.58 – Комплексный выход 1273НА044 из рисунка 4.57, с квадратурным модулятором AD8345 (частота гетеродина – 800 МГц)

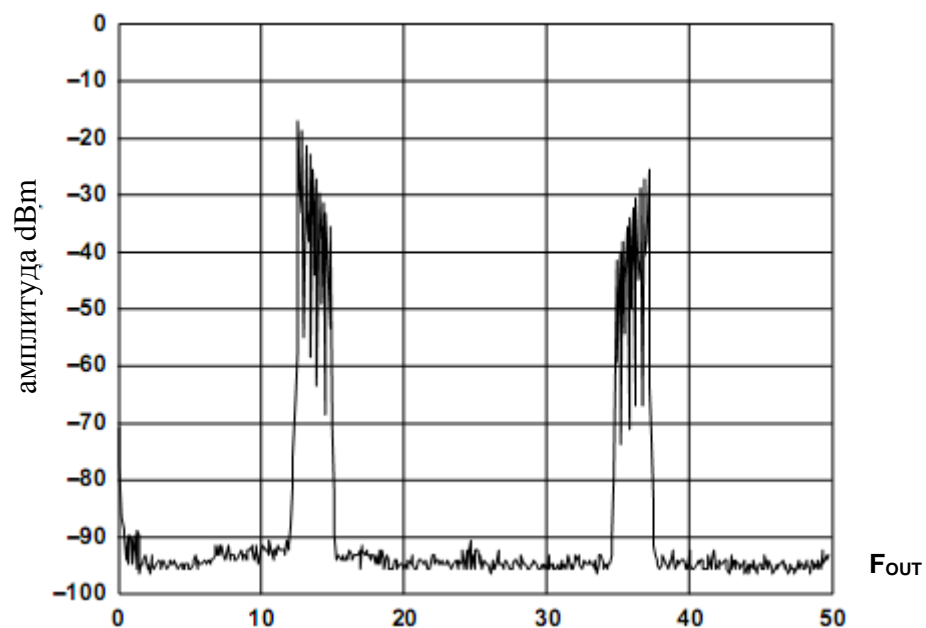


Рисунок 4.59 – 1273HA044, действительный вывод ЦАП комплексного входного сигнала в основной полосе (только отрицательные частоты), интерполяция $4\times$, комплексная модуляция в 1273HA044 $-f_{DAC}/4$

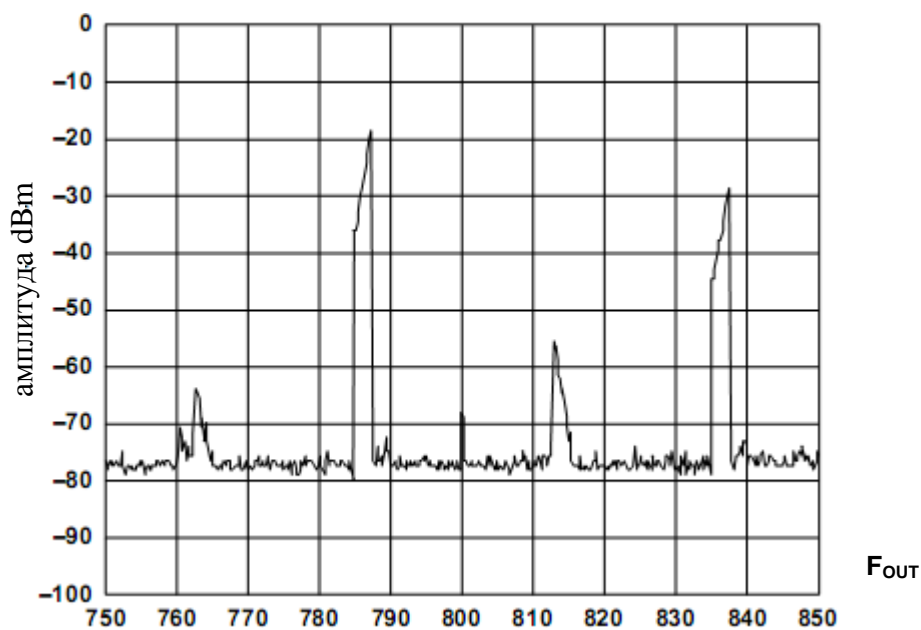


Рисунок 4.60 – Комплексный вывод 1273HA044 из рисунка 4.59, с квадратурным модулятором AD8345 (частота гетеродина 800 МГц)

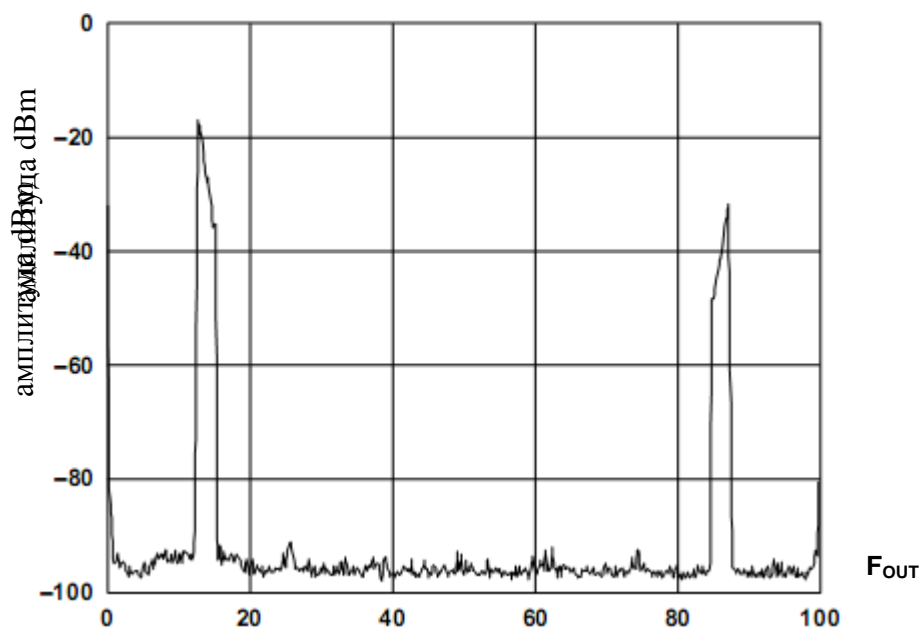


Рисунок 4.61 – ИС 1273НА044, действительный вывод ЦАП комплексного входного сигнала в основной полосе частот (только позитивные частоты), интерполяция $8\times$, модуляция в $1273НА044 + f_{DAC}/8$

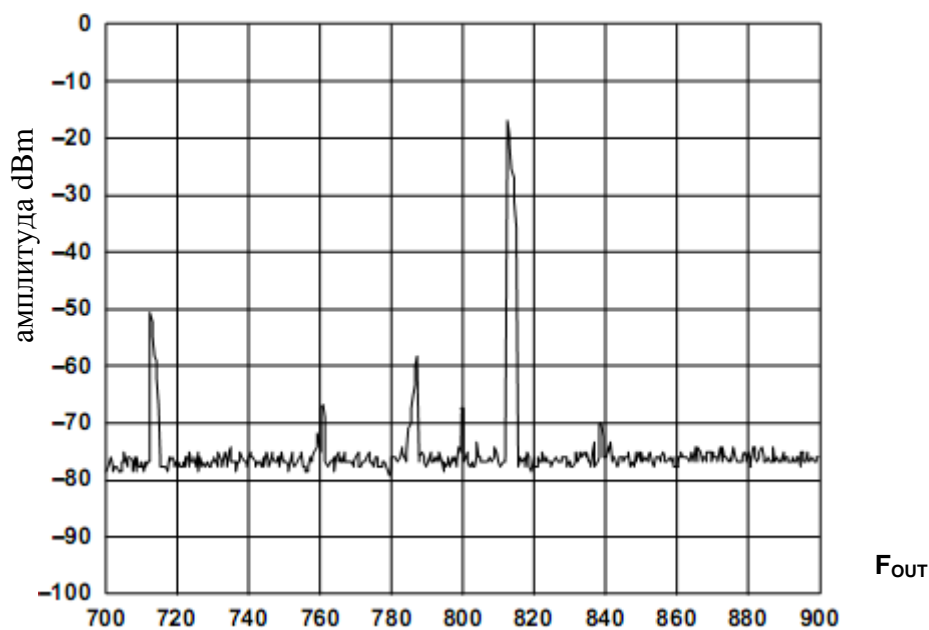


Рисунок 4.62 – Комплексный выход 1273НА044 из рисунка 4.61, с квадратурным модулятором AD8345 (частота гетеродина 800 МГц)

4.30 Управление режимом через SPI

Т а б л и ц а 4.9 (значения по умолчанию выделены)

Адрес	Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0
00h	SDIO двунаправленный 0 = Вход 1=I/O	LSB, MSB первый 0 = MSB 1 = LSB	Сброс по логической 1	Режим бездействия логическая 1 закрывает токи на входе ЦАП	Режим малой мощности логическ. 1 запрещает все цифровые и аналоговые функции	Режим 1R/2R 0= 2R , 1=1R	Индикатор PLL_LOCK	
01h	Коэффициент интерполяции (1x, 2x, 4x, 8x)	Коэффициент интерполяции (1x, 2x, 4x, 8x)	Режим модуляции и (нет , $f_{DAC}/2$, $f_{DAC}/4$, $f_{DAC}/8$)	Режим модуляции (нет , $f_{DAC}/2$, $f_{DAC}/4$, $f_{DAC}/8$)	0 = нет заполнения нулями 1 = есть заполнение нулями	1 = реальное смешивание 0 = комплексное смешивание	$0 = e^{-j\omega t}$ $1 = e^{+j\omega t}$	DATACLK/ PLL_LOCK ¹⁾ выбор 0 = PLL_LOCK 1 = DATACLK
02h	0 = дополнит. код 1 = прямой код	0 = два порта 1 = один порт	DATACLK мощность формирователя	DATACLK инверсия 0 = нет инверсии 1=инверсия		ONEPORTCLK инверсия 0 = нет инверсии 1 = инверсия	IQSEL инверсия 0 = нет инверсии 1=инверсия	I или Q First 0 = I первый 1 = Q первый
03h	Источ. clk ¹⁾ 0=dataclk 1=SDO						PLL коэфф. деления	PLL коэфф. деления
04h	0 = PLL выключен 1 = PLL включен	0 = Автомат упр. подкач. заряда , 1 = программир					PLL управление подкачкой заряда	PLL управление подкачкой заряда
05h	IDAC усиление плавно	IDAC усиление плавно	IDAC усиление плавно	IDAC усиление плавно	IDAC усиление плавно	IDAC усиление плавно	IDAC усиление плавно	IDAC усиление плавно
06h					IDAC усиление грубо	IDAC усиление грубо	IDAC усиление грубо	IDAC усиление грубо
07h	IDAC смещение Бит 9	IDAC смещение Бит 8	IDAC смещение Бит 7	IDAC смещение Бит 6	IDAC смещение Бит 5	IDAC смещение Бит 4	IDAC смещение Бит 3	IDAC смещение Бит 2
08h	IDAC 0 = I_{OFFSET} на I_{OUTA} 1 = I _{OFFSET} на I _{OUTB}						IDAC смещение Бит 1	IDAC смещение Бит 0
09h	QDAC плавная регулировка усиления	QDAC плавная регулировка усиления	QDAC плавная регулировка усиления	QDAC плавная регулировка усиления	QDAC плавная регулировка усиления	QDAC плавная регулировка усиления	QDAC плавная регулировка усиления	QDAC плавная регулировка усиления
0Ah					QDAC усиления грубо	QDAC усиления грубо	QDAC усиления грубо	QDAC усиления грубо
0Bh	QDAC смещение Бит 9	QDAC смещение Бит 8	QDAC смещение Бит 7	QDAC смещение Бит 6	QDAC смещение Бит 5	QDAC смещение Бит 4	QDAC смещение Бит 3	QDAC смещение Бит 2
0Ch	QDAC 0 = I_{OFFSET} на I_{OUTA} 1 = I _{OFFSET} на I _{OUTB}						QDAC смещение Бит 1	QDAC смещение Бит 0
0Dh					Версия регистра	Версия регистра	Версия регистра	Версия регистра

¹⁾ Для дополнительной информации смотри подраздел «Двухпортовый режим ввода данных».

4.31 Описание регистров SPI

Адрес 00h

Бит 7: логический ноль (по умолчанию), активизирует SPI_SDIO как вход во время передачи данных (фаза 2) цикла передачи. При логической единице SPI_SDIO может работать как вход или выход, в зависимости от состояния бита 7 командного байта (R/W).

Бит 6: значение логического нуля (по умолчанию: MSB первым). Определяет порядок (LSB/MSB первым) передачи разрядов в передаваемом байте. Полная информации – в разделе «MSB (старший бит)/LSB(младший бит)».

Бит 5: запись единицы в этот бит сбрасывает регистры в значения по умолчанию и перезапускает контроллер последовательного порта. Бит сброса всегда читается как ноль. Однако высокий уровень на этом выводе возвращает все регистры, включая и эти в регистре 00, в их состояние по умолчанию.

Бит 4: режим сна. Уровень логической единицы в этом бите выключает выходы ЦАП.

Бит 3: выключение питания. Логическая единица запрещает все аналоговые и цифровые функции за исключением порта SPI.

Бит 2: режим 1R/2R. Значение по умолчанию «0» переводит ИС 1273HA044 в режим 2R. В этом режиме I_{REF} токи для I и Q ЦАП устанавливаются отдельно резисторами R_{SET} на FSADJ2 и FSADJ1 (выводы 66 и 67). В режиме 2R, при установке грубой регулировки усиления на полную шкалу, а плавной регулировки усиления – на «0», $I_{FULLSCALE1} = 32 \times U_{REF} / FSADJ1$ и $I_{FULLSCALE2} = 32 \times U_{REF} / FSADJ2$. С установкой этого бита в «1» опорные токи для обоих I и Q ЦАП управляются единственным резистором на выводе 67. $I_{FULLSCALE}$ в режиме 1R для обоих I и Q ЦАП равен половине того, который был бы в режиме 2R, подразумевая что все другие условия (R_{SET} , установка регистра) остаются неизменными. В режиме 1R ток полной шкалы каждого ЦАП может быть установлен в 20 мА, при условии, что величина резистора будет равна половине значения R_{SET} , используемого в режиме 2R.

Бит 1: индикатор PLL_LOCK. Когда ФАПЧ включена, логическая единица указывает, что ФАПЧ в состоянии захвата (выходная частота

соответствует установленному коэффициенту). Логический нуль указывает, что ФАПЧ не формирует заданную частоту.

Адрес 01h

Биты 7, 6: коэффициенты интерполяции фильтра выбираются согласно таблице 4.10.

Т а б л и ц а 4 . 1 0

Бит 7, бит 6	Коэффициент
00	1×
01	2×
10	4×
11	8×

Биты 5, 4: режимы модуляции выбираются согласно таблице 4.11.

Т а б л и ц а 4.11

Бит 5, бит 4	Модуляция
00	нет
01	$f_{DAC}/2$
10	$f_{DAC}/4$
11	$f_{DAC}/8$

Бит 3: логическая единица, включает режим дополнения нулями для интерполирующих фильтров.

Бит 2: логическая единица (по умолчанию), включает режим реального смешивания. Каналы передачи данных I и Q модулируются ($f_{DAC}/2$, $f_{DAC}/4$ или $f_{DAC}/8$) после фильтров интерполяторов. Однако конфигурация для получения комплексной модуляции не создается и промодулированные данные I и Q в дальнейшем не смешиваются. В режиме комплексного смешивания (логический нуль) цифровые модуляторы каналов I и Q объединяются для создания комплексного цифрового модулятора. Когда ИС 1273НА044 применяется вместе с внешним квадратурным модулятором, то подавление зеркального канала может быть получено на частоте выше или ниже вторичной

промежуточной частоты (т.е. LO внешнего аналогового квадратурного модулятора) согласно значению бита 1 регистра 01.

Бит 1: логический ноль (по умолчанию), обуславливает комплексную модуляцию (формы $e^{-j\omega t}$) с подавлением верхней боковой полосы (при условии использования ИС 1273НА044 вместе с внешним квадратурным модулятором). Логическая единица обуславливает комплексную модуляцию (формы $e^{+j\omega t}$) с подавлением нижней боковой полосы.

Бит 0: в двухпортовом режиме значение логического нуля (по умолчанию) делает вывод 10 индикатором захвата внутренней ФАПЧ. Логическая единица делает вывод 10 работающим как выход DATACLK. Полная информация – в подразделе «Двухпортовый режим ввода данных».

Адрес 02h

Бит 7: логический 0 (значение по умолчанию), позволяет принимать входные данные в двоично-дополнительном коде. Логическая 1 позволяет принимать данные в прямом двоичном коде.

Бит 6: логический ноль (по умолчанию) переключает ИС 1273НА044 в двухпортовый режим. Данные каналов I и Q вводятся через порт 1 и порт 2, соответственно. Логическая единица переводит ИС 1273НА044 в режим одного порта, в котором чередующиеся данные каналов I и Q подаются на вход порта 1. Подробная информация по использованию DATACLK/PLL_LOCK, IQSEL и режима ONEPORTCLK содержится в подразделах 4.16 и 4.17.

Бит 5: уровень мощности DATACLK. С выключенной ФАПЧ и установкой этого бита в ноль рекомендуется буферизация DATACLK. При установке бита в значение логической единицы DATACLK работает как усиленный драйвер, способный возбуждать небольшую емкостную нагрузку.

Бит 4: по умолчанию устанавливается в значение логического нуля. Значение 1 инвертирует DATACLK на выводе 10.

Бит 2: по умолчанию устанавливается в значение логического нуля. Значение 1 инвертирует ONEPORTCLK на выводе 35.

Бит 1: логический ноль (по умолчанию), включает IQSEL = 0, для направления входных данных в канал I, IQSEL = 1 направляет входные данные в канал Q.

Бит 0: значение логического нуля (по умолчанию), определяет порядок спаривания каналов как IQ, IQ,..., установка логической единицы определяет спаривание как QI, QI,....

Адрес 03h

Бит 7: направляет сигнал синхронизации данных (поделенный сигнал синхронизации ЦАП) либо на вывод DATACLK/PLL_LOCK (вывод 10), либо на SPI_SDO (вывод 58). Логический ноль (по умолчанию) включает сигнал синхронизации данных на выводе DATACLK/PLL_LOCK, логическая единица включает сигнал синхронизации данных на выводе SPI_SDO. Для получения дополнительной информации смотри подраздел «Двухпортовый режим ввода данных».

Биты 1, 0: установка коэффициента делителя в более высокое значение позволяет ГУН в ФАПЧ работать на высокой частоте (для лучшей работы), в то время как синхроимпульсы входа и выхода ЦАП работают существенно медленнее. Коэффициент деления выбирается согласно таблице 4.12.

Т а б л и ц а 4.12

Бит 1, бит 0	Коэффициент деления
00	1
01	2
10	4
11	8

Адрес 04h

Бит 7: значение логического нуля (по умолчанию), выключает внутренний ФАПЧ. Значение логической единицы включает ФАПЧ.

Бит 6: значение логического нуля (по умолчанию), устанавливает управление генератором подкачки заряда в автоматический режим. В этом режиме токи смещения генератора управляются отношением делителя, определенным в 03 адресе, битами 1 и 0. Логическая единица позволяет пользователю вручную определять ток смещения генератора подкачки заряда, используя 04 адрес, биты 2, 1 и 0. Корректировка тока смещения

для генератора подкачки заряда позволяет пользователю оптимизировать характеристики шум/время установления для ФАПЧ.

Биты 2, 1, 0: эти биты определяют токи смещения для генератора подкачки заряда согласно таблице 4.13.

Т а б л и ц а 4.13

Биты 2, 1, 0	Ток (мкА)
000	50
001	100
010	200
011	400
111	800

Адрес 05h, 09h

Биты 7 – 0: данные биты представляют 8-битовое двоичное число (MSB = бит 7), которое определяет плавную регулировку усиления для канала I (05h) и канала Q (09h) ЦАП согласно уравнению (1).

Адрес 06h, 0Ah

Биты 3 – 0: данные биты представляют 4-битовое двоичное число (бит 3 = MSB), которое определяет грубую регулировку усиления для канала I (06h) и канала Q (0Ah) ЦАП согласно уравнению (1).

Адрес 07h, 0Bh

Биты 7 – 0: эти биты используются вместе с адресом 08h, 0Ch, битами 1, 0.

Адрес 08h, 0Ch

Биты 1, 0: 10 битов от этих двух пар адресов (07h, 08h и 0Bh, 0Ch) представляют 10-битовое двоичное число, которое определяет корректировку смещения в каналах I и Q ЦАП согласно уравнению (1) (07h, 0Bh бит 7 = MSB/08h, 0Ch бит 0 = LSB).

Адрес 08h, 0Ch

Бит 7: этот бит определяет направление смещения в канале I (08h) и в канале Q (0Ch) ЦАП. Уровень логического нуля прикладывает положительное смещение к току I_{OUTA} , в то время как уровень логической единицы прикладывает положительное смещение к току I_{OUTB} . Величина тока смещения определяется битами в адресах 07h, 08h, 0Bh, 0Ch, согласно

уравнению (1). В уравнении (1) токи I_{OUTA} и I_{OUTB} показаны как функции плавной и грубой регулировки и корректировки смещения для режима 2R. В режиме 1R ток I_{REF} создан единственным резистором FSADJ (вывод 66). Этот ток делится поровну между каналами, так что коэффициент $\frac{1}{2}$ должен быть добавлен в это уравнение для шкалы и смещения для обоих каналов.

5 Указания по применению и эксплуатации

Микросхема должна использоваться в соответствии с указаниями по применению и эксплуатации микросхем согласно ОСТ В 11 0998-99, АДКБ.431320.152ТУ с дополнениями и уточнениями, приведенными в настоящем разделе.

5.1 Источник опорного напряжения

Микросхема 1273HA044 имеет встроенный опорный источник напряжением 1,2 В, который может быть заменен внешним источником. Внешний источник может использоваться для принудительного задания уровня внутреннего источника простой подачей выхода внешнего источника на вывод REFIO. Если используется внутренний источник опорного напряжения, то к выходу REFIO обязательно должен быть подключен внешний керамический конденсатор емкостью 0,1 мкФ. Если требуется использовать внутреннее опорное напряжение микросхемы для внешних микросхем, то к выходу REFIO необходимо подключить буфер, имеющий входной ток меньше, чем 100 нА.

Внешний источник опорного напряжения может обеспечить большую точность, а изменением его напряжения можно регулировать токполной шкалы ЦАП.

5.2 Различные виды подключения выходных цепей

В этом подразделе приводятся некоторые типовые выходные конфигурации устройства 1273HA044. Если нет других примечаний, то предполагается, что ток I_{OUTFS} равен 20 мА. Для приложений, требующих оптимальной динамической характеристики, настоятельно рекомендуется дифференциальная конфигурация выхода.

Простой дифференциальный выход может быть достигнут преобразованием токов I_{OUTA} и I_{OUTB} в выходные напряжения замыканием их на $\cap GND$ через одинаковые резисторы. Этот тип конфигурации может

быть полезным для управления дифференциальным входом по напряжению такого устройства, как модулятор. Если желательно преобразование в однопроводный сигнал и приложение допускает связь по переменному току, то может быть полезен радиочастотный трансформатор; если требуется усиление по мощности, то может использоваться операционный усилитель. Конфигурация с трансформатором обеспечивает оптимальную высокочастотную характеристику по шуму и гармоническим искажениям. Конфигурация с дифференциальным операционным усилителем подходит для приложений, требующих соединения по постоянному току, усиления сигнала и/или смещения уровня в полосе пропускания выбранного операционного усилителя.

Однопроводный выход является подходящим для приложений, требующих униполярного выходного напряжения. Положительное униполярное выходное напряжение будет если ток IOUTA и/или ток IOUTB соединен с резистором нагрузки RLOAD относительно \perp GND. Эта конфигурация является самой подходящей для систем с однополярным питанием, требующих соединения по постоянному току и привязки выходного напряжения к земле. Альтернативно усилитель можно конфигурировать как преобразователь ток-напряжение (I-U преобразователь), таким образом преобразовывая токи IOUTA и IOUTB в отрицательное униполярное напряжение. Данная конфигурация обеспечивает лучшую линейность систем цифрового управления, так как IOUTA или IOUTB подсоединены к земле или виртуальной земле.

5.2.1 Небуферизованный дифференциальный выход

Особенно он полезен при проектировании выхода фильтров или возбуждения входов с низкими входными импедансами. На рисунке 5.1 иллюстрируется выход ИС 1273HA044 и эквивалентная схема. Данная информация будет полезной при проектировании интерфейса между 1273HA044 и устройством аналоговой квадратурной модуляции типа AD8345.

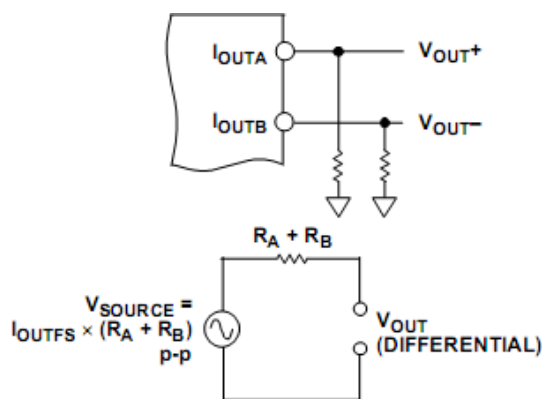


Рисунок 5.1 – Небуферизованный выход

Для типичной ситуации, где $I_{OUTF} = 20$ мА и $R_A = R_B = 50$ Ом, значения эквивалентной схемы следующие:

$$U_{SOURCE} = 2 \text{ В}, R_{OUT} = 100 \text{ Ом}.$$

Следует отметить, что выходное сопротивление самого ЦАП больше, чем 100 кОм и почти не влияет на полное сопротивление эквивалентной выходной цепи.

5.2.2 Дифференциальное подключение, использующее трансформатор

Радиочастотный трансформатор может использоваться для преобразования дифференциального сигнала в однопроводной, как показано на рисунке 5.2. Трансформатор, подключенный к дифференциальному выходу, обеспечивает оптимальную характеристику искажений для выходных сигналов, спектр которых находится в полосе пропускания трансформатора. Высокочастотный трансформатор обеспечивает превосходное подавление искажений общего вида (т.е. четных гармоник) и подавление шумов за пределами диапазона частот (самого трансформатора). Он также обеспечивает электрическую развязку и возможность избавиться от двойного питания нагрузки. Трансформаторы с различными отношениями импедансов могут также быть использованы для обеспечения импедансного согласования.

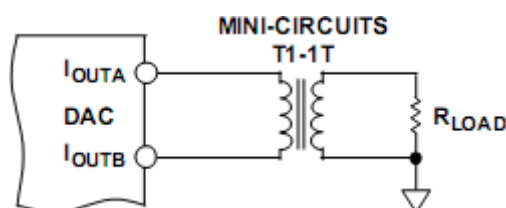


Рисунок 5.2 – Схема с трансформаторным выходом

Центральный вывод на первичной обмотке трансформатора должен быть подсоединён к \cap GND для обеспечения связи по постоянному току обоих выходов I_{OUTA} и I_{OUTB} . Комплементарные напряжения, возникающие на выводах I_{OUTA} и I_{OUTB} (т.е. U_{OUTA} и U_{OUTB}) симметричным размахом относительно \cap GND, должны поддерживаться в определённом диапазоне, соответствующем устройству 1273HA044. Дифференциальный резистор R_{DIFF} может быть вставлен в режиме, в котором выход трансформатора подключён к нагрузке R_{LOAD} через пассивный восстанавливающий фильтр или кабель. Сопротивление R_{DIFF} определяется отношением импеданса трансформатора и обеспечивает корректное подключение схемы с низким значением КСВН (коэффициент стоячей волны по напряжению). Заметим, что примерно половина мощности сигнала будет рассеиваться на R_{DIFF} .

5.2.3 Дифференциальное подключение, использующее операционный усилитель

Операционный усилитель может также быть использован для преобразования дифференциального сигнала в однопроводной, как показано на рисунке 5.3. Устройство 1273HA044 сконфигурировано с двумя одинаковыми нагрузочными резисторами R_{LOAD} номиналом 25 Ом. Дифференциальное напряжение, образованное посредством токов I_{OUTA} и I_{OUTB} , преобразуется в однопроводное через конфигурацию дифференциального операционного усилителя. Между I_{OUTA} и I_{OUTB} может быть установлен дополнительный конденсатор, формирующий действительный полюс низкочастотного фильтра. Этот дополнительный конденсатор также улучшает характеристику искажений операционного усилителя, предотвращая перегрузку входа усилителя от быстрых изменений выхода ЦАП.

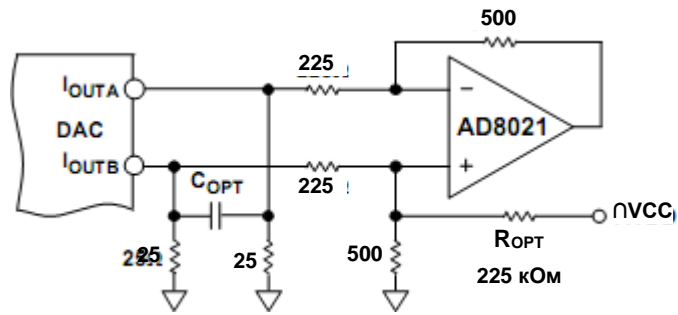


Рисунок 5.3 – Дифференциальное подключение, использующее операционный усилитель

Подавление синфазного сигнала (и искажения второго порядка) в данной конфигурации обычно определяется соответствием (степенью идентичности) резисторов. Используемый операционный усилитель должен работать от симметричного питания, так как его выход – приблизительно $\pm 1,0$ В. Рекомендуется высокоскоростной усилитель, такой как AD8021, способный к сохранению дифференциальной характеристики ИС 1273НА044. Дифференциальное усиление операционного усилителя, усиление, установленное значением резистора, и полный размах на выходе, – все необходимо учитывать при оптимизации схемы. R_{OPT} необходим только для сдвига уровня на выходе операционного усилителя.

На рисунке 5.3 вывод V_{CC1} является положительным аналоговым питанием для ИС 1273НА044 и для операционного усилителя, а также он использован для сдвига уровня дифференциального входа усилителя к половине питания (т.е. $V_{CC1}/2$).

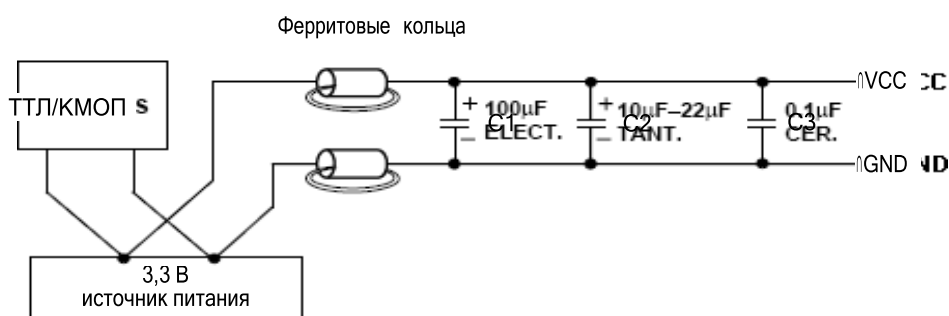
5.2.4 Рекомендации по обеспечению питания, заземления и экранирования

В системах, работающих на больших частотах с высокой производительностью, очень важную роль играет разводка платы. Необходимо правильно выбирать высокочастотные компоненты, размещение их на плате, оптимально производить разводку сигнальных шин, заземления и питания.

Правильное заземление и развязка должны быть главными задачами в высокоскоростных системах с высоким разрешением. В системе для оптимизации управления, развязки аналогового и цифрового токов выводы аналоговой и цифровой земли и питания должны быть разделены.

В основном развязка необходима между парами выводов $\uparrow VCC$ и $\uparrow GND$, $\#VCC$ и $\#GND$, $CLKVCC$ и $CLKGND$ непосредственно у выводов микросхемы, насколько это возможно.

Можно рекомендовать цепь аналогового питания, представленную на рисунке 5.4. Цепь состоит из дифференциального LC-фильтра с разделенными питающими напряжениями. Снижение шума может быть достигнуто применением электролитических, танталовых и керамических конденсаторов.



Конденсаторы: C1 = 100 мкФ – электролитический;
C2 = (10–22) мкФ – танталовый;
C3 = 0,1 мкФ – керамический

Рисунок 5.4 – Дифференциальный LC-фильтр для устройств с напряжением питания 3,3 В

Достижение минимальных шумов по питанию необходимо для получения оптимальных характеристик ЦАП. Правильным размещением считается разделение цифровой и аналоговой части устройства полосой аналоговой земли.

Все контакты аналоговой части микросхемы, все аналоговые компоненты на плате должны подсоединяться непосредственно к плоскости аналоговой земли. Разводка платы должна быть сделана таким образом, чтобы шины земли не прерывали критические цепи прохождения сигнала. На цифровой части платы это относится к тактовым сигналам и цифровому входу. На аналоговой части платы это относится к сигналу опорного напряжения, токовым выходам и к цепи питания.

Рекомендуется использование широких дорожек и шин в разводке цепей питания. Это играет двойную роль: первое – понижает сопротивление цепей питания, второе – увеличивает емкость между

шинами питания. Очень важна правильная разводка, так как микросхема чувствительна к внешним наводкам и скачкам напряжения. Рекомендуется настолько возможно делать все соединения короткими и физически близко расположенными к микросхеме.

6 Заключение

В настоящем Руководстве пользователя рассмотрены архитектура, функциональное построение и особенности применения микросхемы 1273НА044, которая представляет собой 16-разрядный цифро-аналоговый преобразователь.

Данное Руководство пользователя может служить практическим руководством по применению ЦАП для разработки систем на основе микросхем 1273НА044.

Применение микросхем 1273НА044 в системах цифровой обработки сигналов, встроенных системах управления, связи, в системах автоматизации технологических процессов, вычислительной технике, позволит создавать более совершенные в техническом отношении и надежные в эксплуатации изделия.

Приложение А (обязательное)

Термины, определения и буквенные обозначения параметров,
неустановленные действующими стандартами

Т а б л и ц а А.1

Наименование параметра	Буквенное обозначение параметра	Определение параметра
1	2	3
Общие гармонические искажения	THD	<p>Отношение среднеквадратичного значения суммы амплитуд гармоник, исключая первую, к среднеквадратичному значению амплитуды основной составляющей выходного сигнала, выраженное в децибелах. Определяется по формуле</p> $\text{THD} = 10 \lg((V_2^2 + V_3^2 + \dots + V_i^2) / V_1^2), \quad (\text{A.1})$ <p>где $(V_2^2 + V_3^2 + \dots + V_i^2)$ – среднеквадратичное значение суммы амплитуд гармоник от второй до i-той; V_1^2 – среднеквадратичное значение амплитуды основной составляющей</p>
Динамический диапазон, свободный от паразитных составляющих	SFDR	<p>Отношение амплитуды основной составляющей восстановленного сигнала к максимальному значению паразитной спектральной составляющей (включая гармоники), выраженное в децибелах.</p> <p>Определяется по формуле</p> $\text{SFDR} = 10 \lg(V_1 / (V_{\max})) \quad (\text{A.2})$ <p>где V_1 – амплитуда основной составляющей, V_{\max} – максимальное значение паразитной спектральной составляющей (включая гармоники)</p>
Отношение сигнал/шум	SNR	<p>Отношение среднеквадратичного значения амплитуды основной составляющей восстановленного сигнала к среднеквадратичному значению суммы всех спектральных составляющих, исключая гармоники, выраженное в децибелах.</p> <p>Определяется по формуле</p> $\text{SNR} = 10 \lg(V_1^2 / (V_2^2 + V_3^2 + \dots + V_i^2)), \quad (\text{A.3})$ <p>где V_1^2 – среднеквадратичное значение амплитуды основной составляющей; $(V_2^2 + V_3^2 + \dots + V_i^2)$ – среднеквадратичное значение суммы всех спектральных составляющих, исключая гармоники</p>

Окончание таблицы А.1

1	2	3
Выходной ток полной шкалы по аналоговым выходам	I_{OUTFS}	Ток, определяемый максимальным значением входного кода
Диапазон выходных напряжений	ΔU_{OCR}	Диапазон напряжений, при котором обеспечивается работоспособность ЦАП
Максимальная частота обновления выходных данных	f_{DAC}	Максимальная частота, при которой обеспечивается работоспособность ЦАП
Максимальная частота обновления входных данных	f_D	Максимальная частота обновления входных данных
Частота обновления входных данных	f_{IN}	Частота обновления входных данных
Выходная частота ЦАП	f_{OUT}	Частота аналогового сигнала, формируемого ЦАП

