

МИКРОСХЕМА ИНТЕГРАЛЬНАЯ
1273НА054
Руководство пользователя

Содержание

1 Введение	3
2 Назначение	4
2.1 Основные характеристики микросхемы	4
2.2 Конструктивные характеристики микросхемы	5
2.3 Электрические характеристики микросхемы	8
3 Структурная схема и описание работы микросхемы	12
3.1 Тактовые сигналы микросхемы	13
3.2 Сброс и режим пониженного потребления	15
3.3 Последовательный порт управления	15
3.4 Напряжение питания и опорное напряжение	17
3.5 Последовательный порт данных – формат данных	18
3.6 Режим TDM (режим временного мультиплексирования)	20
3.7 Режим последовательного подключения	22
3.8 Конфигурация выводов	29
4 Регистры управления	30
4.1 Регистры управления ФАПЧ и тактовым сигналом	31
4.2 Регистры управления ЦАП	32
4.3 Регистры управления вспомогательным портом TDM	35
5 Дополнительные режимы	37
6 Применяемые схемы	39

1 Введение

Развитие цифровой техники и цифровых методов обработки сигналов определило современные тенденции в разработке самых разнообразных систем, устройств и приборов. Значительную роль в этих тенденциях занимает аналого-цифровое и цифро-аналоговое преобразование.

Цифро-аналоговый преобразователь (ЦАП) – это устройство для перевода цифровых данных в аналоговый сигнал.

Микросхемы ЦАП нашли широкое применение в усилителях звука, аудиокодеках, системах обработки видео, системах распознавания данных, системах калибровки датчиков, измерительных устройствах, системах управления двигателями, системах распределения данных, цифровых потенциометрах, системах цифровой связи и т.д.

Настоящее техническое описание содержит описание принципа работы и технические характеристики интегральной микросхемы 1273НА054 и другие сведения, необходимые для обеспечения полного использования технических возможностей микросхемы ЦАП.

2 Назначение

Высокопроизводительная однокристалльная интегральная микросхема 1273HA054 содержит восемь сигма-дельта (Σ - Δ) цифро-аналоговых преобразователей с дифференциальными выходами. Микросхема имеет в своем составе конфигурационный SPI порт.

8-канальный ЦАП широко применяется в автомобильных аудиосистемах, домашних кинотеатрах, телеприставках, а также в процессорах цифровых звуковых эффектов.

2.1 Основные характеристики микросхемы

Микросхема 1273HA054 разработана для обеспечения низкого уровня электромагнитных помех. Использование встроенного устройства ФАПЧ для получения основной тактовой частоты из принимаемой частоты сигнала кадровой синхронизации LR или ее формирования с помощью внешнего низкочастотного кристалла исключает необходимость во внешнем источнике высокой частоты. Микросхема также может быть использована и с подавленной частотой передачи данных.

Характеристики ЦАП:

- источником основного тактового сигнала может быть выход ФАПЧ или внешнее устройство;
- специализированный дизайн для снижения электромагнитного излучения;
- динамический диапазон ЦАП 90 дБ;
- суммарный коэффициент нелинейных искажений плюс шум 96 дБ;
- однополярное напряжение питания 3,3 В;
- допустимое напряжение 5 В на логических входах;
- поддержка 24-разрядных данных на частоте дискретизации от 8 до 192 кГц;
- дифференциальный выход;

- логарифмическая регулировка громкости с функцией плавного повышения сигнала до заданного значения;
- управление через SPI порт для большей гибкости;
- программное выключение звука с отсутствием щелчков;
- программное включение режима пониженного энергопотребления;
- режимы с выравниванием данных по левому и правому краю (режим I²S, режим TDM);
- режимы ведущего и ведомого с расширением до 16-канального ввода-вывода;
- диапазон температур окружающей среды от минус 60 до плюс 85 °С.

2.2 Конструктивные характеристики микросхемы

Микросхема выполнена в металлокерамическом 64-выводном корпусе МК 4203.64-1.

Масса микросхемы – не более 2,5 г.

Условное графическое обозначение микросхемы приведено на рисунке 2.1.

Функциональное назначение выводов приведено в таблице 2.1.

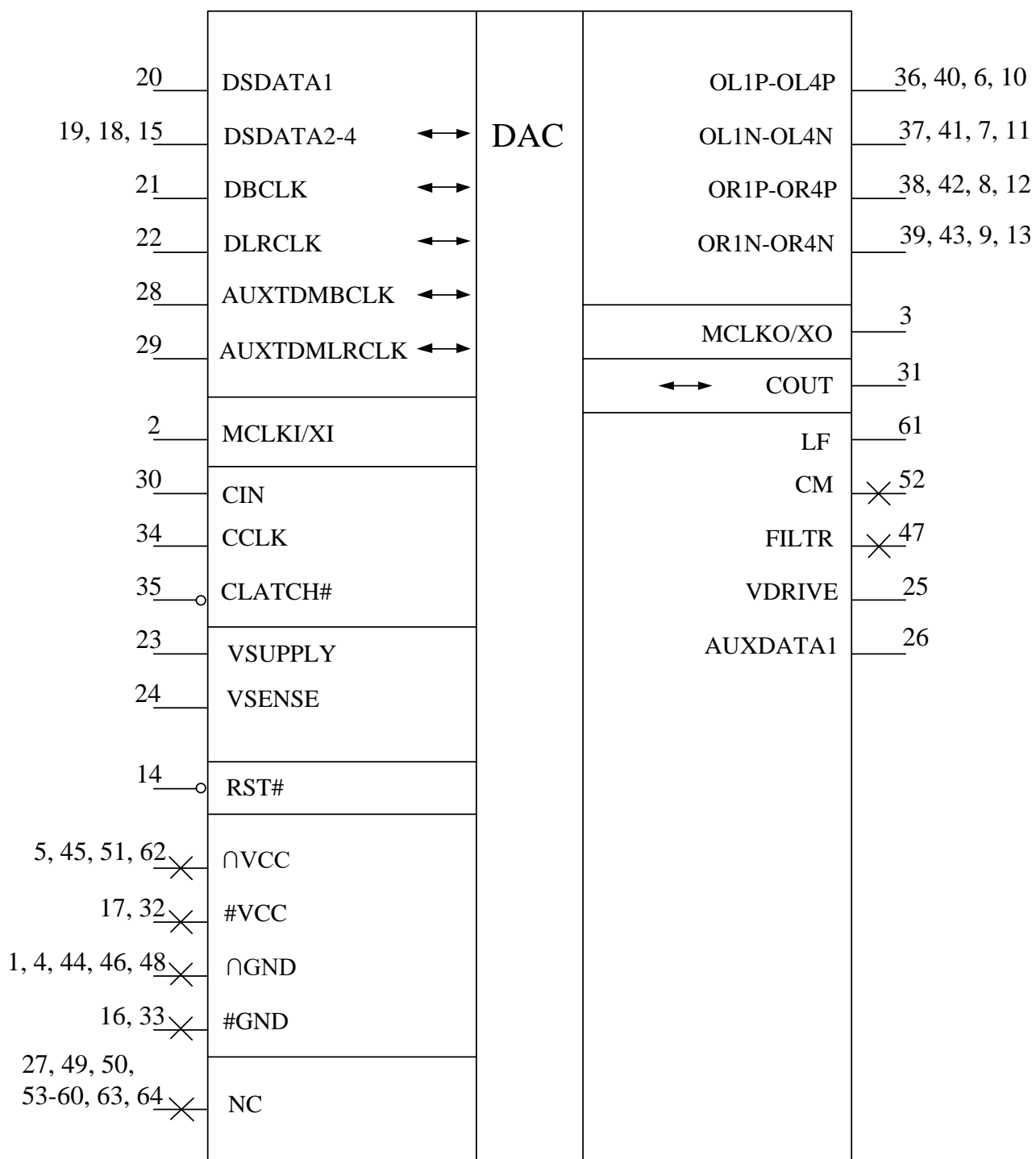


Рисунок 2.1 – Условное графическое обозначение микросхемы 1273HA054

Т а б л и ц а 2.1 – Функциональное назначение выводов микросхемы 1273НА054

Номер вывода	Обозначение вывода	Тип вывода	Функциональное назначение вывода
1	2	3	4
2	MCLKI/XI	I	Вход основного тактового сигнала/Вход тактового генератора
3	MCLKO/XO	O	Выход основного тактового сигнала/Выход тактового генератора
36, 40, 6, 10	OL1P-OL4P	O	Левый положительный выход ЦАП 1-4
37, 41, 7, 11	OL1N-OL4N	O	Левый отрицательный выход ЦАП 1-4
38, 42, 8, 12	OR1P-OR4P	O	Правый положительный выход ЦАП 1-4
39, 43, 9, 13	OR1N-OR4N	O	Правый отрицательный выход ЦАП 1-4
14	RST#	I	Сброс
15	DSDATA4	I/O	Вход/выход 4 последовательного ввода данных
18	DSDATA3	I/O	Вход/выход 3 последовательного ввода данных
19	DSDATA2	I/O	Вход/выход 2 последовательного ввода данных
20	DSDATA1	I	Вход 1 последовательного ввода данных
21	DBCLK	I/O	Битовый тактовый сигнал данных для всех ЦАП
22	DLRCLK	I/O	Вывод сигнала кадровой синхронизации ЦАП
23	VSUPPLY	I	Вход 5 В стабилизатора
24	VSENSE	I	Вывод подключения к выходу 3 В стабилизатора
25	VDRIVE	O	Вывод управления базой проходного транзистора
26	AUXDATA1	O	Вывод данных AUX ЦАП1 (к внешнему ЦАП1)
28	AUXTDMBCLK	I/O	Дополнительный вход/выход для битового тактового сигнала, только для DAC TDM
29	AUXTDMLRCLK	I/O	Дополнительный вход/выход для сигнала кадровой синхронизации, только для DAC TDM
30	CIN	I	Вход управляющих данных (SPI)
31	COOUT	I/O	Вход/выход управляющих данных (SPI)
34	CCLK	I	Вход управляющего тактового сигнала (SPI)
35	CLATCH#	I	Захват входных управляющих данных (SPI)
47	FILTR	-	Вывод для подключения внешней фильтрующей емкости для внутреннего источника опорного напряжения

Окончание таблицы 2.1

1	2	3	4
52	CM	-	Вывод для подключения внешней фильтрующей емкости для опорного источника напряжения
61	LF	О	Петлевой фильтр ФАПЧ, который подключается к $\cap VCC$
5, 45, 51, 62	$\cap VCC$	-	Вывод питания аналоговой части
1, 4, 44, 46, 48	$\cap GND$	-	Аналоговая земля
17, 32	#VCC	-	Вывод питания цифровой части
16, 33	#GND	-	Цифровая земля
53-60	NC	-	Должны быть подключены к выводу 52 или должны иметь связь с землей по переменному току
27, 49, 50, 63, 64	NC	-	Не используется
Примечание – В графе «Тип вывода»: I – вход, O – выход.			

2.3 Электрические характеристики микросхемы

Электрические характеристики микросхем 1273HA054 при приемке и поставке приведены в таблице 2.2.

Значения предельно допустимых электрических режимов эксплуатации в диапазоне рабочих температур приведены в таблице 2.3.

Термины, определения, сокращения и буквенные обозначения параметров – по ОСТ В 11 0998-99, ГОСТ Р 57435-2017 и ГОСТ Р 57441-2017.

Термины, определения и буквенные обозначения параметров, не установленные действующими стандартами, представлены в приложении А.

Т а б л и ц а 2.2 – Значения электрических параметров микросхемы 1273HA054 при приемке и поставке

Наименование параметра, единица измерения, режим измерения	Буквенное обозначе- ние пара- метра	Норма параметра		Темпе- ратура среды, °С
		не менее	не более	
1	2	3	4	5
1 Выходное напряжение низкого уровня по выводам DSDATA2, DSDATA3, DSDATA4, DBCLK, DLRCLK, MCLKO/XO, COUT, AUXDATA1, AUXTDMBCLK, AUXTDMLRCLK, В, $U_{CC1} = U_{CC2} = 3,0 \text{ В}, I_{OL} = 1 \text{ мА}$	U_{OL}	–	0,4	–60 ± 3 25 ± 10 85 ± 3
2 Выходное напряжение высокого уровня по выводам DSDATA2, DSDATA3, DSDATA4, DBCLK, DLRCLK, MCLKO/XO, COUT, AUXDATA1, AUXTDMBCLK, AUXTDMLRCLK, В, $U_{CC1} = U_{CC2} = 3,0 \text{ В}, I_{OH} = -1 \text{ мА}$	U_{OH}	$U_{CC2} - 0,6$	–	
3 Размах дифференциального выходного напряжения по выводам OL1P – OL1N, OR1P – OR1N, OL2P – OL2N, OR2P – OR2N, OL3P – OL3N, OR3P – OR3N, OL4P – OL4N, OR4P – OR4N, В, $U_{CC1} = U_{CC2} = 3,3 \text{ В}$	U_{pp}	4,5	5,5	
4 Входной ток низкого уровня по выводам DSDATA1, DSDATA2, DSDATA3, DSDATA4, DBCLK, DLRCLK, AUXTDMBCLK, AUXTDMLRCLK, MCLKI/XI, CIN, CCLK, CLATCH#, RST#, мкА, $U_{CC1} = U_{CC2} = 3,6 \text{ В}, U_{IL} = 0 \text{ В}$	I_{IL}	–10	–	
5 Входной ток высокого уровня по выводам DSDATA1, DSDATA2, DSDATA3, DSDATA4, DBCLK, DLRCLK, AUXTDMBCLK, AUXTDMLRCLK, MCLKI/XI, CIN, CCLK, CLATCH#, RST#, мкА, $U_{CC1} = U_{CC2} = 3,6 \text{ В}, U_{IH} = U_{CC2}$	I_{IH}	–	10	
6 Динамический ток потребления от источника U_{CC1} , мА, $U_{CC1} = 3,6 \text{ В}, f_{CL_MCLK1} = 12,288 \text{ МГц}, f_s = 48 \text{ кГц}$	I_{OCC1}	–	100	

Окончание таблицы 2.2

1	2	3	4	5
7 Динамический ток потребления от источника U_{CC2} , мА, $U_{CC1} = 3,6$ В, $f_{CL_MCLK1} = 12,288$ МГц, $f_s = 48$ кГц	I_{OCC2}	–	200	–60 ± 3 25 ± 10 85 ± 3
8 Погрешность усиления характеристики, % от полной шкалы, $U_{CC1} = U_{CC2} = 3,3$ В	E_G	–10	10	
9 Погрешность смещения характеристики, мВ, $U_{CC1} = U_{CC2} = 3,3$ В	E_O	–25	25	
10 Динамический диапазон, дБ, $U_{CC1} = U_{CC2} = 3,3$ В, $\Delta f = (20$ Гц – 20 кГц), $f_s = 48$ кГц, уровень входного сигнала минус 60 dBFS	DNR	90	–	
11 Общие гармонические искажения плюс шум, дБ, $U_{CC1} = U_{CC2} = 3,3$ В, $\Delta f = (20$ Гц – 20 кГц), $f_s = 48$ кГц, уровень входного сигнала 0 dBFS	THD+N	–	–70	
12 Функциональный контроль, $U_{CC1} = U_{CC2} = (3,0; 3,6)$ В, $f_{CL_MCLK1} = (6,9; 13,8)$ МГц, $f_{CL_MCLK2} = 27,6$ МГц, $f_{CL_CCLK} = 10$ МГц, $f_s = (8; 48; 192)$ кГц	ФК	–	–	
<p>Примечания</p> <p>1 Нормы на электрические параметры приведены при условии: входное слово 24 бита.</p> <p>2 При измерении динамических токов потребления $f_{CL_MCLK1} = f_s \times 256 = 48 \times 256 = 12288$ кГц = 12,288 МГц (в режиме PLL mode).</p> <p>3 Измерения динамического диапазона проводятся без фильтра (RMS).</p> <p>4 Измерения общих гармонических искажений плюс шум проводятся при восьми работающих каналах.</p> <p>5 При функциональном контроле $f_{CL_MCLK1} = f_s \times 256$ (в режиме PLL mode), $f_{CL_MCLK2} = f_s \times 512$ (в режиме Direct).</p>				

Таблица 2.3 – Предельно допустимые и предельные режимы эксплуатации микросхемы 1273HA054

Наименование параметра режима, единица измерения	Буквенное обозначе- ние пара- метра	Предельно допустимый режим		Предельный режим	
		не менее	не более	не менее	не более
1 Напряжение питания по выводам \cap VCC, В	U_{CC1}	3,0	3,6	-0,3	3,6
2 Напряжение питания по выводам #VCC, В	U_{CC2}	3,0	3,6	-0,3	3,6
3 Входное напряжение по выводу VSUPPLY, В	U_I	4,5	5,5	-0,3	6,0
4 Входное напряжение низкого уровня по цифровым входам DSDATA1, DSDATA2, DSDATA3, DSDATA4, DBCLK, DLRCLK, AUX-TDMBCLK, AUXTDMLRCLK, MCLKI/XI, CIN, CCLK, CLATCH#, RST#, В	U_{IL}	0	0,8	-0,3	-
5 Входное напряжение высокого уровня по цифровым входам DSDATA1, DSDATA2, DSDATA3, DSDATA4, DBCLK, DLRCLK, AUX-TDMBCLK, AUXTDMLRCLK, MCLKI/XI, CIN, CCLK, CLATCH#, RST#, В	U_{IH}	2,0	U_{CC2}	-	$U_{CC2} + 0,3$
6 Выходной ток низкого уровня по выводам DSDATA2, DSDATA3, DSDATA4, DBCLK, DLRCLK, MCLKO/XO, COUT, AUXDATA1, AUX-TDMBCLK, AUXTDMLRCLK, мА	I_{OL}	-	1	-	-
7 Выходной ток высокого уровня по выводам DSDATA2, DSDATA3, DSDATA4, DBCLK, DLRCLK, MCLKO/XO, COUT, AUXDATA1, AUX-TDMBCLK, AUXTDMLRCLK, мА	I_{OH}	-1	-	-	-
8 Частота следования импульсов тактовых сигналов MCLK в режиме PLL mode ($256 \times f_s$), МГц	f_{CI_MCLK1}	6,9	13,8	-	-
9 Частота следования импульсов тактовых сигналов MCLK в режиме Direct ($512 \times f_s$), МГц	f_{CI_MCLK2}	-	27,6	-	-
10 Частота следования импульсов тактовых сигналов CCLK, МГц	f_{CI_CCLK}	-	10	-	-
11 Частота дискретизации, кГц	f_s	8	192	-	-
Примечание – Время работы в одном из предельных режимов должно быть не более 5 с.					

3 Структурная схема и описание работы микросхемы

Каналы микросхемы 1273HA054 расположены как четыре стереопары, дающие 8 аналоговых выходов для минимального количества внешних компонентов. ЦАП включает в себя встроенные цифровые восстанавливающие фильтры с затуханием в полосе подавления 70 дБ и линейной фазо-частотной характеристики (ФЧХ), работающими при коэффициенте избыточной дискретизации четыре раза (при 48 кГц или 96 кГц) или два раза (при 192 кГц). Каждый канал имеет собственный независимый программируемый аттенюатор с регулировкой в 255 шагов (с шагом 0,375 дБ). Цифровые данные подаются через четыре последовательных входа – по одному для каждой стереопары, и имеют общий тактовый сигнал кадровой синхронизации (DLRCLK) и битовый тактовый сигнал (DBCLK). В качестве альтернативы, один из режимов TDM может использоваться для доступа к шестнадцати каналам по одной линии данных TDM.

На каждом выходе присутствует постоянная составляющая 1,5 В, относительно которой изменяется сигнал $\pm 1,27$ В при уровне 0 дБ полной шкалы входного цифрового кода. Для устранения высокочастотного шума на выходных выводах рекомендуется использовать внешний фильтр нижних частот третьего порядка. Использование операционного усилителя с низкой скоростью нарастания выходного напряжения или узкой полосой пропускания может стать причиной возникновения высокочастотных шумов и гармоник, проникающих в звуковой диапазон, поэтому необходимо тщательно подходить к выбору этих компонентов.

Напряжение на выводе CM (вывод для опорного напряжения при работе в общем режиме) может использоваться для смещения внешних операционных усилителей, которые буферизуют выходные сигналы.

Структурная схема микросхемы приведена на рисунке 3.1.

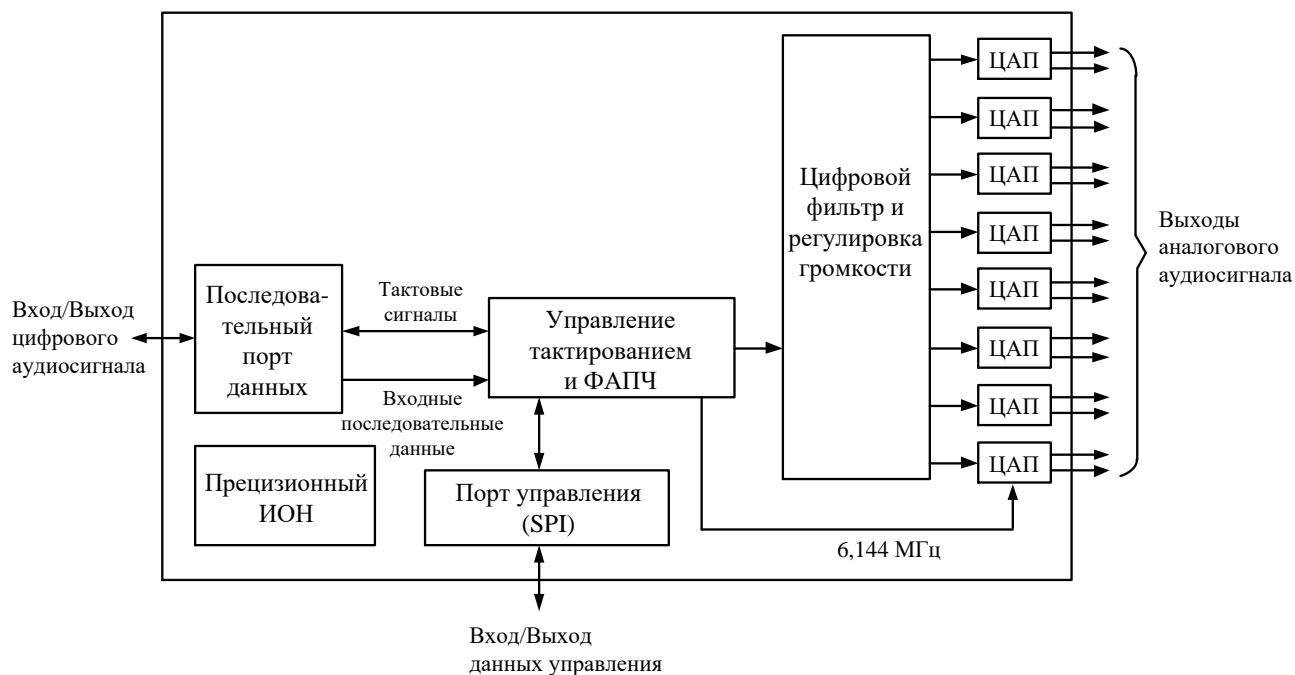


Рисунок 3.1 – Структурная схема микросхемы 1273NA054

3.1 Тактовые сигналы микросхемы

Внутренняя система фазовой автоподстройки частоты (ФАПЧ) может быть синхронизирована от сигнала с частотой дискретизации на выводе DLRCLK или сигнала с частотой $256\times$, $384\times$, $512\times$ или $768 \times f_s$ (относительно режима 48 кГц) от вывода MCLKI/XI. По умолчанию при включении питания установлен режим синхронизации от вывода MCLKI/XI с частотой $256 \times f_s$. В режиме 96 кГц основная тактовая частота имеет прежнее абсолютное значение, следовательно, фактический коэффициент умножения делится на два. В режиме 192 кГц фактический коэффициент умножения делится на четыре. Например, если микросхема программируется в режиме $256 \times f_s$, то частота основного входного тактового сигнала составляет $256 \times 48 \text{ кГц} = 12,288 \text{ МГц}$. Если микросхема переключилась в режим работы на частоте 96 кГц (посредством записи через порт SPI), основная тактовая частота должна оставаться 12,288 МГц, которая получается, как $128 \times f_s$. Если режим 192 кГц, то получается $64 \times f_s$.

Внутренний тактовый сигнал для ЦАП зависит от режима $512 \times f_s$ (режим 48 кГц), $256 \times f_s$ (режим 96 кГц) или $128 \times f_s$ (режим 192 кГц). По умолчанию внутренняя система ФАПЧ генерирует внутренний основной тактовый сигнал от внешнего тактового сигнала. Непосредственная подача главного тактового сигнала для тактирования ЦАП с частотой $512 \times f_s$ (относительно режима 48 кГц) может быть выбрана в первом регистре управления ФАПЧ и тактовыми сигналами (PLL and Clock Control 1).

Система ФАПЧ может быть включена в нулевом регистре управления ФАПЧ и тактовыми сигналами (PLL and Clock Control 0). Для того чтобы обеспечить надежную синхронизацию при переключении режимов ФАПЧ, или если опорный тактовый сигнал не стабилен при включении питания, необходимо выключить систему ФАПЧ, а после этого включить снова, когда тактовый сигнал установится.

Внутренний основной тактовый сигнал может быть отключен в нулевом регистре управления ФАПЧ и тактовыми сигналами (PLL and Clock Control 0) для уменьшения потребляемой мощности, когда микросхема 1273HA054 находится в режиме ожидания. Тактовый сигнал должен быть стабильным до его включения. Если не выбран автономный режим работы, тактовый сигнал отключается при сбросе и должен быть включен путем записи через интерфейс SPI для перехода в нормальный режим работы.

Для достижения наилучших характеристик, необходимо, чтобы джиттер (дрожание фазы) внутреннего главного тактового сигнала имел среднеквадратичное значение ошибки временного интервала не более 300 пс. Даже на этих уровнях, если спектр джиттера содержит пики с большой амплитудой, на выводах ЦАП могут появиться дополнительный шум или гармоники. Если внутренняя система ФАПЧ не используется, необходимо, чтобы главный тактовый сигнал генерировался отдельным кварцевым резонатором. Кроме того, очень важно, чтобы тактовый сигнал не распространялся через FPGA, CPLD или другие большие цифровые микросхемы (такие как DSP) перед тем, как они будут поданы на микросхему 1273HA054. В большинстве случаев это вызывает джиттер тактового сигнала.

ла из-за совместного использования питания или заземления с другими несвязанными цифровыми выходными сигналами. Когда система ФАПЧ используется, джиттер опорного тактового сигнала ослабляется на частотах, которые выше определенной частоты, зависящей от контурного фильтра.

3.2 Сброс и режим пониженного потребления

Функцией вывода RST# является установка всех регистров управления в их настройки по умолчанию. Во избежание звуковых щелчков сброс не выключает питание на аналоговых выходах. После того, как сигнал RST# произвел сброс, и система ФАПЧ перешла в состояние синхронизации, внутри микросхемы 1273HA054 запускается процедура инициализации. Эта инициализация длится приблизительно 1000 циклов главного тактового сигнала.

Для обеспечения корректного включения, вывод RST# должен быть подтянут к шине питания с помощью внешнего резистора.

3.3 Последовательный порт управления

Микросхема 1273HA054 имеет порт управления SPI, который позволяет программировать и обратно считывать внутренние регистры управления АЦП, ЦАП и системы тактирования. Также доступен автономный режим для работы без последовательного управления, который сконфигурирован при сбросе путем подключения CIN, CCLK, CLATCH# на землю. В автономном режиме все регистры установлены по умолчанию, за исключением бита MCLK, который устанавливается в единицу. Тактовые порты АЦП DBCLK и DLRCLK устанавливаются в режим ведущий/ведомый путем подключения вывода COUT на #VCC или землю. Автономный режим поддерживает только стереорежим с форматом данных I²S и $256 \times f_s$ для MCLK. Если CIN, CCLK и CLATCH# не подключены к земле, то порт

SPI активен. В приложениях, в которых используется микроконтроллер, рекомендуется использовать слабый подтягивающий резистор на CLATCH#. Он гарантирует, что микросхема 1273HA054 сможет распознать наличие микроконтроллера.

Порт управления SPI в микросхеме 1273HA054 представляет собой четырехпроводной последовательный порт управления. Его формат аналогичен формату SPI, за исключением того, что ввод данных происходит в виде 24-разрядного слова данных. Последовательный тактовый сигнал и входные данные могут быть полностью асинхронны относительно частоты дискретизации ЦАП. На рисунке 3.2 показан формат сигнала SPI. Первый байт представляет собой глобальный адрес с битом для чтения/записи. Для микросхемы 1273HA054 этот адрес 0x04 сдвинут влево на 1 бит из-за бита R/W. Второй байт – это адрес регистра микросхемы, а третий байт – это данные. В таблице 3.1 указан выбор автономного режима.

Т а б л и ц а 3.1 – Выбор автономного режима

Режим	CIN	COUT	CCLK	CLATCH#
Ведомый	0	0	0	0
Ведущий	0	1	0	0

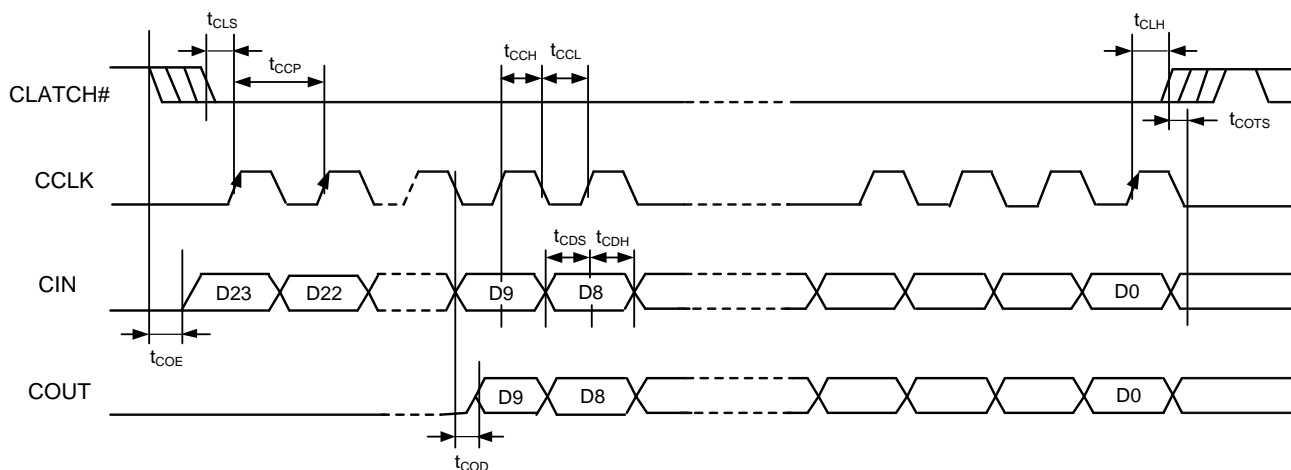


Рисунок 3.2 – Формат сигналов SPI микросхемы 1273HA054

3.4 Напряжение питания и опорное напряжение

Микросхема 1273HA054 разработана для напряжения питания 3,3 В. Для цифровой и аналоговой части предназначены отдельные выводы питания. Эти выводы должны быть шунтированы емкостью 100 нФ в виде керамического конденсатора, который для минимизации наводок должен быть расположен как можно ближе к выводам. Электролитический алюминиевый конденсатор большой емкости (не менее 22 мкФ) должен быть установлен на одной плате с ЦАП. В приложениях с высокими требованиями к шумовым параметрам могут быть получены лучшие характеристики путем разделения питания для аналоговой и цифровой частей. Если это невозможно осуществить, то рекомендуется изолировать аналоговую и цифровую часть друг от друга с помощью ферритового кольца для каждого вывода. Важно, чтобы источник питания аналоговой части имел уровень помех как можно меньше.

Микросхема 1273HA054 включает в себя драйвер стабилизатора 3,3 В, которому требуется внешний проходной транзистор и блокировочные конденсаторы, чтобы получить стабилизированный преобразователь напряжения из 5 В в 3,3 В. Если драйвер стабилизатора не используется, нужно подключить выводы VSUPPLY, VDRIVE и VSENSE к #GND.

Все цифровые входы совместимы с ТТЛ и КМОП уровнями. Все выводы получают питание от источника #VCC с напряжением 3,3 В и совместимы с уровнями ТТЛ и КМОП 3,3 В.

Внутреннее опорное напряжение ЦАП выводится на выход FILTER, который должен быть зашунтирован параллельно соединенными конденсаторами емкостью 10 мкФ и 100 нФ, расположенными как можно ближе к микросхеме. Любой внешний ток должен быть ограничен значением менее 50 мкА.

Внутренний источник опорного напряжения может быть отключен с помощью первого регистра управления ФАПЧ и тактовыми сигналами (PLL and Clock Control 1), тогда вывод FILTER может управляться от внешнего источника. Это можно использовать для масштабирования выходного сигнала ЦАП до такого

уровня, при котором возникает ограничение уровня сигнала в усилителе мощности (клиппинг), связанное с напряжением питания усилителя мощности. Усиление на выходе ЦАП пропорционально напряжению на выводе FILTR.

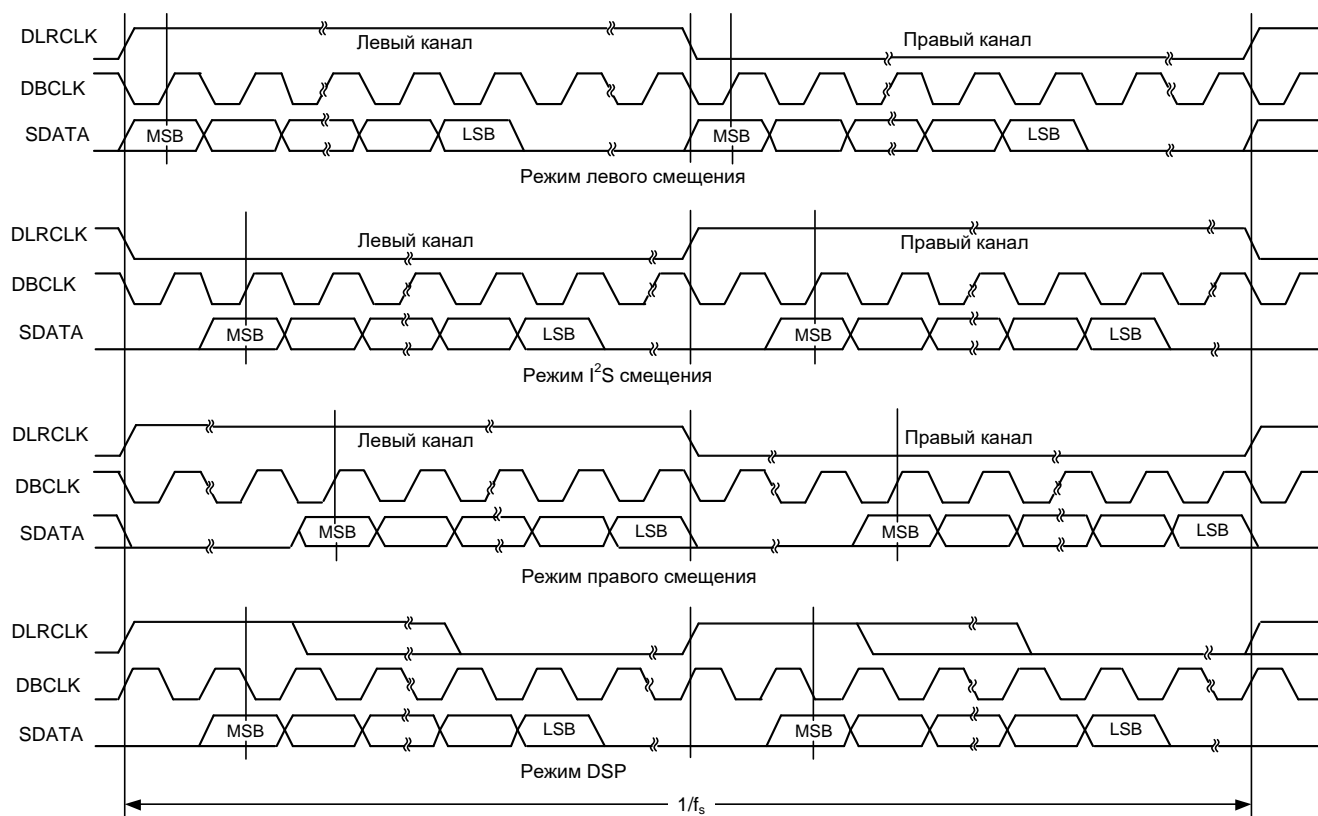
Вывод CM является внутренним источником опорного напряжения (общей точки). Этот вывод должен быть зашунтирован параллельно соединенными конденсаторами емкостью 47 мкФ и 100 нФ, расположенными как можно ближе к микросхеме. Это напряжение может быть использовано для смещения сигнальных входов и выходов внешнего операционного усилителя уровнем общей точки. Выходной ток должен быть ограничен до значения менее 0,5 мА для втекающего и 2 мА для вытекающего.

3.5 Последовательный порт данных – формат данных

Восемь каналов ЦАП используют общий последовательный битовый тактовый сигнал (DBCLK) и общий левый/правый сигнал кадровой синхронизации левого/правого канала (DLRCLK) в последовательном порте данных. Все тактовые сигналы синхронны относительно частоты дискретизации. Нормальные и номинальные последовательные стерео режимы показаны на рисунке 3.3.

По умолчанию установлен режим последовательной передачи данных ЦАП по I²S. Порты также могут быть запрограммированы в режим выравнивания данных по левому или правому краю, а также в TDM режим. По умолчанию длина слова данных составляет 24 разряда, и может быть установлено значение в 16 или 20 разрядов. Последовательные форматы ЦАП могут быть запрограммированы с помощью нулевого регистра управления ЦАП (DAC Control 0). Полярность DBCLK и DLRCLK также программируется с помощью первого регистра управления ЦАП (DAC Control 1). Дополнительный порт TDM используется для приложений, которым требуется более 8 каналов ЦАП. В этом режиме выводы AUXTDMLRCLK и AUXTDMBCLK сконфигурированы как тактовые сигналы TDM. В обычном TDM режиме в качестве тактового сигнала используются выво-

ды DLRCLK и DBCLK. Формат дополнительного последовательного порта TDM и полярность тактовых сигналов порта программируются в соответствии со вспомогательным нулевым регистром управления портом TDM (Auxiliary TDM Port Control 0) и вспомогательным первым регистром управления портом TDM (Auxiliary TDM Port Control 1). Последовательный порт ЦАП и последовательный вспомогательный порт TDM могут быть запрограммированы в режим ведущего в соответствии с первым регистром управления ЦАП (DAC Control 1) и вспомогательным первым регистром управления TDM (TDM Control). По умолчанию оба этих порта находятся в режиме ведомого.



Примечания

- 1 Режим DSP не определяет канал.
- 2 Сигнал DLRCLK нормально работает на частоте f_s за исключением режима DSP, при котором значение частоты $2 \times f_s$.
- 3 Частота сигнала DBCLK обычно в 64 раза больше частоты сигнала DLRCLK, но может работать и в пакетном режиме.

Рисунок 3.3 – Последовательные стерео режимы

3.6 Режим TDM (режим временного мультиплексирования)

Последовательные порты микросхемы 1273HA054 имеют несколько различных TDM режимов последовательной передачи данных. На рисунке 3.4 показана наиболее часто используемая конфигурация. На этом рисунке восемь слотов с данными для каналов ЦАП, расположенных на кристалле, упакованы в один поток TDM. В этом режиме частота сигнала DBCLK составляет $256 \times f_s$.

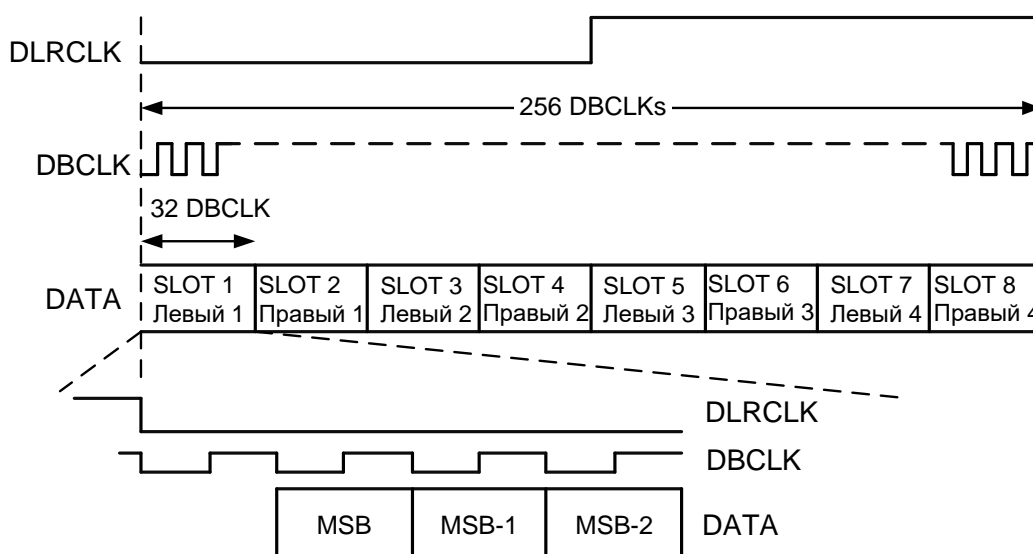


Рисунок 3.4 – Режим TDM у ЦАП (режим 8-канального I²S)

Входные и выходные выводы последовательных портов определяются в соответствии с выбранным режимом. Более детальное описание функций каждого вывода в режимах TDM и в дополнительном режиме показаны в таблице 3.2.

Т а б л и ц а 3.2 – Изменения функций выводов в режиме TDM-AUX

Вывод	Сtereo режим	Режим TDM	Режим AUX
1	2	3	4
AUXDATA1	Не используется (не подключен)	Не используется (не подключен)	AUX выход данных 1 (во внешний ЦАП 1)
DSDATA1	ЦАП1 вход данных	ЦАП TDM вход данных	TDM вход данных

Окончание таблицы 3.2

1	2	3	4
DSDATA2	ЦАП2 вход данных	ЦАП TDM выход данных	Не используется
DSDATA3	ЦАП3 вход данных	ЦАП TDM вход данных 2 (двух-линейный режим)	Не используется
DSDATA4	ЦАП4 вход данных	ЦАП TDM выход данных 2 (двух-проводной режим)	AUX выход данных 2 (во внешний ЦАП 2)
AUXTDMLRCLK	Не используется	Не используется	TDM Frame Sync вход/ TDM Frame Sync выход
AUXTDMBCLK	Не используется	Не используется	TDM BCLK вход/ TDM BCLK выход
DLRCLK	ЦАП LRCLK вход/ ЦАП LRCLK выход	ЦАП TDM Frame Sync вход/ ЦАП TDM Frame Sync выход	AUX LRCLK вход/ AUX LRCLK выход
DBCLK	ЦАП BCLK вход/ ЦАП BCLK выход	ЦАП TDM BCLK вход/ ЦАП TDM BCLK выход	AUX BCLK вход/ AUX BCLK выход

Микросхема 1273HA054 позволяет легко управлять системами с более чем восемью каналами ЦАП с использованием дополнительного последовательного порта. Режим TDM-AUX показан на рисунке 3.5. В этом режиме каналы AUX – это последние четыре слота 16-канального потока данных TDM. Данные из этих слотов считываются и выводятся в последовательный порт AUX. Одним из основных отличий между режимами TDM и дополнительным режимом TDM является назначение вывода порта TDM, как это показано в таблице 3.1. В дополнительном TDM режиме DBCLK и DLRCLK назначаются в качестве дополнительных тактовых портов, а AUXTDMBCLK и AUXTDMLRCLK назначаются как тактовые порты TDM. В обычном режиме TDM или в 16-канальном последовательном подключении выводы DLRCLK и DBCLK устанавливаются как тактовые порты TDM. Надо отметить, что из-за высокой частоты AUXTDMBCLK, 16-канальный допол-

нительный режим TDM доступен только при частоте дискретизации 48 кГц/44,1 кГц/32 кГц.

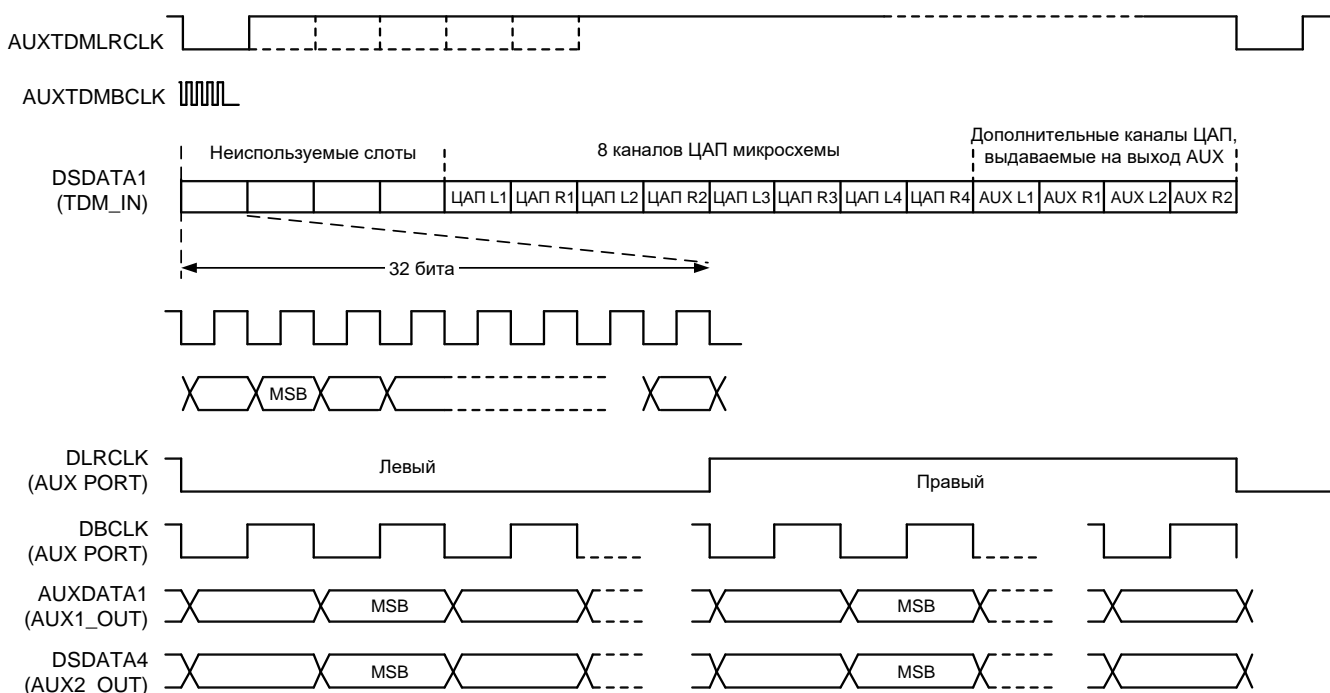


Рисунок 3.5 – Режим 16-канального TDM-AUX для ЦАП

3.7 Режим последовательного подключения

Микросхема 1273HA054 имеет конфигурацию последовательного подключения для расширения системы до 16 ЦАП. Однопроводной режим TDM при последовательном подключении показан на рисунке 3.6, где частота дискретизации 48 кГц, 16 каналов и две микросхемы 1273HA054 подключены последовательно. В этом режиме частота DBCLK составляет $512 \times f_s$. Первые восемь слотов данных TDM ЦАП принадлежат первой микросхеме в цепи, а последние восемь слотов TDM принадлежат второй. Вторая микросхема 1273HA054 – это устройство, подключенное к порту DSP TDM.

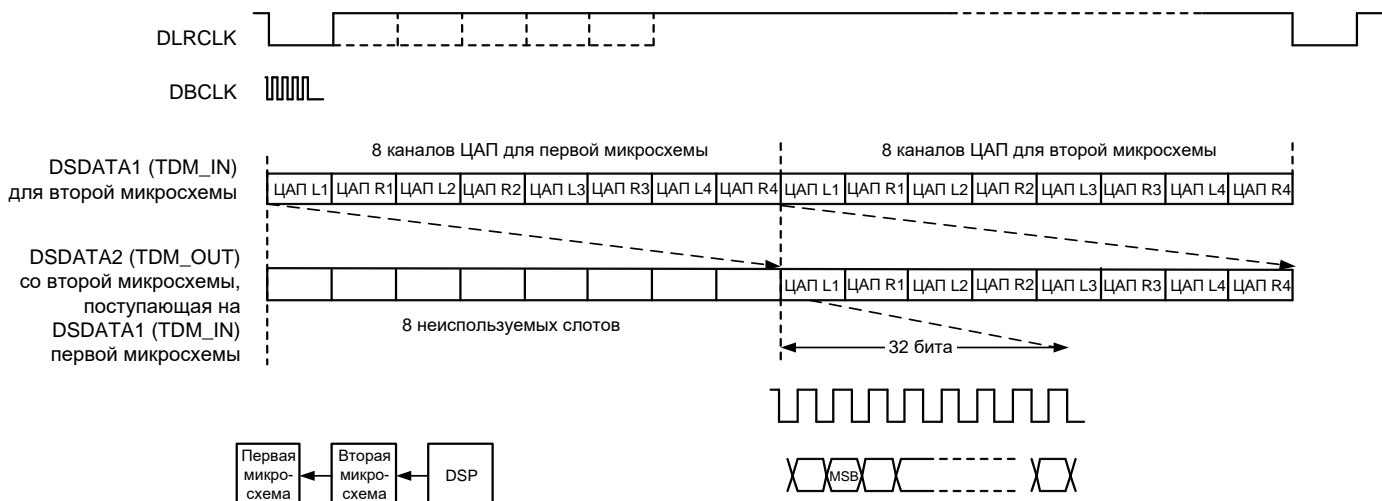


Рисунок 3.6 – Однолинейный режим TDM при последовательном подключении

Для использования 16 каналов с частотой дискретизации 96 кГц микросхема 1273HA054 может быть настроена в двухпроводной режим TDM, который показан на рисунке 3.7. Этот режим позволяет использовать меньшую, чем в однолинейном TDM режиме, частоту сигнала DBCLK. Данный режим применим при частоте дискретизации 96 кГц, 16 каналах, двух микросхемах 1273HA054, подключенных последовательно, DSDATA3 и DSDATA4 также подключены последовательно.

В этом режиме первые четыре канала каждого входа TDM принадлежат первой микросхеме в цепи, а последние четыре канала – второй.

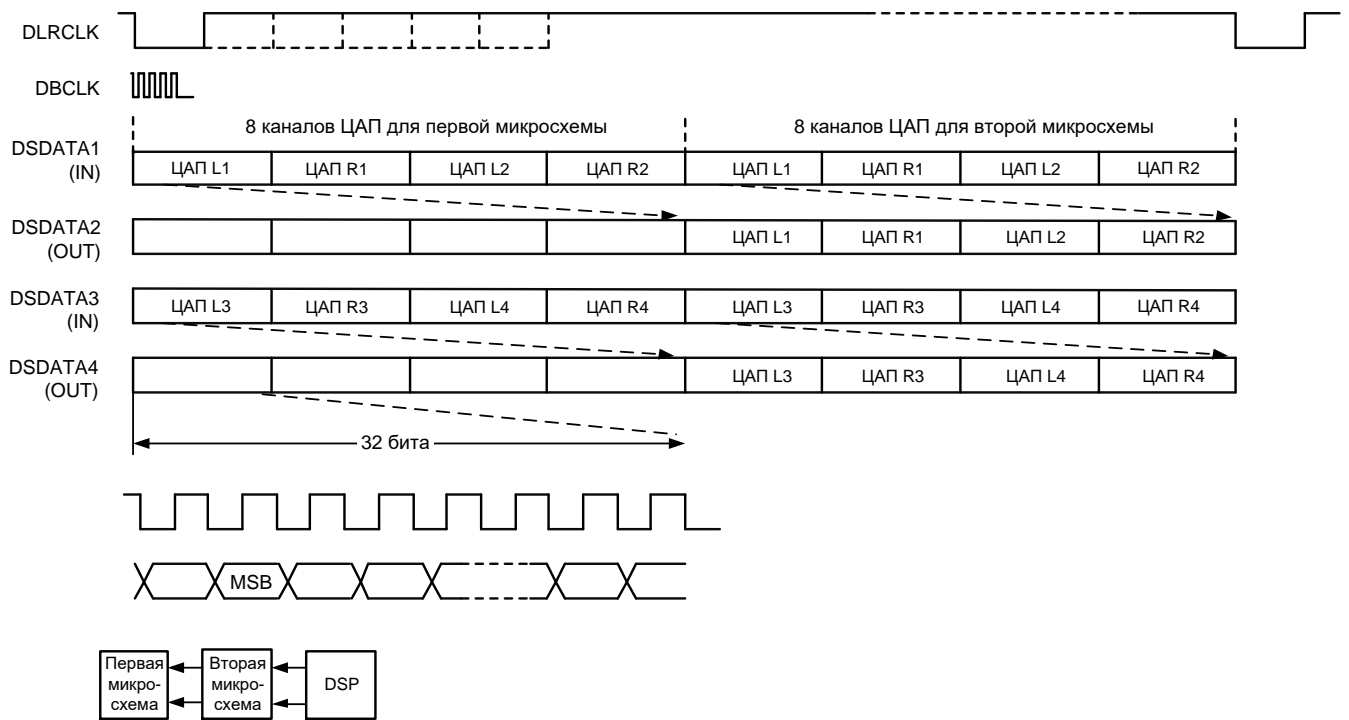


Рисунок 3.7 – Двухпроводной режим TDM при частоте дискретизации 96 кГц

В двухпроводном TDM режиме может использоваться передача данных при частоте дискретизации 192 кГц, как это показано на рисунке 3.8. Выводы входа/выхода последовательного порта определяются в соответствии с выбранным последовательным режимом. Более подробно функции каждого вывода указаны в таблице 3.3.

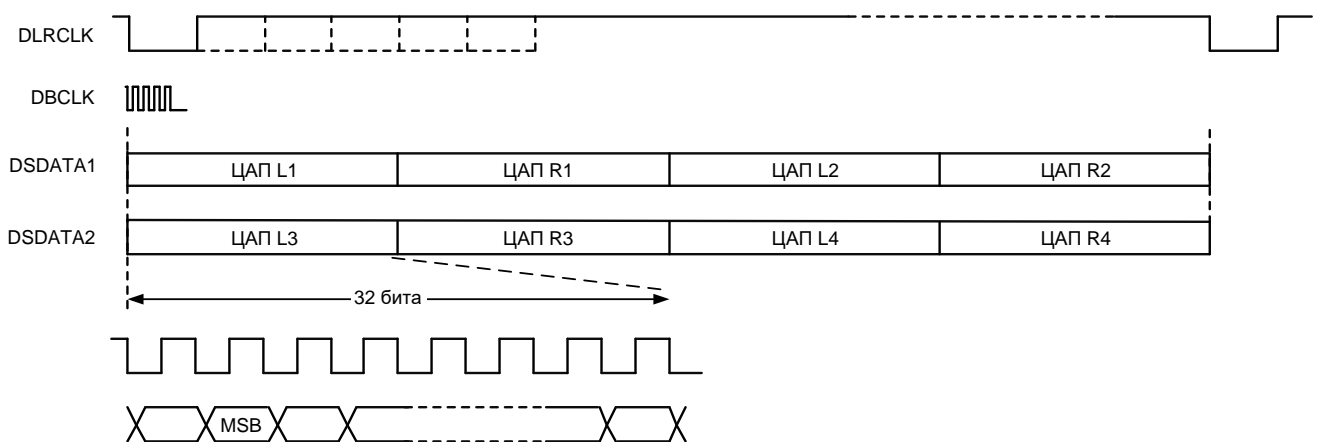


Рисунок 3.8 – Двухпроводной режим TDM при частоте дискретизации 192 кГц

Т а б л и ц а 3.3 – Изменения в функционировании выводов в режиме TDM-AUX

Вывод	Сtereo режим	Режим TDM	Режим AUX
AUXDATA1	Не используется (не подключен)	Не используется (не подключен)	AUX выход данных 1 (во внешний ЦАП1)
DSDATA1	ЦАП1 вход данных	ЦАП TDM вход данных	TDM вход данных
DSDATA2	ЦАП2 вход данных	ЦАП TDM выход данных	Не используется
DSDATA3	ЦАП3 вход данных	ЦАП TDM вход данных 2 (двухлинейный режим)	Не используется
DSDATA4	ЦАП4 вход данных	ЦАП TDM выход данных 2 (двухлинейный режим)	AUX выход данных 2 (во внешний ЦАП2)
AUXTDMLRCLK	Не используется	Не используется	TDM Frame Sync вход/ TDM Frame Sync выход
AUXTDMBCLK	Не используется	Не используется	TDM BCLK вход/TDM BCLK выход
DLRCLK	ЦАП LRCLK вход/ ЦАП LRCLK выход	ЦАП TDM Frame Sync вход/ЦАП TDM Frame Sync выход	AUX LRCLK вход/ AUX LRCLK выход
DBCLK	ЦАП BCLK вход/ ЦАП BCLK выход	ЦАП TDM BCLK вход/ ЦАП TDM BCLK выход	AUX BCLK вход/ AUX BCLK выход

На рисунке 3.9 показана типовая конфигурация микросхемы 1273HA054 с двумя внешними стерео режимами ЦАП.

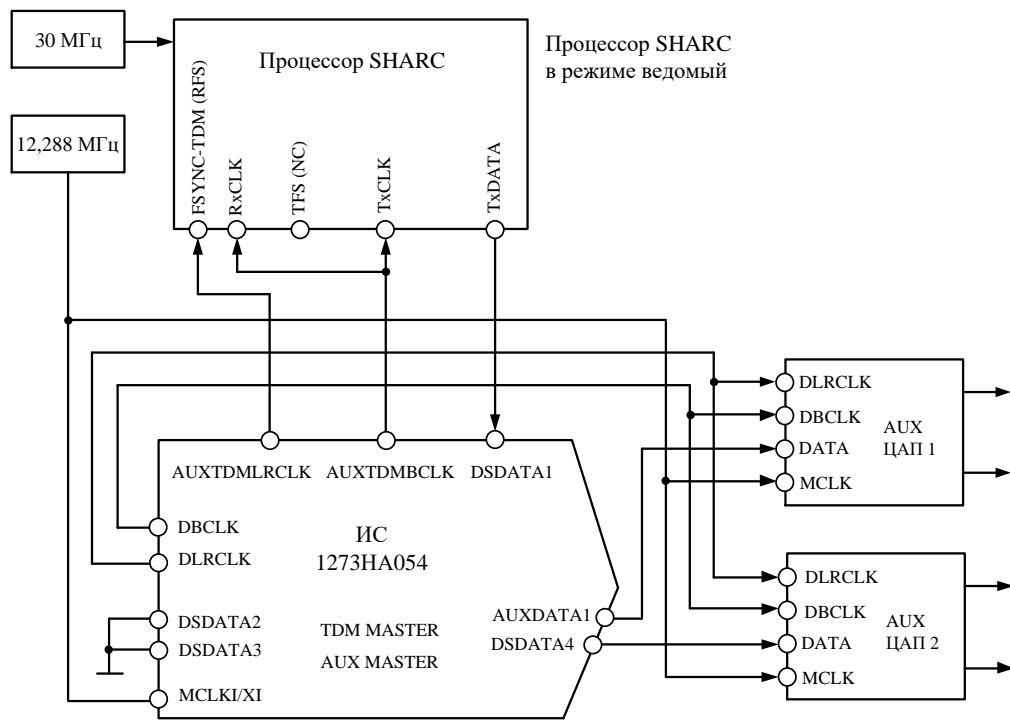


Рисунок 3.9 – Пример соединения микросхемы 1273HA054 с процессором SHARC в режиме AUX (микросхема в режиме TDM-ведущий или AUX-ведущий)

На рисунках 3.10 и 3.11 приведены временные диаграммы сигналов последовательного интерфейса.

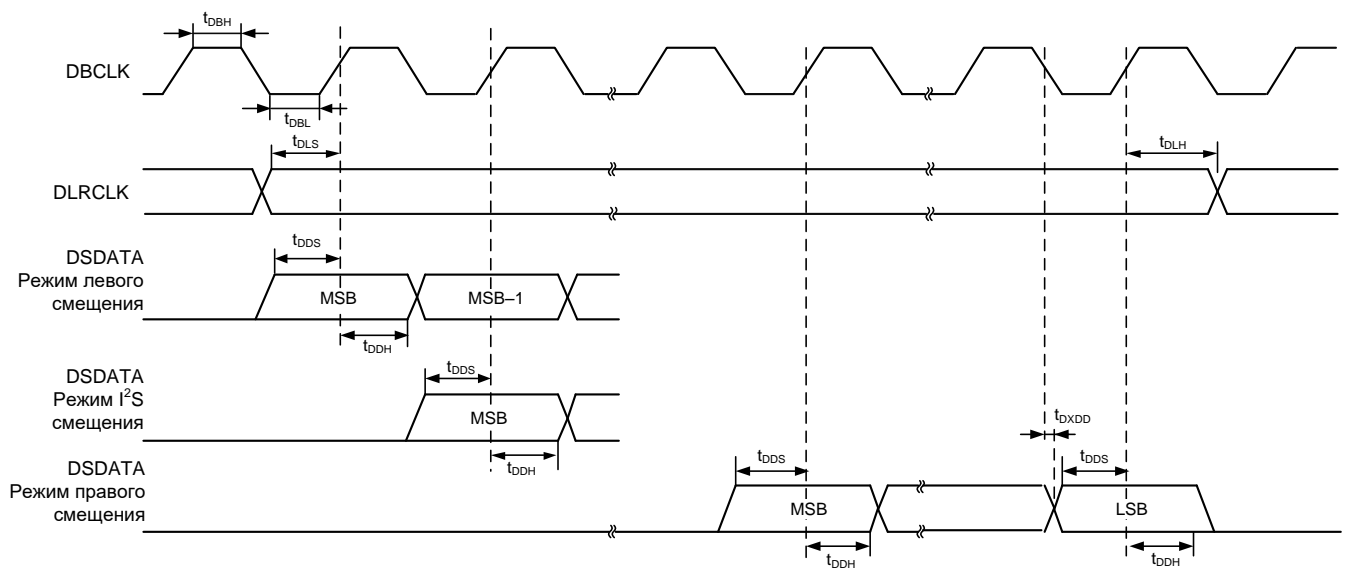


Рисунок 3.10 – Временная диаграмма сигналов последовательного интерфейса данных ЦАП

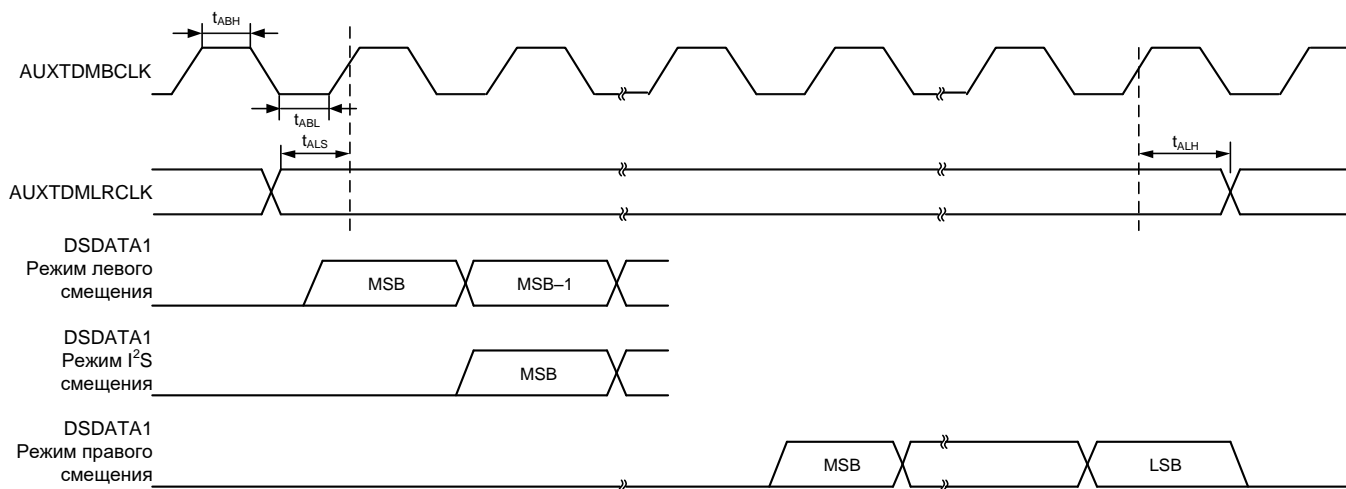


Рисунок 3.11 – Временная диаграмма сигналов последовательного интерфейса AUXTDM

Временные характеристики микросхемы указаны в таблице 3.4.

Т а б л и ц а 3.4 – Временные характеристики

Параметр, единица измерения	Состояние сигнала	Значение		Пояснение
		минимальное	максимальное	
1	2	3	4	5
Входной главный тактовый сигнал (MCLK) и RESET	Коэффициент заполнения сигнала MCLK	40	60	Тактовый сигнал ЦАП формируется схемой ФАПЧ $256 \times f_s$, $384 \times f_s$, $512 \times f_s$ и $768 \times f_s$
$t_{MH}, \%$				
$f_{MCLK}, \text{МГц}$		6,9	13,8	ФАПЧ включена, $256 \times f_s$
$f_{MCLK}, \text{МГц}$		–	27,6	Режим непосредственного тактирования $512 \times f_s$
$t_{PDR}, \text{нс}$		Длительность активного низкого уровня сигнала RST#	15	–
ФАПЧ Время захвата частоты, мс	MCLK и LR тактовые входы	–	10	

Окончание таблицы 3.4

1	2	3	4	5
256×f _S частота тактового сигнала ГУН, коэффициент заполнения сигнала MCLKO/XO на выводе, %		40	60	
Порт SPI t _{CCH} , нс t _{CCL} , нс f _{CCLK} , МГц t _{CDS} , нс t _{CDH} , нс t _{CLS} , нс t _{CLH} , нс t _{CLHIGH} , нс t _{COE} , нс t _{COD} , нс t _{COH} , нс t _{COTS} , нс	CCLK высокий уровень CCLK низкий уровень Частота CCLK CIN установка CIN удержание CLATCH установка CLATCH удержание CLATCH высокий уровень COUT разрешен COUT задержка COUT удержание COUT переход в третье состояние	35 35 – 10 10 10 10 10 – – 30 –	– – 10 – – – – – 30 30 – 30	f _{CCLK} = 1/t _{CSP} До переднего фронта CCLK От заднего фронта CCLK До переднего фронта CCLK От заднего фронта CCLK Не показано на рисунке 3.2 От заднего фронта CCLK От заднего фронта CCLK От заднего фронта CCLK, не показано на рисунке 3.2 От заднего фронта CCLK
Последовательный порт данных ЦАП t _{ABH} , нс t _{ABL} , нс t _{ALS} , нс t _{ABH} , нс t _{ALS} , нс t _{DDS} , нс t _{DDH} , нс	AUXTDMBCLK высокий уровень AUXTDMBCLK низкий уровень AUXTDMLRCLK установка AUXTDMLRCLK удержание AUXTDMLRCLK сдвиг DSDATA установка DSDATA удержание			Режим ведомого Режим ведомого До переднего фронта AUXTDMBCLK, режим ведомого От переднего фронта AUXTDMBCLK, режим ведомого От заднего фронта AUXTDMBCLK, режим ведущего К AUXTDMBCLK, не показано на рисунке 3.11 От переднего фронта AUXTDMBCLK, не показано на рисунке 3.11
Дополнительный интерфейс t _{DXDD} , нс t _{XVH} , нс t _{XBL} , нс t _{DLS} , нс t _{DLH} , нс	Задержка AUXDATA AUXBCLK высокий уровень AUXBCLK низкий уровень Установка AUXLRCLK Удержание AUXLRCLK	– 10 10 10 5	18 – – – –	От заднего фронта AUXBCLK До переднего фронта AUXBCLK От заднего фронта AUXBCLK

3.8 Конфигурация выводов

На рисунке 3.12 приведена конфигурация выводов микросхемы 1273HA054.

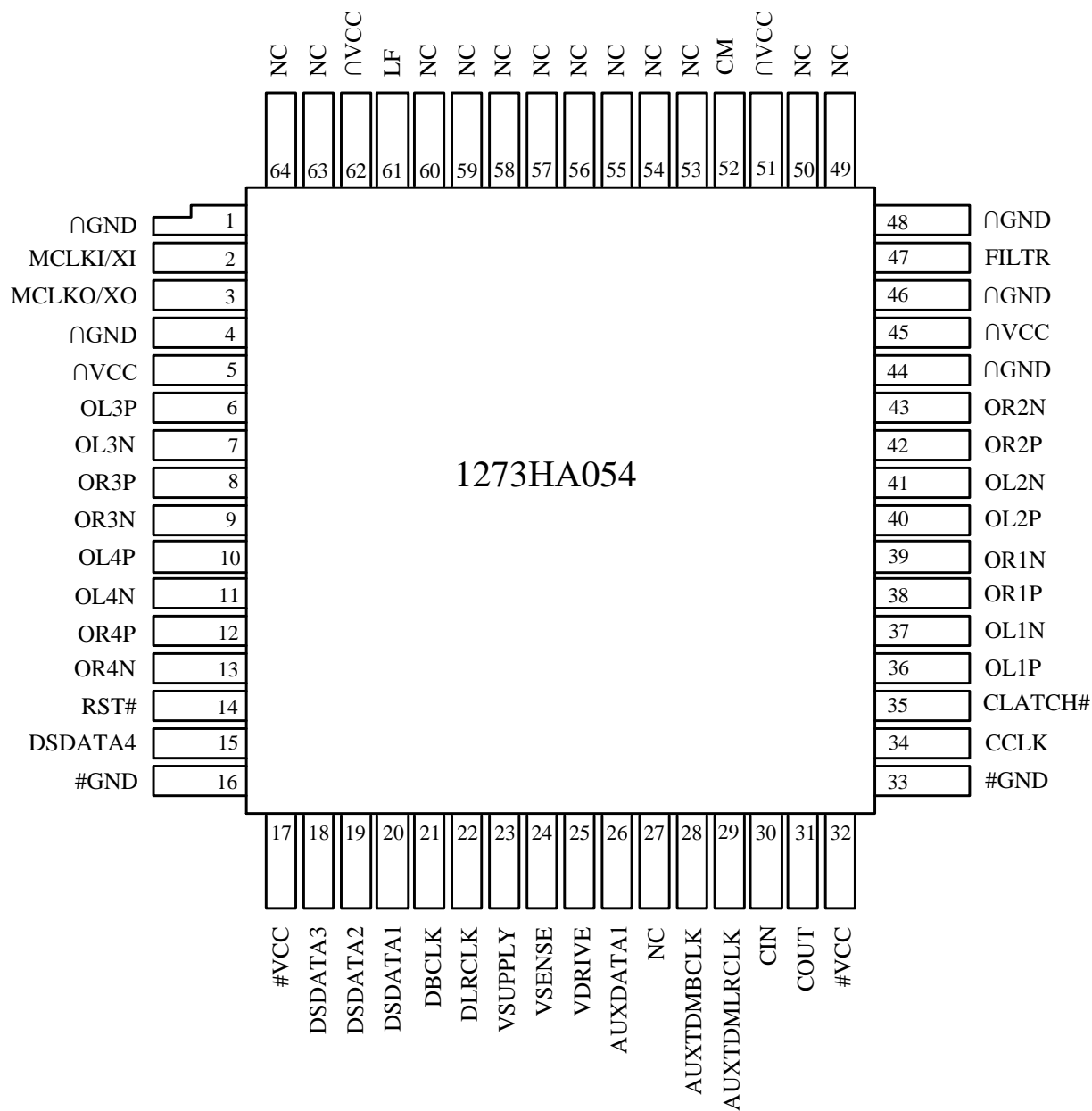


Рисунок 3.12 – Конфигурация выводов микросхемы 1273HA054

4 Регистры управления

Глобальный адрес для микросхемы 1273HA054 это 0×04 , сдвинутый влево на один разряд из-за разряда бита R/W#. Все регистры сбрасываются в ноль, за исключением регистров регулировки громкости, которые устанавливаются в значение, соответствующее максимальной громкости. Первым параметром в каждом управляющем регистре является значение по умолчанию.

В таблице 4.1 указан формат регистров управления, а в таблице 4.2 – адреса регистров и их функции.

Т а б л и ц а 4.1 – Формат регистров управления

	Глобальный адрес	R/W#	Адрес регистра	Данные
Разряд	23:17	16	15:8	7:0

Т а б л и ц а 4.2 – Адреса регистров и их функции

Адрес	Функция
0	ФАПЧ и управление тактовыми сигналами 0 (PLL and Clock Control 0)
1	ФАПЧ и управление тактовыми сигналами 1 (PLL and Clock Control 1)
2	Управление ЦАП – 0 (DAC Control 0)
3	Управление ЦАП – 1 (DAC Control 1)
4	Управление ЦАП – 2 (DAC Control 2)
5	Индивидуальное отключение звука каналов ЦАП (DAC individual channel mutes)
6	Регулировка уровня громкости левого канала ЦАП1 (DAC L1 volume control)
7	Регулировка уровня громкости правого канала ЦАП1 (DAC R1 volume control)
8	Регулировка уровня громкости левого канала ЦАП2 (DAC L2 volume control)
9	Регулировка уровня громкости правого канала ЦАП2 (DAC R2 volume control)
10	Регулировка уровня громкости левого канала ЦАП3 (DAC L3 volume control)
11	Регулировка уровня громкости правого канала ЦАП3 (DAC R3 volume control)
12	Регулировка уровня громкости левого канала ЦАП4 (DAC L4 volume control)
13	Регулировка уровня громкости правого канала ЦАП4 (DAC R4 volume control)
14	Зарезервировано
15	Управление вспомогательным портом TDM 0 (Auxiliary TDM Port Control 0)
16	Управление вспомогательным портом TDM 1 (Auxiliary TDM Port Control 1)

4.1 Регистры управления ФАПЧ и тактовым сигналом

В таблицах 4.3 и 4.4 указаны значения и функции регистра управления ФАПЧ и тактовых сигналов PLL and Clock Control 0, PLL and Clock Control 1.

Т а б л и ц а 4.3 – PLL и 0 регистр управления тактового сигнала (PLL and Clock Control 0)

Разряд	Значение	Функция	Описание
0	0	Нормальная работа	Пониженное потребление ФАПЧ
	1	Пониженное потребление	
2:1	00	Вход $256 \times (44,1 \text{ кГц или } 48 \text{ кГц})$	Функциональность вывода MCLKI/XI(система ФАПЧ активна), установка главного тактового сигнала
	01	Вход $384 \times (44,1 \text{ кГц или } 48 \text{ кГц})$	
	10	Вход $512 \times (44,1 \text{ кГц или } 48 \text{ кГц})$	
	11	Вход $768 \times (44,1 \text{ кГц или } 48 \text{ кГц})$	
4:3	00	Включен кварцевый генератор	Вывод MCLKO/XO, установка главного тактового сигнала
	01	$256 \times f_s$ выход ГУН	
	10	$512 \times f_s$ выход ГУН	
	11	Выключено	
6:5	00	MCLKI/XI	Вход системы ФАПЧ
	01	DLRCLK	
	10	AUXTDMLRCLK	
	11	Зарезервировано	
7	0	Выключен – ЦАП находится в режиме ожидания	Включение внутреннего главного тактового сигнала
	1	Включен – ЦАП активен	

Т а б л и ц а 4.4 – 1 регистр управления ФАПЧ и тактовым сигналом (PLL and Clock Control 1)

Разряд	Значение	Функция	Описание
0	0	Тактовый сигнал ФАПЧ	Выбор источника главного тактового сигнала ЦАП
	1	MCLK	
1	0	Тактовый сигнал ФАПЧ	Выбор источника тактового сигнала AUXTDM порта
	1	MCLK	
2	0	Включен	Источник опорного напряжения на кристалле
	1	Выключен	
3	0	Синхронизация не уставлена	Индикатор установления синхронизации системы ФАПЧ (только режим чтения)
	1	Синхронизация установлена	
7:4	0000	Зарезервировано	

4.2 Регистры управления ЦАП

В таблицах 4.5 – 4.9 приведены значения и функции для регистров управления ЦАП микросхемы 1273HA054.

Т а б л и ц а 4.5 – 0 регистр управления ЦАП (DAC Control 0)

Разряд	Значение	Функция	Описание
1	2	3	4
0	0	Нормальный режим	Пониженное потребление
	1	Пониженное потребление	
2:1	00	32 кГц/44,1 кГц/48 кГц	Частота дискретизации
	01	64 кГц/88,2 кГц/96 кГц	
	10	128 кГц/176,4 кГц/192 кГц	
	11	Зарезервировано	
5:3	000	1	Задержка SDATA (периоды BCLK)
	001	0	
	010	8	
	011	12	
	100	16	
	101	Зарезервировано	

Окончание таблицы 4.5

1	2	3	4
	110 111	Зарезервировано Зарезервировано	
7:6	00 01 10 11	Сtereo (нормальный режим) TDM (последовательное подключение) Режим ЦАП AUX (DAC, TDM подключение) Двухпроводной TDM режим	Формат последовательного интерфейса

Т а б л и ц а 4.6 – 1 регистр управления ЦАП (DAC Control 1)

Разряд	Значение	Функция	Описание
0	0	Захват в середине цикла (нормальный режим)	Активный фронт BCLK (TDM вход)
	1	Захват в конце цикла (конвейерный режим)	
2:1	00	64 (2 канала)	Количество периодов BCLK на кадр
	01	128 (4 канала)	
	10	256 (8 каналов)	
	11	512 (16 каналов)	
3	0	Левый – низкий уровень	Полярность LRCLK
	1	Левый – высокий уровень	
4	0	Ведомый	LRCLK ведущий/ведомый
	1	Ведущий	
5	0	Ведомый	BCLK ведущий/ведомый
	1	Ведущий	
6	0	Вывод DBCLK	Источник BCLK
	1	От внутреннего источника	
7	0	Нормальный	Полярность BCLK
	1	Инвертированный	

Т а б л и ц а 4.7 – 2 регистр управления ЦАП (DAC Control 2)

Разряд	Значение	Функция	Описание
1	2	3	4
0	0	Звук включен	Глобальное управление отключением звука
	1	Звук выключен	

Окончание таблицы 4.7

1	2	3	4
2:1	00 01 10 11	Зарезервировано Зарезервировано Зарезервировано Зарезервировано	
4:3	00 01 10 11	24 20 Зарезервировано 16	Разрядность данных
5	0 1	Неинвертированный Инвертированный	Полярность выхода ЦАП
7:6	00	Зарезервировано	

Т а б л и ц а 4.8 – Индивидуальное отключение звука канала ЦАП

Разряд	Значение	Функция	Описание
0	0 1	Звук включен Звук выключен	ЦАП1 левый канал, выключение звука
1	00 01	Звук включен Звук выключен	ЦАП1 правый канал, выключение звука
2	00 01	Звук включен Звук выключен	ЦАП2 левый канал, выключение звука
3	0 1	Звук включен Звук выключен	ЦАП2 правый канал, выключение звука
4	0 1	Звук включен Звук выключен	ЦАП3 левый канал, выключение звука
5	0 1	Звук включен Звук выключен	ЦАП3 правый канал, выключение звука
6	0 1	Звук включен Звук выключен	ЦАП4 левый канал, выключение звука
7	0 1	Звук включен Звук выключен	ЦАП4 правый канал, выключение звука

Т а б л и ц а 4.9 – Регулировка уровня громкости ЦАП

Разряд	Значение	Функция	Описание
7:0	0 От 1 до 254 255	Нет затухания –3/8 дБ на шаг Полное затухание	Регулировка уровня громкости ЦАП

4.3 Регистры управления вспомогательным портом TDM

В таблицах 4.10 и 4.11 приведены значения и функции для регистров управления вспомогательным портом TDM микросхемы 1273HA054.

Т а б л и ц а 4.10 – 0 регистр управления вспомогательным портом TDM (Auxiliary TDM Port Control 0)

Разряд	Значение	Функция	Описание
1:0	00	24	Длина слова
	01	20	
	10	Зарезервировано	
	11	16	
4:2	000	1	Задержка SDATA (периоды BCLK)
	001	0	
	010	8	
	011	12	
	100	16	
	101	Зарезервировано	
	110	Зарезервировано	
	111	Зарезервировано	
6:5	00	Зарезервировано	Последовательный формат
	01	Зарезервировано	
	10	Режим DAC AUX	
	11	Зарезервировано	
7	0	Захват в середине цикла (обычный)	Активный фронт BCLK (TDM вход)
	1	Захват в конце цикла (конвейерный)	

Т а б л и ц а 4.11 – 1 регистр управления вспомогательным портом TDM (Auxiliary TDM Port Control 1)

Разряд	Значение	Функция	Описание
1	2	3	4
0	0	50/50 (позволяет 32, 24, 20 или 16 тактов (тактовые сигналы BCLKs) для каждого канала)	LRCLK формат
	1	Импульсы (32 BCLKs на канал)	
1	0	Выдача данных по заднему фронту (DEF)	BCLK полярность
	1	Выдача данных по переднему фронту	

Окончание таблицы 4.11

1	2	3	4
2	0	Левый – низкий уровень	LRCLK полярность
	1	Левый – высокий уровень	
3	0	Ведомый	LRCLK ведущий/ ведомый
	1	Ведущий	
5:4	00	64	BCLK для каждого кадра
	01	128	
	10	256	
	11	512	
6	0	Ведомый	BCLK ведущий/ ведомый
	1	Ведущий	
7	0	Вывод AUXTDMBCLK	Источник сигнала BCLK
	1	Внутренний источник	

5 Дополнительные режимы

Микросхема 1273HA054 имеет несколько дополнительных режимов для уменьшения электромагнитных помех на уровне печатной платы, то есть последовательные данные могут передаваться без прямой подачи тактового сигнала BCLK. На рисунке 5.1 показан пример передачи данных в режиме TDM, при котором не требуется большая скорость DBCLK. Эта конфигурация применима в том случае, если главный тактовый сигнал микросхемы генерируется ФАПЧ. В качестве опорного тактового сигнала ФАПЧ используется DLRCLK.

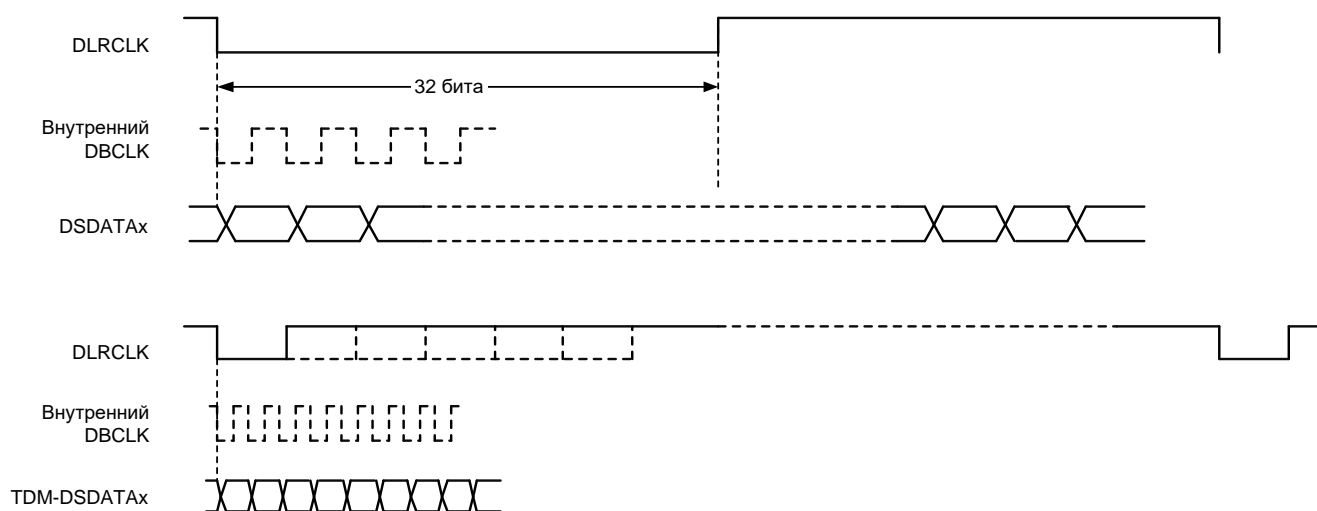


Рисунок 5.1 – Последовательная передача данных в TDM формате без сигнала DBCLK

Чтобы смягчить требования для времени установления в случае высокоскоростной передачи TDM данных, микросхема может использовать захват данных по заднему фронту DBCLK. Это позволяет использовать практически весь период тактового сигнала для установки данных. Этот режим полезен в тех случаях, когда источник имеет большое время задержки в драйвере последовательных данных. На рисунке 5.2 показан конвейерный режим передачи данных. Режим без использования тактового сигнала BCLK и конвейерный режим доступны одновременно.

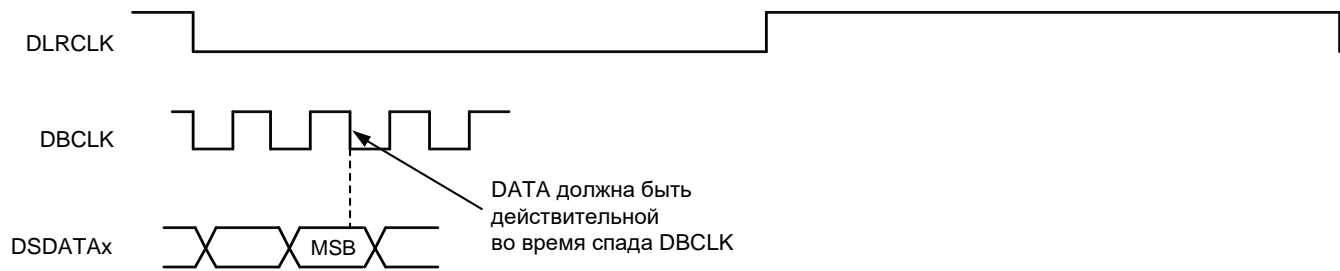


Рисунок 5.2 – Конвейерный режим передачи последовательных данных по I²S

6 Применяемые схемы

Типовые применяемые схемы показаны на рисунках 6.1 – 6.4.

На рисунках 6.1 и 6.2 показаны рекомендуемые схемы петлевых фильтров для использования кадровой синхронизации левого и правого каналов и главного тактового сигнала в качестве опорного сигнала ФАПЧ. Схема фильтров для выводов ЦАП показана на рисунке 6.3, а на рисунке 6.4 показана схема стабилизатора напряжения.

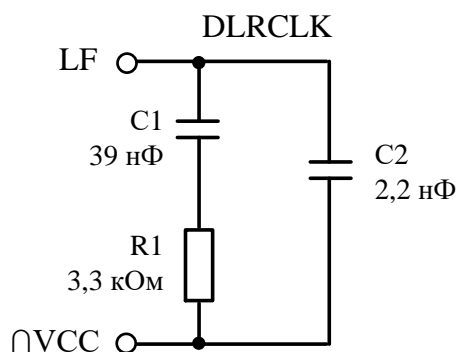


Рисунок 6.1 – Рекомендованный петлевой фильтр для DLRCLK в качестве опорного источника ФАПЧ

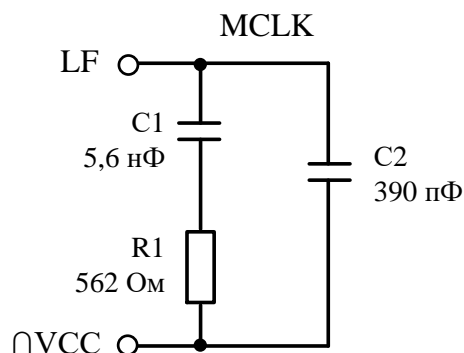


Рисунок 6.2 – Рекомендованный петлевой фильтр для MCLK в качестве опорного источника ФАПЧ

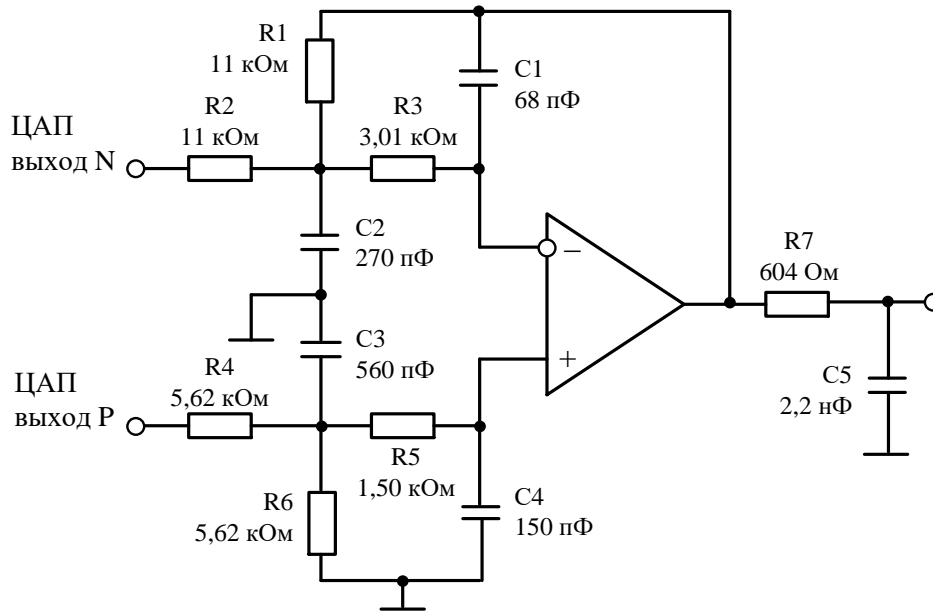


Рисунок 6.3 – Типовой выходной фильтр ЦАП (дифференциальный)

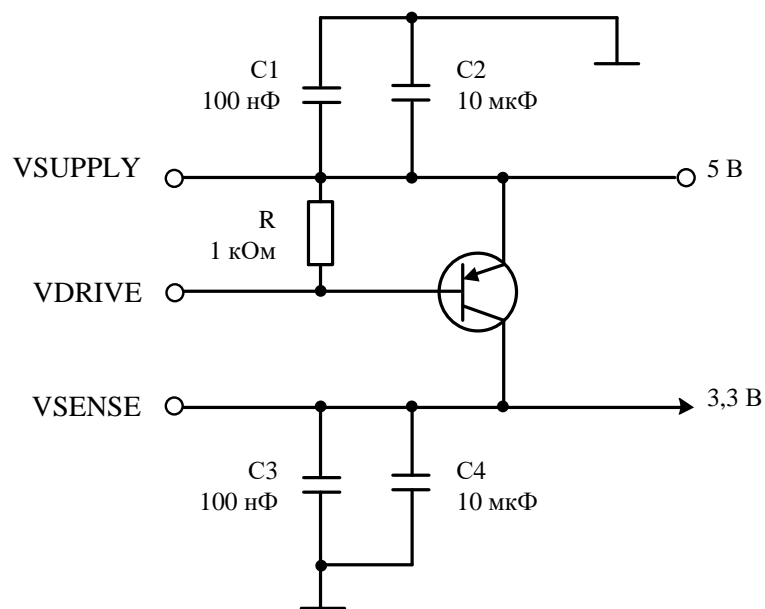


Рисунок 6.4 – Рекомендуемая схема стабилизатора на 3,3 В