

Ограничения процессора 1906BM016 REV4

1. Для внутрикристалльной памяти (OCRAM) всегда включено помехоустойчивое кодирование

Описание

Ни значение бита OCFT регистра FT_CTRL, ни состояние вывода CFG_FT_ENA не оказывают влияния на факт использования помехоустойчивого кодирования для области OCRAM.

Следствием этого является формирование системных прерываний при обращении к не инициализированным словам данных этой области даже в режиме с «отключенным» помехоустойчивым кодированием.

Например, код «*(char *)0xA0000000 = 0x12;» вызовет системное прерывание data_store_error (tt = 0x2B). Это произойдет, поскольку для выполнения операции будет использована последовательность чтение-модификация-запись. Высока вероятность, что на первом этапе при считывании слова данные и проверочные биты не будут соответствовать друг другу (поскольку в памяти, содержащей биты кода коррекции ошибок находятся «мусорные» значения).

Обращение чтения любого типа к неинициализированному слову вызовет системное прерывание data_access_exception (tt = 0x09)

Способы обхода:

- 1) Не использовать обращения к неинициализированным словам в OCRAM.
- 2) Однократно проинициализировать произвольным значением нужное слово данных, сегмент OCRAM или всю OCRAM целиком. Для этого подойдут 32-х или 64 битные обращения записи. К каждому слову данных (32 бит) при записи формируется проверочный код, на основе которого при считывании происходит исправление одиночных ошибок (исправляется 1 бит на 39-битовое кодовое слово) или сигнализация о неисправимой ошибке.

2. Некорректная обработка обращения за пределы OCRAM

Описание:

При обращении записи за границу внутрикристалльной памяти не формируется системное прерывание data_store_error (tt = 0x2B). При попытке считывания данных за пределами реализованной области OCRAM памяти не возникает системное прерывание data_access_exception (tt = 0x09).

Способ обхода:

Организовать контроль корректности адресов обращений OCRAM программными методами.

3. Биты MEM_CTRL.LIP и MEM_CTRL.LOP оказывают влияние только на область PROM

Описание:

Временная диаграмма операций записи в область IO будет содержать один такт lead-in и один такт lead-out. Установка битов MEM_CTRL.LIP и MEM_CTRL.LOP не

добавляет дополнительных тактов [lead-in] и [lead-out]. Данный факт может ограничить диапазон подходящих для подключения к области IO микросхем памяти.

Способы обхода:

1) Для области IO не использовать микросхемы, требующие для операций записи предустановки адреса или удержания данных на время превышающее такт системной частоты (за вычетом задержки на переключение управляющих сигналов на соответствующих выводах).

2) Снизить системную тактовую частоту, с расчетом на удовлетворение требований внешней памяти, подключаемой к области IO.

4. При частичной записи PSR перезаписывается поле CWP

Описание:

При частичной записи PSR (инструкция WRPSR с полем *rd* не равным 0) помимо записи значения бита ET перезаписывается и поле CWP. Некоторые значения исходных регистров (*rs1* и *rs2*) или константы *simml3* могут приводить к системному прерыванию `instruction_access_error`.

Способ обхода:

Не использовать частичную запись PSR. Если требуется только установка или сброс бита ET регистра `%psr`, то необходимо осуществлять данную операцию через алгоритм чтения-модификации-записи регистра `%psr`.

```
#define PSR_ET (1 << 5)
```

```
// Код, который установит бит ET регистра %psr:
```

```
rd %psr, %g1  
or %g1, PSR_ET, %g1  
wr %g1, %g0, %psr; nop; nop; nop
```

```
// Код, который сбросит бит ET регистра %psr:
```

```
rd %psr, %g1  
andn %g1, PSR_ET, %g1  
wr %g1, %g0, %psr; nop; nop; nop
```

В приведенных выше примерах инструкции «**nop**» могут быть заменены на любые инструкции, которые не изменяют поля регистра `%psr` или косвенно не используют значения этих полей. Например, SAVE, RESTORE, системные прерывания и RETT считывают и перезаписывают CWP, многие инструкции осуществляют запись `iss`. Инструкции ветвления `Wiss` и `Tiss` считывают поле `iss`, инструкция CALL неявно считывает CWP.

5. Паразитные переключения направленности шины SD

Описание:

На время выполнения записи в область PROM, IO или SRAM (на выводе READ низкий логический уровень сигнала) двунаправленная шина SD переходит в режим выхода, на шине выставляется `0x00000000_00000000`.

Способ обхода:

Если не планируется использовать память SDRAM, стоит оставить выводы SD[63:0] неподключенными. В качестве альтернативы можно притянуть каждый разряд шины SD[63:0] к 0.

6. Игнорирование неисправимых ошибок OCRAM при выполнении RMW

Способ обхода:

Не использовать 8- и 16-битные обращения записи в область OCRAM, которые всегда выполняются через алгоритм чтения-модификации-записи (RMW), см. ограничение 1.

7. Игнорирование неисправимых ошибок OCRAM при выполнении 64-разрядного доступа чтения

При работе с памятью OCRAM, аппаратная обратная перезапись исправленных данных (WriteBack) разрешена всегда. Обращение чтения разрядностью 64 бита (инструкция LDD) выполняется как одна транзакция по шине АНВ, состоящая из двух 32-битных обращений к памяти. Если в пределах транзакции была обнаружена и исправимая, и неисправимая ошибки, то такая транзакция будет обработана некорректно. Неисправимая ошибка игнорируется (не устанавливаются флаги модуля АНВSTAT, не формируется системное прерывание data_access_exception) и обратная запись выполняется данными с неисправимой ошибкой и рассчитанными для этих данных проверочными битами.

Способ обхода:

Не использовать инструкции 64-разрядного доступа чтения при работе с областью OCRAM, не размещать исполняемый код в области OCRAM (предвыборка инструкций – четыре 64-битных транзакции).

8. Возможна некорректная работа аппаратного механизма WriteBack для памяти типов PROM (для обоих вариантов ширины шины данных), SRAM, SDRAM

Стоит обратить внимание на то, что аппаратный механизм перезаписи исправленных данных (WriteBack) после сброса процессора разрешен для областей SRAM и SDRAM. Механизм WriteBack не рассчитан на работу с микросхемами Flash (программирование требует предварительного стирания и особого алгоритма подачи команд).

При активированном WriteBack, если в пределах транзакции контроллером внешней памяти обнаружена как исправимая, так и неисправимая ошибки, то следующее обращение считывания (выборка инструкций, чтение данных, чтение-модификация-запись) будет обработано некорректно (для области SDRAM условия возникновения уточняются). В область памяти, к которой принадлежит это обращение чтения, будет выполнено 32 записи по произвольному адресу с произвольными данными. После этого нежелательного поведения штатно генерируется соответствующее системное прерывание. В модуле регистров статуса АНВ (АНВSTAT), помимо бита NE (обнаружена новая ошибка), будет выставлен бит SE (обнаружена исправимая ошибка).

Под транзакцией понимается одно обращение по шине АНВ (от ядра к контроллерам памяти ведет шина данных 64-разрядной ширины). Некоторые транзакции

могут состоять из нескольких защищаемых кодом коррекции кодовых слов: предвыборка инструкций (четыре 64-битных транзакции); выполнение инструкции LDD или STD для SRAM, PROM в режиме 32-битной шины данных; выполнение любых обращений к PROM в режиме 8-битной шины данных кроме 8-битных. Именно сочетание исправимой и неисправимой ошибки в пределах одной транзакции и является условием возникновения некорректного поведения.

Способы обхода:

- 1) Запретить использование аппаратного механизма перезаписи исправленных данных:
 - a. исключен шанс возникновения данного сбоя;
 - b. исправимые ошибки могут накапливаться в памяти;
- 2) Заменить аппаратный WriteBack на программный:
 - a. исключен шанс возникновения данного сбоя;
 - b. снижается вероятность накопления исправимых ошибок в памяти, к которой выполняются периодические доступы чтения;
 - c. есть затраты на реализацию и использование обработчиков системных прерываний;
- 3) Использовать аппаратный WriteBack с возможностью возникновения некорректного поведения:
 - a. присутствует шанс возникновения данного сбоя;
 - b. снижается вероятность накопления исправимых ошибок в памяти, к которой выполняются периодические доступы чтения;
 - c. минимизируются затраты на корректировку исправимых ошибок;
 - d. есть затраты на минимизацию вероятности возникновения сбоя;
 - e. возможны проблемы при использовании Flash-памяти.

Пояснения к способу 2):

Для организации программного WriteBack необходимо в контроллере прерываний разрешить обработку прерываний от модуля АНВСТАТ (прерывание по линии 1), добавить в таблицу прерываний вызов обработчика прерываний соответствующей линии (системное прерывание `interrupt_level_1`). Содержимое регистров статуса АНВ (модуль АНВСТАТ) несет информацию о наличии ошибки, адрес и размер транзакции, содержащей ошибку. Для исправимых ошибок можно осуществлять считывание (в регистр/пару регистров процессора попадут уже исправленные данные) и обратную перезапись этих данных в память. Если кодом коррекции была обнаружена неисправимая ошибка, то произойдет одно из следующих системных прерываний: `instruction_access_error`, `data_access_exception`, `data_store_error`. Если детектирование неисправимой ошибки произошло в процессе предвыборки инструкций, то возникнет исключение `instruction_access_error`, если при осуществлении считывания данных – `data_access_exception`, если на этапе чтения при выполнении последовательности чтение-модификация-запись – `data_store_error`. Стоит отметить, что в каждом из обработчиков вышеперечисленных системных прерываний, если данные успешно были восстановлены из доверенного источника, нужно сбрасывать состояние регистра статуса АНВ. Это необходимо, чтобы в дальнейшем происходила корректная генерация системного прерывания `interrupt_level_1` при детектировании исправимой ошибки.

Пояснения к способу 3):

Если есть доверенный источник для восстановления прошивки/данных, и вероятность возникновения условий считается допустимо низкой (например, выполняются меры по минимизации накопления ошибок), то можно сознательно пойти на

использование реализованной системы WriteBack. При этом желательно предпринять шаги по уменьшению вероятности возникновения данного сбоя:

- Минимизировать количество 64-битных обращений считывания (инструкции LDD);
- Использовать кэш инструкций, что минимизирует количество предвыборок инструкций из памяти;
- Не использовать PROM в 8-битном режиме внешней шины данных, если она не построена на микросхемах однократно программируемой памяти;

При использовании аппаратного WriteBack системные прерывания «instruction_access_error» или «data_access_error», помимо факта обнаружения неисправимой ошибки в транзакции, могут свидетельствовать, что произошел ряд нежелательных записей по произвольным адресам. По любому из данных событий требуется проводить восстановление содержимого задействованных областей памяти программ/данных.

При использовании аппаратного WriteBack рекомендуется не использовать Flash в качестве PROM, поскольку сам факт выполнения записи в эту область будет переводить Flash из состояния чтения массива данных в состояние чтения регистров статуса микросхем внешней памяти.

Особенности процессора 1906BM016 REV4

1. Кэш инструкций игнорирует разметку областей кэшируемости

В отличие от кэша данных, кэш инструкций не подчиняется правилам разметки кэшируемости областей, приведенным в области plug & play шины АНВ. В кэш инструкций осуществляется предвыборка инструкций из любой области памяти вне зависимости от её расположения на шине АНВ. Например, код, исполняемый из областей IO или OGRAM, будет кэшироваться, не смотря на то, что области помечены как некэшируемые.

2. При обнаружении исправимой ошибки в пределах транзакции в модуле регистров статуса АНВ всегда устанавливается флаг исправимой ошибки

Под транзакцией понимается одно обращение по шине АНВ (от ядра к контроллерам памяти ведет шина данных 64-разрядной ширины). Некоторые транзакции могут состоять из нескольких защищаемых кодом коррекции кодовых слов: предвыборка инструкций (четыре 64-битных транзакции); выполнение инструкции LDD или STD для SRAM, PROM в режиме 32-битной шины данных; выполнение любых обращений к PROM в режиме 8-битной шины данных кроме 8-битных.

В модуле регистров статуса АНВ (АНВСТАТ) при обнаружении в пределах одной транзакции исправимой и неисправимой ошибок, помимо бита NE (обнаружена новая ошибка), будет выставлен бит SE (обнаружена исправимая ошибка). О том, что произошла неисправимая ошибка, будет свидетельствовать системное прерывание `instruction_access_error` (при выборке инструкций) или `data_access_exception` (при считывании данных).