

МИКРОСХЕМЫ ИНТЕГРАЛЬНЫЕ

1273НА074

**Руководство пользователя**

**2019**

## Содержание

1	Введение.....	4
2	Назначение.....	5
2.1	Основные характеристики микросхемы.....	6
2.2	Конструктивные характеристики микросхемы.....	6
2.3	Электрические характеристики микросхемы.....	10
3	Структурная схема и описание работы микросхемы.....	14
3.1	Рекомендуемые схемы подключения.....	14
3.2	Цифро-аналоговые преобразователи.....	16
3.3	Тактовые сигналы.....	17
3.4	Включение питания и сброс.....	20
3.5	Автономный режим.....	22
3.6	Порт управления I <sup>2</sup> C.....	23
3.7	Запись по I <sup>2</sup> C.....	24
3.8	Чтение по I <sup>2</sup> C.....	25
3.9	Порт управления SPI.....	26
3.10	Чтение и запись по SPI в пакетном режиме.....	27
3.11	Питание и опорное напряжение.....	28
3.12	Последовательный порт ввода данных.....	29
3.13	Режимы мультиплексирования с разделением по времени (TDM).....	30
3.14	Датчик температуры.....	32
4	Описание регистров управления.....	33
4.1	PLL_CLK_CTRL0 – регистр управления тактовым сигналом и схемой ФАПЧ.....	35
4.2	PLL_CLK_CTRL1 – регистр управления тактовым сигналом и схемой ФАПЧ.....	36
4.3	PDN_THRMSSENS_CTRL_1 – регистр управления датчиком температуры и управления питанием блоков.....	37
4.4	PDN_CTRL2 – регистр управления питанием каналов ЦАП.....	39
4.5	PDN_CTRL3 – регистр управления питанием каналов ЦАП.....	40
4.6	THRM_TEMP_STAT – регистр результата измерения температуры.....	40
4.7	DAC_CTRL0 - регистр управления.....	41
4.8	DAC_CTRL1 - регистр управления.....	42

4.9 DAC_CTRL2 - регистр управления.....	43
4.10 DAC_MUTE1 – регистр выключения звука каналов ЦАП.....	45
4.11 DAC_MUTE2 – регистр выключения звука каналов ЦАП.....	46
4.12 DACMSTR_VOL – регистр управления уровнем громкости всех каналов .....	46
4.13 DAC01_VOL – регистр управления уровнем громкости 1 канала ЦАП.....	47
4.14 DAC02_VOL – регистр управления уровнем громкости 2 канала ЦАП.....	47
4.15 DAC03_VOL – регистр управления уровнем громкости 3 канала ЦАП.....	47
4.16 DAC04_VOL – регистр управления уровнем громкости 4 канала ЦАП.....	48
4.17 DAC05_VOL – регистр управления уровнем громкости 5 канала ЦАП.....	48
4.18 DAC06_VOL – регистр управления уровнем громкости 6 канала ЦАП.....	48
4.19 DAC07_VOL – регистр управления уровнем громкости 7 канала ЦАП.....	49
4.20 DAC08_VOL – регистр управления уровнем громкости 8 канала ЦАП.....	49
4.21 DAC09_VOL – регистр управления уровнем громкости 9 канала ЦАП.....	49
4.22 DAC10_VOL – регистр управления уровнем громкости 10 канала ЦАП...	50
4.23 DAC11_VOL – регистр управления уровнем громкости 11 канала ЦАП...	50
4.24 DAC12_VOL – регистр управления уровнем громкости 12 канала ЦАП...	50
4.25 CM_SEL_PAD_STRGTH – регистр управления нагрузочной способностью цифровых выходов и вывода общей точки.....	51
4.26 DAC_POWER1 – регистр настройки потребляемой мощности каналов ЦАП.....	51
4.27 DAC_POWER2 – регистр настройки потребляемой мощности каналов ЦАП.....	52
4.28 DAC_POWER3 – регистр настройки потребляемой мощности каналов ЦАП.....	53
Заключение .....	59
Приложение А (обязательное) Термины, определения и буквенные обозначения параметров, неустановленные действующими стандартами.	60
Лист регистрации изменений .....	62

## **1 Введение**

Развитие цифровой техники и цифровых методов обработки сигналов определило современные тенденции в разработке самых разнообразных систем, устройств и приборов. Значительную роль в этих тенденциях занимает аналого-цифровое и цифро-аналоговое преобразование.

Цифро-аналоговый преобразователь (ЦАП) – это устройство для перевода цифровых данных в аналоговый сигнал.

Микросхемы ЦАП нашли широкое применение в усилителях звука, аудиокодеках, системах обработки видео, системах распознавания данных, системах калибровки датчиков, измерительных устройствах, системах управления двигателями, системах распределения данных, цифровых потенциометрах, системах цифровой связи и т. д.

Настоящее руководство пользователя содержит описание принципа работы и технические характеристики интегральной микросхемы 1273НА074 и другие сведения, необходимые для обеспечения полного использования технических возможностей микросхемы ЦАП.

## 2 Назначение

Интегральная схема 1273HA074 – это однокристалльный 12-канальный цифро-аналоговый преобразователь (ЦАП) для воспроизведения аудио сигналов. Микросхема включает в себя последовательный порт аудио данных, цифровые интерполирующие фильтры, аттенюаторы с логарифмической шкалой изменения уровня громкости, многоуровневые сигма-дельта ( $\Sigma$ - $\Delta$ ) модуляторы и усилительные каскады с дифференциальными выходами по напряжению.

Микросхема имеет интерфейсы SPI и I<sup>2</sup>C для управления режимами работы и установки уровня громкости каждого канала с помощью внешнего контроллера. В микросхеме 1273HA074 предусмотрен автономный режим работы без использования SPI и I<sup>2</sup>C, при котором настройки могут быть заданы с помощью внешних выводов.

Микросхема содержит схему фазовой автоподстройки частоты (ФАПЧ) для формирования внутренних тактовых сигналов. Тактовый сигнал может быть сформирован из сигнала кадровой синхронизации данных левого и правого канала (DLRCLK) или внешнего тактового сигнала от вывода MCLKI/ XTALI (вывод 63).

Напряжение питания аналоговой части микросхемы составляет 5 В, напряжение питания цифровой части – от 2,5 В, схемы ФАПЧ – от 2,5 В. Для получения необходимого напряжения питания цифровой части можно использовать интегрированный драйвер стабилизатора напряжения.

Интегральная схема 1273HA074 имеет датчик температуры кристалла. Чтобы измерить температуру или прочитать результат измерения, необходимо использовать интерфейсы управления.

Основные области применения микросхемы:

- профессиональные аудио устройства;
- домашние кинотеатры, автомобильные аудио системы;
- музыкальные сэмплеры, цифровые микшеры, цифровые процессоры аудио эффектов.

## **2.1 Основные характеристики микросхемы**

Основные характеристики микросхемы:

- напряжение питания цифровой части от 2,5 В;
- напряжение питания аналоговой части 5 В;
- тактовый сигнал внешний или формируемый при помощи схемы ФАПЧ;
- драйвер линейного стабилизатора с программируемым выходным напряжением для питания цифровой части;
- поддерживает разрядность входных данных до 24 бит и частоты дискретизации от 32 до 192 кГц;
- встроенный регулятор уровня громкости звука с автоматической плавной установкой;
- датчик температуры с цифровым выходом;
- управление по SPI и I<sup>2</sup>C;
- программное выключение звука с отсутствием щелчков;
- программное переключение в режим пониженного энергопотребления;
- гибкий последовательный порт ввода данных с поддержкой режима мультиплексирования входных данных с разделением по времени (TDM).

## **2.2 Конструктивные характеристики микросхемы**

Микросхема выполнена в 88-выводном металлокерамическом корпусе 4235.88-1.

Масса микросхемы – не более 4,5 г.

Условное графическое обозначение микросхемы приведено на рисунке 2.1.

Функциональное назначение выводов приведено в таблице 2.1.

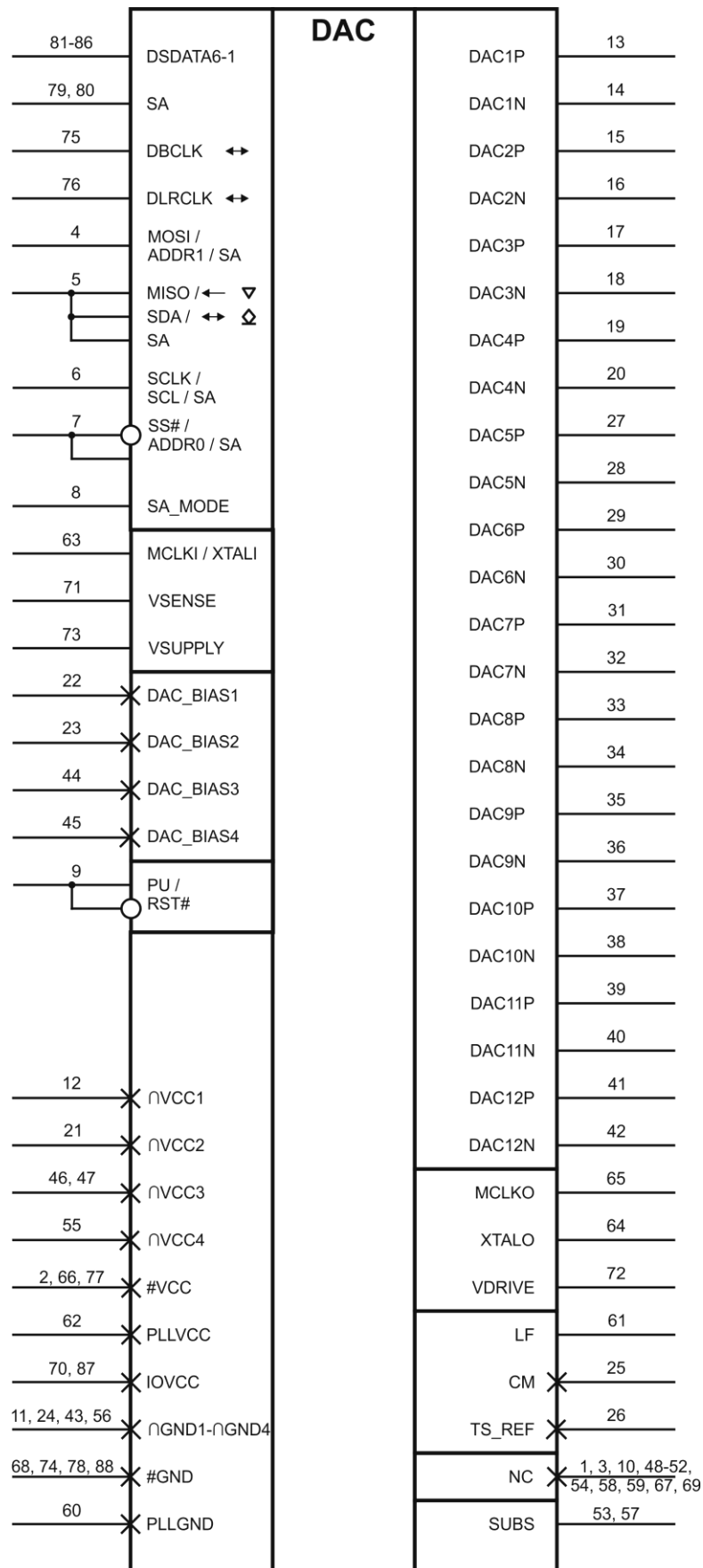


Рисунок 2.1 – Условное графическое обозначение микросхемы 1273HA074

Т а б л и ц а 2.1 – Функциональное назначение выводов микросхемы 1273НА074

Номер вывода	Обозначение вывода	Функциональное назначение	Тип вывода
1	2	3	4
68, 74, 78, 88	#GND	Цифровая земля	-
70, 87	IOVCC	Питание цифровых входных и выходных портов	-
71	VSENSE	Вывод подключения к выходу 2,5 В стабилизатора	I
72	VDRIVE	Вывод управления базой проходного транзистора	O
73	VSUPPLY	Вход подключения 5 В стабилизатора	I
75	DBCLK	Вход/выход тактового сигнала последовательной загрузки данных ЦАП	I/O
76	DLRCLK	Вход/выход сигнала кадровой синхронизации данных левого и правого каналов ЦАП	I/O
79, 80	SA	Вход выбора режима TDM (смотрите таблицу 3.4)	I
81	DSDATA6	Вход последовательного ввода данных для ЦАП 11 и ЦАП 12	I
82	DSDATA5	Вход последовательного ввода данных для ЦАП 9 и ЦАП 10	I
83	DSDATA4	Вход последовательного ввода данных для ЦАП 7 и ЦАП 8	I
84	DSDATA3	Вход последовательного ввода данных для ЦАП 5 и ЦАП 6	I
85	DSDATA2	Вход последовательного ввода данных для ЦАП 3 и ЦАП 4	I
86	DSDATA1	Вход последовательного ввода данных для ЦАП 1 и ЦАП 2	I
2, 66, 77	#VCC	Вход питания цифровой части	-
4	MOSI/ADDR1/SA	Вход управления данными (SPI)/ Адрес 1 (I <sup>2</sup> C)/ Автономный режим (SA_MODE)	I
5	MISO/ SDA/ SA	Выход управления данными (SPI) Вход/выход управления данными (I <sup>2</sup> C) Автономный режим (SA_MODE)	O/Z I/O/2 I
6	SCLK/SCL/SA	Вход последовательного тактового сигнала(SPI)/Вход управления тактовым сигналом (I <sup>2</sup> C))/Автономный режим (SA_MODE)	I
7	SS#/ADDR0/SA	Вход выбора режима ведомого (slave) (SPI) активный низкий логический уровень/Адрес 0 (I <sup>2</sup> C)/ Автономный режим (SA_MODE)	I
8	SA_MODE	Автономный режим	I
9	PU/RST#	Включение/Сброс	I
11	⊔GND1	Аналоговая земля	-
12	⊔VCC1	Вход питания аналоговой части	-



Продолжение таблицы 2.1

1	2	3	4
13	DAC1P	ЦАП 1 положительный выход	0
14	DAC1N	ЦАП 1 отрицательный выход	0
15	DAC2P	ЦАП 2 положительный выход	0
16	DAC2N	ЦАП 2 отрицательный выход	0
17	DAC3P	ЦАП 3 положительный выход	0
18	DAC3N	ЦАП 3 отрицательный выход	0
19	DAC4P	ЦАП 4 положительный выход	0
20	DAC4N	ЦАП 4 отрицательный выход	0
21	$\cap$ VCC2	Вход питания аналоговой части	-
22	DAC_BIAS1	Вывод подключения внешней фильтрующей емкости для $\cap$ VCC2	-
23	DAC_BIAS2	Вывод подключения внешней фильтрующей емкости для $\cap$ GND2	-
24	$\cap$ GND2	Аналоговая земля	-
25	CM	Вывод подключения внешней фильтрующей емкости для опорного источника напряжения к выводу $\cap$ GND2. Внутренний источник опорного напряжения может быть выключен с помощью регистра PLL_CLK_CTRL1, тогда вывод может управляться от внешнего источника напряжения	-
26	TS_REF	Вывод подключения внешней фильтрующей емкости для опорного источника напряжения к выводу $\cap$ GND2	-
27	DAC5P	ЦАП5 положительный выход	0
28	DAC5N	ЦАП5 отрицательный выход	0
29	DAC6P	ЦАП6 положительный выход	0
30	DAC6N	ЦАП6 отрицательный выход	0
31	DAC7P	ЦАП7 положительный выход	0
32	DAC7N	ЦАП7 отрицательный выход	0
33	DAC8P	ЦАП8 положительный выход	0
34	DAC8N	ЦАП8 отрицательный выход	0
35	DAC9P	ЦАП9 положительный выход	0
36	DAC9N	ЦАП9 отрицательный выход	0
37	DAC10P	ЦАП10 положительный выход	0
38	DAC10N	ЦАП10 отрицательный выход	0
39	DAC11P	ЦАП11 положительный выход	0
40	DAC11N	ЦАП11 отрицательный выход	0
41	DAC12P	ЦАП12 положительный выход	0
42	DAC12N	ЦАП12 отрицательный выход	0
43	$\cap$ GND3	Аналоговая земля	-
44	DAC_BIAS3	Вывод подключения внешней фильтрующей емкости для $\cap$ GND3	-
45	DAC_BIAS4	Вывод подключения внешней фильтрующей емкости для $\cap$ VCC3	-
46,47	$\cap$ VCC3	Вход питания аналоговой части	-

Окончание таблицы 2.1

1	2	3	4
55	∩VCC4	Вход питания аналоговой части	-
56	∩GND4	Аналоговая земля	-
60	PLLGND	PLL земля	-
61	LF	Вывод фильтра схемы ФАПЧ	О
62	PLLVCC	Вывод питания схемы ФАПЧ	-
63	MCLKI/XTALI	Вход главного тактового сигнала/вход кварцевого генератора	I
64	XTALO	Выход инвертора кварцевого генератора	О
65	MCLKO	Выход главного тактового сигнала	О
53, 57	SUBS	Технологический вывод корпуса	-
1, 3, 10, 48 - 52, 58, 59, 67, 69	NC	Не используется	-
Примечание – В графе «Тип вывода»: I – вход, O – выход, Z – выход с третьим состоянием, 2 – режим открытого стока.			

### 2.3 Электрические характеристики микросхемы

Электрические характеристики микросхем 1273HA074 при приемке и поставке приведены в таблице 2.2.

Значения предельно допустимых электрических режимов эксплуатации в диапазоне рабочих температур приведены в таблице 2.3.

Термины, определения, сокращения и буквенные обозначения параметров – по ОСТ В 11 0998-99, ГОСТ Р 57435-2017 и ГОСТ Р 57441-2017.

Термины, определения и буквенные обозначения параметров, неустановленные действующими стандартами, представлены в приложении А.

Т а б л и ц а 2.2 – Значения электрических параметров микросхемы 1273HA074 при приемке и поставке

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра		Темпера- тура среды, °С
		не менее	не более	
1	2	3	4	5
1 Выходное напряжение низкого уровня по выводам DBCLK, DLRCLK, MISO/SDA/SA, MCLKO, В, $U_{CC1} = 4,5 \text{ В}$ , $U_{CC2} = 3,0 \text{ В}$ , $U_{CC3} = 3,0 \text{ В}$ , $U_{CC4} = 3,0 \text{ В}$ , $I_{OL} = 1 \text{ мА}$	$U_{OL}$	–	0,4	–60 ± 3 25 ± 10 85 ± 3
2 Выходное напряжение высокого уровня по выводам DBCLK, DLRCLK, MISO/SDA/SA, MCLKO, В, $U_{CC1} = 4,5 \text{ В}$ , $U_{CC2} = 3,0 \text{ В}$ , $U_{CC3} = 3,0 \text{ В}$ , $U_{CC4} = 3,0 \text{ В}$ , $I_{OH} = -1 \text{ мА}$	$U_{OH}$	2,4	–	
3 Размах дифференциального выходного напряжения по выводам DAC1P – DAC1N, DAC2P – DAC2N, DAC3P – DAC3N, DAC4P – DAC4N, DAC5P – DAC5N, DAC6P – DAC6N, DAC7P – DAC7N, DAC8P – DAC8N, DAC9P – DAC9N, DAC10P – DAC10N, DAC11P – DAC11N, DAC12P – DAC12N, В, $U_{CC1} = 5,0 \text{ В}$ , $U_{CC2} = 3,3 \text{ В}$ , $U_{CC3} = 5,0 \text{ В}$ , $U_{CC4} = 3,3 \text{ В}$	$U_{PP}$	8	9	
4 Ток утечки низкого уровня по выводам DSDATA1, DSDATA2, DSDATA3, DSDATA4, DSDATA5, DSDATA6, SA, DBCLK, DLRCLK, MOSI/ADDR1/SA, MISO/SDA/SA, SCLK/SCL/SA, SS#/ADDR0/SA, SA_MODE, MCLKI/XTALI, PU/RST#, мкА, $U_{CC1} = 5,5 \text{ В}$ , $U_{CC2} = 3,6 \text{ В}$ , $U_{CC3} = 5,5 \text{ В}$ , $U_{CC4} = 3,6 \text{ В}$ , $U_{IL} = 0 \text{ В}$	$I_{ILL}$	–10	–	
5 Ток утечки высокого уровня по выводам DSDATA1, DSDATA2, DSDATA3, DSDATA4, DSDATA5, DSDATA6, SA, DBCLK, DLRCLK, MOSI/ADDR1/SA, MISO/SDA/SA, SCLK/SCL/SA, SS#/ADDR0/SA, SA_MODE, MCLKI/XTALI, PU/RST#, мкА, $U_{CC1} = 5,5 \text{ В}$ , $U_{CC2} = 3,6 \text{ В}$ , $U_{CC3} = 5,5 \text{ В}$ , $U_{CC4} = 3,6 \text{ В}$ , $U_{IH} = U_{CC3}$	$I_{IHH}$	–	10	

Окончание таблицы 2.2

1	2	3	4	5	
6 Динамический ток потребления от источника $U_{CC1}$ , мА, $U_{CC1} = 5,5$ В, $f_{CI\_MCLK} = 12,288$ МГц, $f_s = 48$ кГц	$I_{OCC1}$	–	80	–60 ± 3 25 ± 10 85 ± 3	
7 Динамический ток потребления от источника $U_{CC2}$ , мА, $U_{CC2} = 3,6$ В, $f_{CI\_MCLK} = 12,288$ МГц, $f_s = 48$ кГц	$I_{OCC2}$	–	40		
8 Динамический ток потребления от источника $U_{CC3}$ , мА, $U_{CC3} = 5,5$ В, $f_{CI\_MCLK} = 12,288$ МГц, $f_s = 48$ кГц	$I_{OCC3}$	–	10		
9 Динамический ток потребления от источника $U_{CC4}$ , мА, $U_{CC4} = 3,6$ В, $f_{CI\_MCLK} = 12,288$ МГц, $f_s = 48$ кГц	$I_{OCC4}$	–	10		
10 Погрешность усиления характеристики, % от полной шкалы, $U_{CC1} = 5,0$ В, $U_{CC2} = 3,3$ В	$E_G$	–10	10		
11 Погрешность смещения характеристики, мВ, $U_{CC1} = 5,0$ В, $U_{CC2} = 3,3$ В	$E_0$	–25	25		
12 Динамический диапазон, дБ, $U_{CC1} = 5,0$ В, $U_{CC2} = 3,3$ В, $\Delta f = (20$ Гц – 20 кГц), $f_s = 48$ кГц, уровень входного сигнала –60 dBFS	DNR	95	–		
13 Общие гармонические искажения плюс шум, $U_{CC1} = 5,0$ В, $U_{CC2} = 3,3$ В, $\Delta f = (20$ Гц – 20 кГц), $f_s = 48$ кГц, уровень входного сигнала –1 dBFS	THD+N	–	–75		
14 Функциональный контроль $U_{CC1} = (4,5; 5,5)$ В, $U_{CC2} = (3,0; 3,6)$ В, $U_{CC3} = (3,0; 5,5)$ В, $U_{CC4} = (2,25; 3,6)$ В, $f_{CI\_MCLK1} = (6,9; 40,5)$ МГц, $f_{CI\_MCLK2} = 27,1$ МГц, $f_{CI\_SCLK} = 10$ МГц, $f_{CI\_DBCLK} = 27$ МГц, $f_s = (32; 48; 192)$ кГц	ФК	–	–		
Примечания					
1 Нормы на электрические параметры приведены при условии: нагрузка выходов аудио 3,1 кОм.					
2 Параметры $I_{ILL}$ , $I_{ILH}$ при температуре минус 60 °С не измеряются, а гарантируются нормами при температуре (25 ± 10) °С.					
3 При измерении динамических токов потребления $f_{CI\_MCLK1} = f_s \times 256 = 48 \times 256 = 12288$ кГц = 12,288 МГц (в режиме PLL mode).					
4 Измерения динамического диапазона проводятся без фильтра (RMS).					
5 Измерения общих гармонических искажений плюс шум проводятся при всех работающих каналах.					
6 При функциональном контроле $f_{CI\_MCLK1} = f_s \times 256$ (в режиме PLL mode), $f_{CI\_MCLK1} = f_s \times 512$ (в режиме Direct).					

Т а б л и ц а 2.3 – Предельно допустимые и предельные режимы эксплуатации микросхемы 1273HA074

Наименование параметра режима, единица измерения	Буквенное обозначен ие параметра	Предельно допустимый режим		Предельный режим	
		не менее	не более	не менее	не более
1	2	3	4	5	6
1 Напряжение питания по выводам $\cap$ VCC, В	U <sub>CC1</sub>	4,5	5,5	-0,3	5,5
2 Напряжение питания по выводам #VCC, В	U <sub>CC2</sub>	3,0	3,6	-0,3	3,6
3 Напряжение питания по выводам IOVCC В	U <sub>CC3</sub>	3,0	5,5	-0,3	5,5
4 Напряжение питания по выводу PLLVCC, В	U <sub>CC4</sub>	2,25	3,6	-0,3	3,6
5 Входное напряжение по выводу VSUPPLY, В	U <sub>I</sub>	3,0	5,5	-0,3	6,0
6 Входное напряжение низкого уровня по выводам DSDATA1, DSDATA2, DSDATA3, DSDATA4, DSDATA5, DSDATA6, SA, DBCLK, DLRCLK, MOSI/ADDR1/SA, MISO/SDA/SA, SCLK/SCL/SA, SS#/ADDR0/SA, SA_MODE, MCLKI/XTALI, PU/RST#, В	U <sub>IL</sub>	0	0,8	-0,3	-
7 Входное напряжение высокого уровня по выводам DSDATA1, DSDATA2, DSDATA3, DSDATA4, DSDATA5, DSDATA6, SA, DBCLK, DLRCLK, MOSI/ADDR1/SA, MISO/SDA/SA, SCLK/SCL/SA, SS#/ADDR0/SA, SA_MODE, MCLKI/XTALI, PU/RST#, В	U <sub>IH</sub>	2,5	U <sub>CC3</sub>	-	U <sub>CC3</sub> + 0,3
8 Выходной ток низкого уровня по выводам DBCLK, DLRCLK, MISO/SDA/SA, MCLKO, мА	I <sub>OL</sub>	-	1	-	-
9 Выходной ток высокого уровня по выводам DBCLK, DLRCLK, MISO/SDA/SA, MCLKO, мА	I <sub>OH</sub>	-1	-	-	-
10 Частота следования импульсов тактовых сигналов MCLK в режиме PLL mode (256×f <sub>s</sub> ), МГц	f <sub>CL_MCLK1</sub>	6,9	40,5	-	-
11 Частота следования импульсов тактовых сигналов MCLK в режиме Direct (512×f <sub>s</sub> ), МГц	f <sub>CL_MCLK2</sub>	-	27,1	-	-
12 Частота следования импульсов тактовых сигналов SCLK, МГц	f <sub>CL_SCLK</sub>	-	10	-	-
13 Частота следования импульсов тактовых сигналов DBCLK в режиме PLL mode (256×f <sub>s</sub> ), МГц	f <sub>CL_DBCLK</sub>	-	27	-	-

### Окончание таблицы 2.3

1	2	3	4	5	6
14 Частота дискретизации, кГц	$f_s$	32	192	–	–

Примечание – Время работы в одном из предельных режимов должно быть не более 5 с.

## 3 Структурная схема и описание работы микросхемы

Структурная схема ИС 1273НА074 представлена на рисунке 3.1.

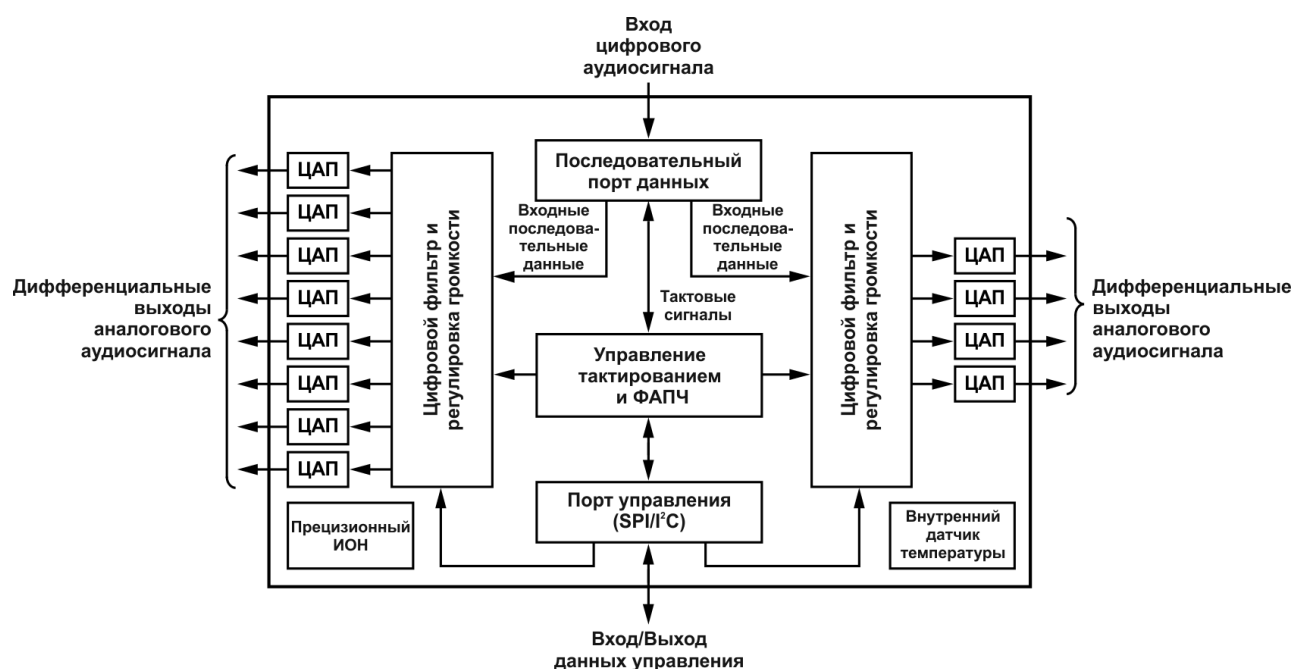


Рисунок 3.1 - Структурная схема микросхемы 1273НА074

Микросхема поддерживает работу с аудио данными, представленными в дополнительном коде, разрядностью 16 бит и 24 бита, с частотой от 32 до 192 кГц. Последовательный порт ввода данных имеет восемь линий данных (по два канала ЦАП на каждую линию), общий сигнал кадровой синхронизации (DLRCLK) и общий тактовый сигнал последовательной загрузки данных (DBCLK). В 1273НА074 предусмотрен режим мультиплексирования входных данных с разделением по времени (TDM), при котором данные нескольких каналов могут быть переданы по одной линии данных (до 12 каналов).

### 3.1 Рекомендуемые схемы подключения

Рекомендуемые схемы подключения показаны на рисунках 3.2 – 3.5. Контурные фильтры для режимов синхронизации схемы ФАПЧ от сигналов

DLRCLK и MCLKI/XTALI показаны на рисунке 3.2. Выходные фильтры для дифференциальных выходов ЦАП показаны на рисунках 3.3 и 3.5.

Схема внешнего стабилизатора показана на рисунке 3.4.

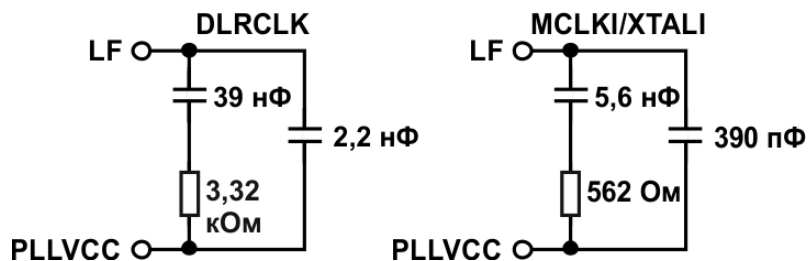


Рисунок 3.2 - Контурные фильтры для режимов синхронизации схемы ФАПЧ от сигналов DLRCLK и MCLKI/XTAL

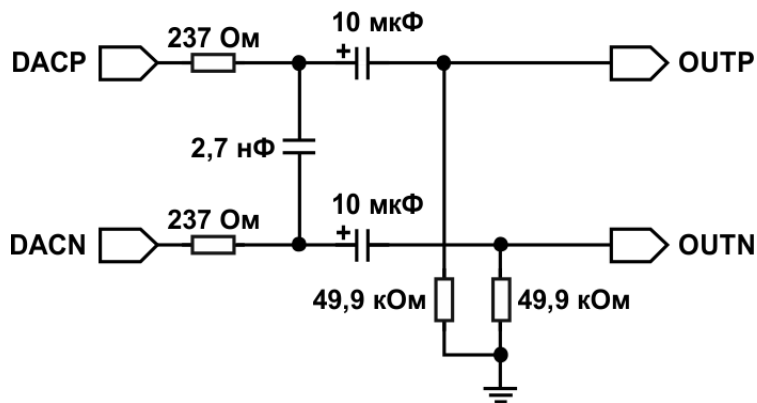


Рисунок 3.3 - Выходной пассивный фильтр

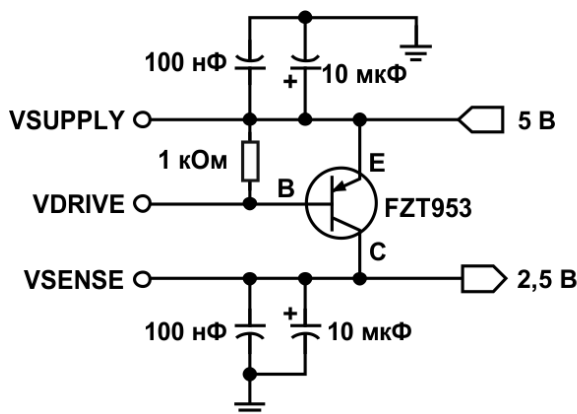


Рисунок 3.4 - Схема внешнего стабилизатора

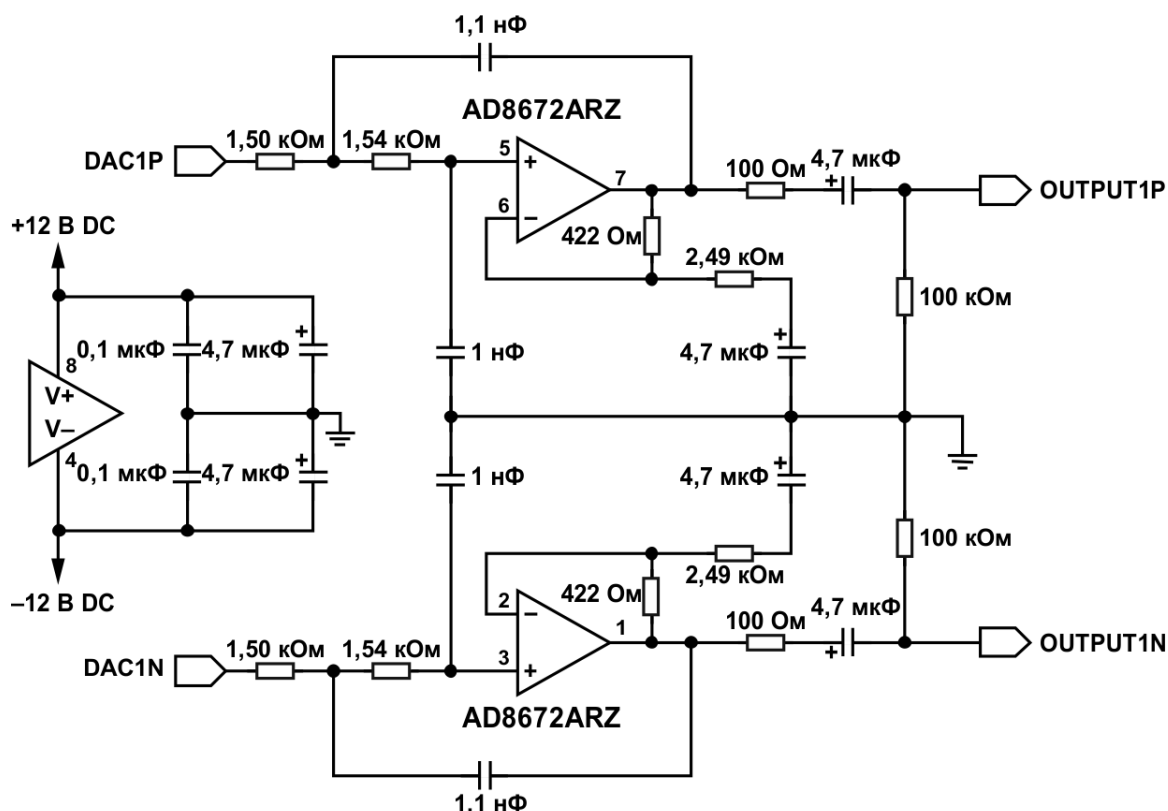


Рисунок 3.5 - Выходной активный фильтр Бесселя второго порядка

### 3.2 Цифро-аналоговые преобразователи

Микросхема 1273НА074 имеет 12 дифференциальных каналов ЦАП с выходами по напряжению. Каналы ЦАП имеют встроенные цифровые интерполирующие фильтры с ослаблением сигнала в полосе задерживания 68 дБ, линейной ФЧХ. Каждый канал имеет свой независимый программируемый аттенюатор, с диапазоном регулировки 256 шагов по 0,375 дБ.

Микросхема 1273НА074 имеет режим малой задержки распространения сигнала. Этот режим доступен при  $f_s = 192$  кГц и включается с помощью битов [2:1] регистра DAC\_CTRL0. Установив эти разряды в 0b11, задержку распространения можно уменьшить до 10 мкс. Более короткая задержка достигается за счет уменьшения тракта цифровой фильтрации. Выбор этого режима оказывает негативное влияние: уменьшается полоса пропускания в области звуковых частот и возрастает уровень шумов.

Каждый аналоговый выход в номинальном режиме имеет уровень постоянной составляющей 2,25 В. Дифференциальный сигнал имеет размах



$\pm 2,12$  В выше и ниже значения  $2,25$  В. Максимальный размах дифференциального выходного сигнала  $8,48$  В.

К дифференциальным аналоговым выходам требуется подключить фильтр, как показано на рисунках 3.3 и 3.5.

В микросхеме 1273HA074 предусмотрена функция управления аналоговыми характеристиками ЦАП. Поэтому можно программировать регистры для уменьшения потребляемой мощности за счет снижения уровней SNR и THD + N. Пониженное энергопотребление происходит за счет изменения внутренних токов смещения.

Регистры DAC\_POWER1 - DAC\_POWER4 используются для установки четырех режимов потребляемой мощности, индивидуально для каждого из 12 каналов (см. таблицу 3.1).

Т а б л и ц а 3.1 - Режимы потребляемой мощности и изменение качества выходного сигнала

Установки регистра	Лучшее качество сигнала	Хорошее качество сигнала	Низкое потребление	Минимальное потребление
Динамический ток потребления от источника $U_{CC1}$	84 мА	75 мА	66 мА	56 мА
Отношение сигнал/шум	0 дБ	-0,2 дБ	-1,5 дБ	-14,2 дБ
THD + N (уровень сигнала -1 дБ от полной шкалы )	0 дБ	-1,8 дБ	-3,0 дБ	-5,8 дБ

Для общего контроля потребляемой мощности всех каналов, могут использоваться биты [7:6] регистра PLL\_CLK\_CTRL1.

### 3.3 Тактовые сигналы

При включении питания и установке высокого логического уровня на выводе PU/RST# микросхема начинает работу в автономном режиме или в режиме программирования, в зависимости от уровня сигнала на выводе SA\_MODE. Тактирование микросхемы в автономном режиме описано в разделе 3.5.

По умолчанию микросхема находится в режиме программирования, выходы DLRCLK и DBCLK находятся в режиме ведомого (slave). Для работы микросхемы 1273HA074 необходимо подать группу сигналов: MCLK, DLRCLK, DBCLK.

Программирование регистров PLL\_CLK\_CTRL0, PLL\_CLK\_CTRL1 разрешается только после установления высокого логического уровня на выводе PU/RST# (вывод 9).

При подаче тактового сигнала на вывод MCLKI/XTALI (вывод 63) с частотой  $256\times$ ,  $384\times$ ,  $512\times$  или  $768\times f_s$  (относительно  $f_s = 48$  кГц) нужно выбрать встроенную на кристалле схемы ФАПЧ в качестве источника главного тактового сигнала. Для этого надо установить биты выбора главного тактового сигнала (MCS), как показано в таблице 3.3.

По умолчанию микросхема 1273HA074 находится в режиме  $256 \times f_s$  (биты MCS регистра PLL\_CLK\_CTRL0 установлены в 0b00),  $f_s = 48$  кГц (биты FS регистра DAC\_CTRL0 установлены в 0b00), тогда частота главного тактового сигнала должна быть равна 12,288 МГц. Чтобы перейти в режим с частотой дискретизации  $f_s = 96$  кГц при той же частоте главного тактового сигнала, необходимо установить биты FS регистра DAC\_CTRL0 в 0b01. Аналогичным образом можно установить режим с частотой дискретизации  $f_s = 192$  кГц.

В режиме по умолчанию встроенная схема ФАПЧ генерирует внутренний тактовый сигнал из внешнего тактового сигнала. Сигнал сброса активирует схему ФАПЧ, для этого не требуется запись в регистры через интерфейс I<sup>2</sup>C или SPI в нормальном режиме работы. При включенной схеме ФАПЧ среднеквадратичное значение ошибки временного интервала джиттера не превышает 300 пс.

Т а б л и ц а 3.2 – Выбор частоты главного тактового сигнала и частоты дискретизации

Выбор частоты дискретизации (биты FS регистра DAC_CTRL0)	Выбор частоты главного тактового сигнала (биты MCS регистра PLL_CLK_CTRL0)							
	MCS = b00		MCS = b01		MCS = b10		MCS = b11	
	Отношение	MCLK, МГц	Отношение	MCLK, МГц	Отношение	MCLK, МГц	Отношение	MCLK, МГц
32 кГц, FS = b00	$256 \times f_s$	8,192	$384 \times f_s$	12,288	$512 \times f_s$	16,384	$768 \times f_s$	24,576
44,1 кГц, FS = b00	$256 \times f_s$	11,2896	$384 \times f_s$	16,9344	$512 \times f_s$	22,5792	$768 \times f_s$	33,8688
48 кГц, FS = b00	$256 \times f_s$	12,288	$384 \times f_s$	18,432	$512 \times f_s$	24,576	$768 \times f_s$	36,864
64 кГц, FS = b01	$128 \times f_s$	8,192	$192 \times f_s$	12,288	$256 \times f_s$	16,384	$384 \times f_s$	24,576
88,2 кГц, FS = b01	$128 \times f_s$	11,2896	$192 \times f_s$	16,9344	$256 \times f_s$	22,5792	$384 \times f_s$	33,8688
96 кГц, FS = b01	$128 \times f_s$	12,288	$192 \times f_s$	18,432	$256 \times f_s$	24,576	$384 \times f_s$	36,864
128 кГц, FS = b10 или FS = b11	$64 \times f_s$	8,192	$96 \times f_s$	12,288	$128 \times f_s$	16,384	$192 \times f_s$	24,576
176,4 кГц, FS = b10 или FS = b11	$64 \times f_s$	11,2896	$96 \times f_s$	16,9344	$128 \times f_s$	22,5792	$192 \times f_s$	33,8688
192 кГц, FS = b10 или FS = b11	$64 \times f_s$	12,288	$96 \times f_s$	18,432	$128 \times f_s$	24,576	$192 \times f_s$	36,864

Когда схема ФАПЧ отключена, нужно использовать независимый кварцевый генератор для формирования главного тактового сигнала.

При использовании ИС 1273HA074 в режиме непосредственной подачи главного тактового сигнала, нужно выключить схему ФАПЧ с помощью регистра PDN\_THRMSSENS\_CTRL\_1. В этом режиме нужно подать тактовый сигнал с частотой  $512 \times f_s$  (относительно  $f_s = 48$  кГц) на вывод MCLKI, и установить бит CLK\_SEL регистра PLL\_CLK\_CTRL1 в 0b1.

Схема ФАПЧ в микросхеме 1273HA074 может быть запрограммирована в режим синхронизации от внешнего сигнала DLRCLK без внешнего главного тактового сигнала. Если установить биты PLLIN

регистра PLL\_CLK\_CTRL0 в 0b01 и подключить требуемый контурный фильтр к выводу LF (см. рисунок 3.2), то схема ФАПЧ будет генерировать все необходимые для работы внутренние тактовые сигналы без использования внешнего главного тактового сигнала. Этот режим уменьшает количество высокочастотных сигналов в конструкции и уменьшает электромагнитные помехи.

Так же можно уменьшить излучение электромагнитных помех схемы при использовании внутреннего тактового сигнала последовательной загрузки данных путем установки бита BCLK\_GEN в регистре DAC\_CTRL1 в 0b1.

Для тактирования внешних устройств можно использовать сигнал MCLKO (вывод 65). Режим работы сигнала MCLKO устанавливается битами [5:4] регистра PLL\_CLK\_CTRL1. По умолчанию значение битов 0b10, на выводе 65 действует буферизированный сигнал MCLKI.

Значение битов 0b00 устанавливает частоту сигнала MCLKO в диапазоне от 4 до 6 МГц. Значение 0b01 устанавливает частоту сигнала MCLKO – в диапазоне от 8 до 12 МГц. Значение тактовой частоты автоматически масштабируется относительно частоты сигнала MCLKI (вывод 63).

**Пример 1** – Биты установлены в 0b00, частота сигнала MCLKI имеет значение 8,192 МГц, тогда на выходе MCLKO (вывод 65) будет сигнал с частотой  $(8,192/2) = 4,096$  МГц.

**Пример 2** – Биты установлены в 0b01, частота сигнала MCLKI имеет значение 36,864 МГц, тогда на выходе MCLKO (вывод 65) будет сигнал с частотой  $(36,864/3) = 12,288$  МГц.

### **3.4 Включение питания и сброс**

Последовательность подачи напряжения питания:

- подать напряжение питания аналоговой части микросхемы на выводы  $\cap VCC$  (выводы 12, 21, 46, 47, 55);
- подать напряжение питания входных и выходных портов на выводы IOVCC (вывод 70, 87);
- только после установления напряжения на выводах  $\cap VCC$  и IOVCC подается напряжение питания на выводы #VCC (выводы 2, 67, 77) (при

использовании внутреннего линейного стабилизатора это условие выполняется по умолчанию);

- во время установления всех напряжений питания микросхемы, на вывод PU/RST# (вывод 9) должен подаваться низкий уровень. После установления всех напряжений питания необходимо установить высокий логический уровень на выводе PU/RST# (вывод 9) (для этого можно использовать простую RC цепь).

Низкий уровень сигнала PU/RST# переводит микросхему в состояние низкого энергопотребления (менее 3,0 мкА), блокируя функционирование микросхемы до подачи высокого логического уровня сигнала PU/RST#. После подачи высокого логического уровня на этот вывод, микросхеме требуется 300 мс для перехода в рабочее состояние.

Для начала работы с микросхемой необходимо установить бит PUP регистра PLL\_CLK\_CTRL0 в 0b1. Бит PUP используется для отключения питания микросхемы. Установка бита PUP в 0b0 переводит микросхему в режим ожидания, сохраняя при этом настройки всех регистров. Кроме того, для отключения отдельных блоков микросхемы можно использовать биты управления питанием в регистре PDN\_THRMSSENS\_CTRL1.

После установки бита PUP, необходимо установить бит MMUTE регистра DAC\_CTRL0 в 0b0 для включения звука всех каналов.

Бит SOFT\_RST в регистре PLL\_CLK\_CTRL0 устанавливает во всех регистрах управления значения по умолчанию, кроме регистров PLL\_CLK\_CTRL0 и PLL\_CLK\_CTRL1. Бит SOFT\_RST не выключает аналоговые выходы, и переключение этого разряда не дает слышимых звуковых щелчков.

Последовательность включения микросхемы 1273HA074:

- подать напряжения питания на микросхему 1273HA074, как было описано выше;

- подать на вывод PU/RST# высокий логический уровень после того, как источники питания стабилизируются;

- установить бит PUP в 0b1;

- запрограммировать нужные регистры для обеспечения требуемого режима работы;

- установить бит MMUTE в 0b0, чтобы включить звук на всех каналах.

### 3.5 Автономный режим

Микросхема 1273HA074 может работать без управления по интерфейсам I<sup>2</sup>C или SPI. Такой автономный режим можно задать, установив на выводе SA\_MODE уровень напряжения IOVCC. Все регистры имеют значения по умолчанию, задание режимов осуществляется с помощью внешних выводов (смотрите таблицу 3.3).

Т а б л и ц а 3.3 - Настройки автономного режима

Номер вывода	Значение логического уровня	Режим работы микросхемы
4	0	Режим ведущего (master) последовательного интерфейса аудиоданных
	1	Режим ведомого (slave) последовательного интерфейса аудиоданных
5	0	MCLKI = 256 × f <sub>s</sub> , схема ФАПЧ включена
	1	MCLKI = 384 × f <sub>s</sub> , схема ФАПЧ включена
6	0	Должен быть установлен в 0
7	0	Формат данных последовательного интерфейса - I <sup>2</sup> S
	1	Режим TDM последовательного интерфейса задается выводами 79 и 80
Примечания		
1. Высокий логический уровень соответствует подключению к IOVCC.		
2. Низкий логический уровень соответствует подключению к #GND.		

Для установки режима TDM последовательного интерфейса в автономном режиме работы, нужно подать высокий уровень (уровень напряжения IOVCC) на вывод 7. В таблице 3.4 показаны доступные настройки режима TDM, установка этих режимов происходят путем подключения выводов SA (выводы 79, 80) к выводам #GND или IOVCC.

После включения микросхемы 1273HA074 в автономном режиме и установки PU/RST# в высокий уровень, на выводе MCLKO действует буферизированный сигнал MCLKI.

Т а б л и ц а 3.4 - Режимы TDM

Номер вывода	Значения логического уровня	Режим работы микросхемы
80:79	00	TDM4: DLRCLK импульс
	01	TDM8: DLRCLK импульс
	10	TDM16: DLRCLK импульс
	11	TDM8: DLRCLK 50 % коэффициент заполнения
Примечания		
1. Высокий логический уровень соответствует подключению к IOVCC.		
2. Низкий логический уровень соответствует подключению к #GND.		

### 3.6 Порт управления I<sup>2</sup>C

Микросхема 1273HA074 имеет порт управления, совместимый с I<sup>2</sup>C, который позволяет осуществлять программирование и чтение данных внутренних регистров управления микросхемы. Интерфейс I<sup>2</sup>C в микросхеме 1273HA074 – двухпроводный, состоящий из линии тактового сигнала SCL (вывод 6) и линии данных SDA (вывод 5).

Линия SDA является двунаправленной. Микросхема передает данные по SDA либо для подтверждения приема данных от ведущего (master) устройства (сигнал ACK), либо во время операции чтения. Линия SDA в режиме порта I<sup>2</sup>C имеет конфигурацию с открытым стоком, которая требует внешний подтягивающий к высокому логическому уровню резистор сопротивлением 2 кОм. Операция записи или чтения начинается, когда линия SDA переключается в низкий логический уровень при высоком уровне на линии SCL, как показано на рисунках 3.6 и 3.7.

Изменение сигнала SDA разрешено только при низком уровне сигнала SCL, за исключением тех случаев, когда возникает условие «СТАРТ» или «СТОП», как показано на рисунках 3.6 и 3.7. Первые 8 бит слова данных состоят из адреса устройства и бита чтения/записи R/W#. Адрес устройства состоит из внутреннего встроенного адреса (0x04) и адреса, заданного двумя выводами 4 (ADDR1) и 7 (ADDR0) (см. таблицу 3.5).

Т а б л и ц а 3.5 - Адреса I<sup>2</sup>C

ADDR1	ADDR0	Адреса ведомого (slave)
0	0	0x04
0	1	0x24
1	0	0x44
1	1	0x64

### 3.7 Запись по I<sup>2</sup>C

Два разряда адреса позволяют использовать в системе четыре микросхемы 1273HA074. Инициализация операции записи в микросхеме включает в себя следующие шаги (см. рисунок 3.6):

- отправка условия «СТАРТ»;
- отправка адреса устройства с установкой бита R/W# в низкий логический уровень. Микросхема отвечает сигналом подтверждения, чтобы сообщить об адресации к устройству;
- отправка второго кадра, указывающего микросхеме в какой регистр должна быть сделана запись. Микросхема передает второй сигнал подтверждения;
- отправка третьего кадра с восемью разрядами данных, которые необходимо записать в регистр. Микросхема передает третий сигнал подтверждения;
- отправка условия «СТОП» для завершения передачи данных.

Т а б л и ц а 3.6 - Запись одиночного слова данных по I<sup>2</sup>C

S	Адрес ИС, R/W# = 0	AS	Адрес регистра	AS	Слово данных	AS	P
Примечание – S - Стартовый бит, P - Стоповый бит, AM - Подтверждение от ведущего (master), AS - Подтверждение от ведомого (slave).							

Т а б л и ц а 3.7 - Запись данных в пакетном режиме по I<sup>2</sup>C

S	Адрес ИС, R/W# = 0	AS	Адрес регистра	AS	Слово данных 1	AS	Слово данных 2	AS	Слово данных N	AS	P
Примечание – S - Стартовый бит, P - Стоповый бит, AM - Подтверждение от ведущего (master), AS - Подтверждение от ведомого (slave).											

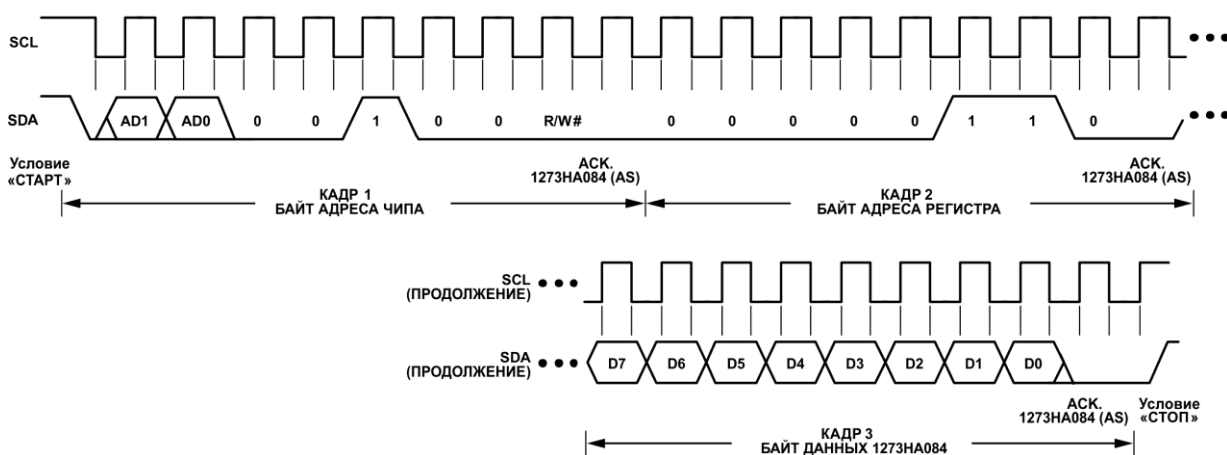


Рисунок 3.6 - Формат записи по I<sup>2</sup>C



### 3.8 Чтение по I<sup>2</sup>C

Для выполнения операции чтения требуется сначала произвести запись, чтобы указать нужный регистр, а после этого выполнить чтение данных. Для этого нужно выполнить следующие шаги (см. рисунок 3.7):

- отправка условия «СТАРТ», за которым следует кадр адреса устройства с низким уровнем бита R/W#. и кадр адреса регистра. Микросхема отвечает сигналом подтверждения;

- повторная отправка условия «СТАРТ». Далее следует кадр адреса устройства с высоким уровнем бита R/W#. В следующем кадре микросхема выводит данные регистра на линию SDA;

- отправка условия «СТОП» для завершения операции чтения.

Т а б л и ц а 3.8 - Чтение одиночного слова данных по I<sup>2</sup>C

S	Адрес ИС, R/W# = 0	AS	Адрес регистра	AS	S	Адрес ИС, R/W# = 1	AS	Слово данных	AM	P
Примечание – S - Стартовый бит, P - Стоповый бит, AM - Подтверждение от ведущего (master), AS - Подтверждение от ведомого (slave).										

Т а б л и ц а 3.9 - Чтение данных в пакетном режиме по I<sup>2</sup>C

S	Адрес ИС, R/W# = 0	A S	Адрес регистр а	A S	S	Адрес ИС, R/W# = 1	A S	Слово данных 1	A M	Слово данных 2	A M	Слово данных N	A M	P
Примечание – S - Стартовый бит, P - Стоповый бит, AM - Подтверждение от ведущего (master), AS - Подтверждение от ведомого (slave).														

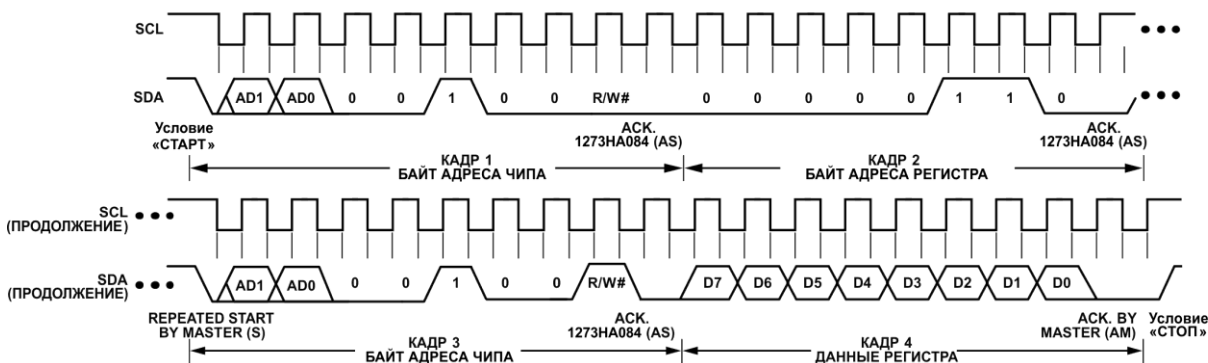


Рисунок 3.7 - Формат чтения по I<sup>2</sup>C

### 3.9 Порт управления SPI

Микросхема 1273HA074 имеет порт управления SPI, который позволяет осуществлять программирование и чтение данных внутренних регистров управления.

По умолчанию микросхема находится в режиме I<sup>2</sup>C. Чтобы войти в режим управления по SPI, нужно выполнить три пустые операции записи через порт SPI (микросхема не дает подтверждения для этих трех операций), как показано на рисунке 3.8. Начиная с четвертого цикла записи данные могут быть записаны или считаны из микросхемы. Микросхема может выйти из режима управления по SPI только по сигналу PU/RST#, который инициализируется при подаче питания на микросхему.

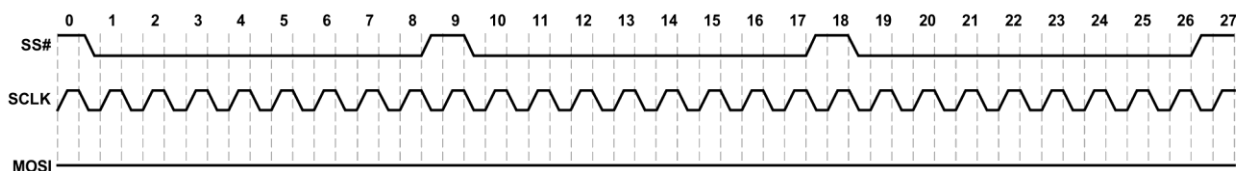


Рисунок 3.8 - Последовательность сигналов для инициализации порта SPI

Порт управления по SPI микросхемы – это 4-проводный последовательный интерфейс. Информация передается в виде 24-разрядных слов данных. Сигналы SS# и SCLK могут быть асинхронны относительно частоты дискретизации микросхемы. В таблице 3.10 показан формат байта адреса при использовании SPI.

Первый байт слова данных является глобальным адресом чипа с битом чтения/записи. Для микросхемы адрес 0x06 сдвинут влево на один разряд из-за бита R/W#. Второй байт – это адрес регистра микросхемы, третий байт – это данные (рисунки 3.9 и 3.10).

Т а б л и ц а 3.10 - Формат байта адреса чипа с битом R/W#

Разряд 0	Разряд 1	Разряд 2	Разряд 3	Разряд 4	Разряд 5	Разряд 6	Разряд 7
0	0	0	0	1	1	0	R/W#



Рисунок 3.9 - Временная диаграмма сигналов при операции записи по SPI

Во время операции чтения из микросхемы вывод MISO/SDA/SA находится в третьем состоянии до начала третьего байта, когда на вывод поступают данные (см. рисунок 3.10). Вывод MISO/SDA/SA находится в третьем состоянии на протяжении всего остального времени, что позволяет подключить его к шине, соединяющий несколько устройств.

Младший бит первого байта при передаче данных по SPI - это разряд R/W#. Он определяет операцию чтения (логический уровень 1) или записи (логический уровень 0). См. таблицу 3.10.



Рисунок 3.10 - Временная диаграмма сигналов при операции чтения по SPI

### 3.10 Чтение и запись по SPI в пакетном режиме

Через порт SPI можно осуществлять чтение и запись в пакетном режиме. Это делается путем отправки байта с адресом чипа с битом R/W#, далее выполняется отправка первого адреса регистра, в который будет производиться запись или чтение. Далее, до тех пор, пока удерживается низкий уровень сигнала SS# (вывод 7), регистры могут быть последовательно считаны или записаны, при подаче тактового сигнала SCLK.

Для программирования регистров по SPI в пакетном режиме нужно выполнить следующие действия:

- отправка байта адреса с битом R/W#, равного логическому нулю (операция записи);
- отправка адреса первого регистра;
- отправка значений регистров;

- переключение вывода SS# (вывод 7) для окончания передачи;
- чтение в пакетном режиме для того, чтобы убедиться, что запись регистров прошла успешно.

### **3.11 Питание и опорное напряжение**

Напряжение питания аналоговой части микросхемы 5,0 В, напряжение питания цифровой части от 2,5 В, напряжение питания цифровых входных и выходных портов 3,3 В или 5,0 В.

Для защиты микросхемы от помех в цепи питания надо шунтировать выводы питания микросхемы керамическими чип конденсаторами емкостью 100 нФ, расположенными как можно ближе к выводам. Также нужно установить электролитические конденсаторы, емкостью не менее 22 мкФ для каждой шины питания.

Микросхема 1273HA074 включает в себя драйвер линейного стабилизатора, которому требуется внешний силовой транзистор и шунтирующий конденсатор для построения стабилизатора с программируемым выходным напряжением (биты VREG\_CTRL регистра DAC\_CTRL2). Рекомендуемая схема стабилизатора показана на рисунке 3.4.

Если драйвер стабилизатора не используется, то нужно подключить выводы VSUPPLY и VDRIVE к выводам #GND и оставить вывод VSENSE неподключенным.

Все цифровые входы и выходы совместимы с логическими уровнями ТТЛ и КМОП.

Внутреннее опорное напряжение датчика температуры выводится на вывод TS\_REF. К этому выводу необходимо подключить конденсаторы емкостью 10 мкФ и 100 нФ, соединенными параллельно как можно ближе к микросхеме.

Схема внутреннего источника опорного напряжения (ИОН), основана на ширине запрещенной зоны. ИОН задает напряжение средней точки ЦАП и имеет выход на вывод CM. ИОН может быть отключен в регистре PLL\_CLK\_CTRL1 установкой бита VREF\_EN в 0b0, при этом вывод CM может управляться от внешнего источника.

К выводу CM требуется подключить конденсаторы емкостью 10 мкФ и 100 нФ, соединенные параллельно, как можно ближе к микросхеме.

Опорное напряжение на выводе СМ может использоваться для подачи смещения на внешние ОУ, которые буферизуют выходные сигналы. Чтобы получить малошумящий источник с низким сопротивлением для подключения к внешним цепям, необходимо изолировать вывод СМ от внешней цепи с помощью малошумящего ОУ.

### 3.12 Последовательный порт ввода данных

Последовательный порт ввода данных имеет восемь линий данных DSDATAx (по два канала на каждую линию), общий сигнал кадровой синхронизации (DLRCLK) и общий тактовый сигнал последовательной загрузки данных (DBCLK). Временные диаграммы сигналов последовательного порта в стерео режимах показаны на рисунке 3.11.

По умолчанию последовательный порт работает в режиме I<sup>2</sup>S; он устанавливается при включении питания и сбросе. Порт может быть запрограммирован в режимы работы с выравниванием данных по левому и по правому краю (24- и 16-разрядных данных), с помощью битов SDATA\_FMT регистра DAC\_CTRL0. Для выбора режима стерео и TDM, служат биты SAI регистра DAC\_CTRL0. Полярность вывода DLRCLK программируется с помощью бита LRCLK\_POL регистра DAC\_CTRL1, что позволяет легко менять местами каналы.

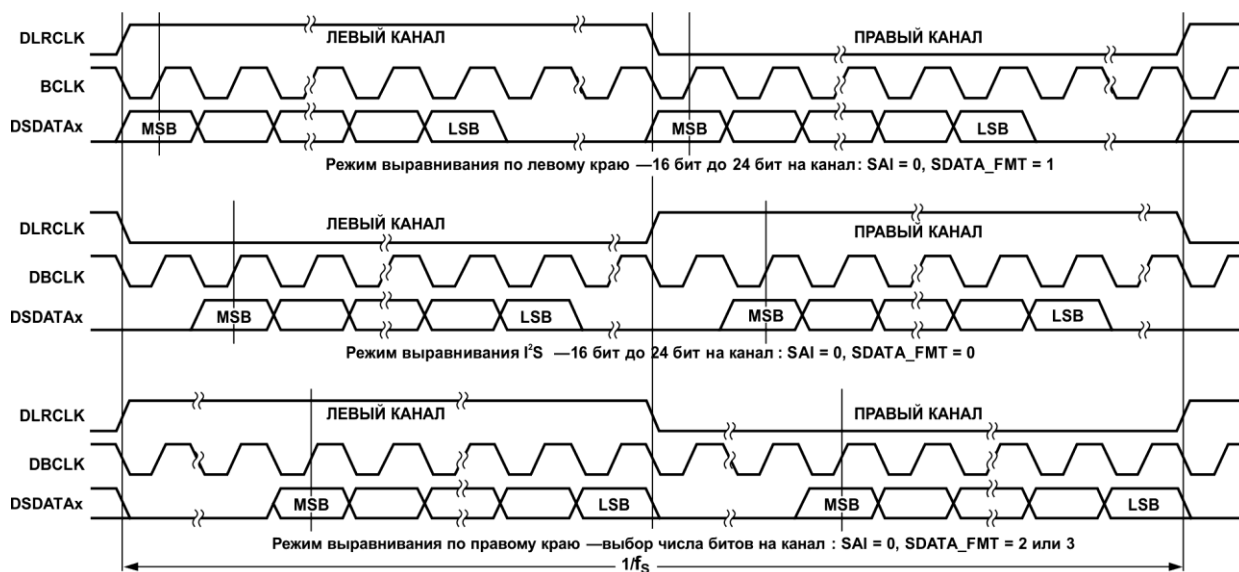


Рисунок 3.11 - Временные диаграммы сигналов последовательного порта в стерео режимах

Вывод DBCLK позволяет захватывать данные по переднему или заднему фронту тактового сигнала. Бит BCLK\_EDGE регистра DAC\_CTRL1 служит для выбора активного фронта.

Последовательный порт может быть установлен в режим ведущего (master) и режим ведомого (slave) путем установки бита SAI\_MS регистра DAC\_CTRL1. По умолчанию последовательный порт находится в режиме ведомого (slave).

### **3.13 Режимы мультиплексирования с разделением по времени (TDM)**

Последовательный порт данных микросхемы 1273HA074 поддерживает несколько режимов мультиплексирования с разделением по времени (TDM). Микросхема 1273HA074 поддерживает работу с одной линией данных (TDM16), с двумя линиями данных (TDM8), с четырьмя линиями данных (TDM4) или с восьмью линиями данных (TDM2). Сигнал кадровой синхронизации DLRCLK может работать как в режиме коротких импульсов длительностью, равной одному периоду тактового сигнала, так и в режиме с коэффициентом заполнения импульса 50 %. Для каждого режима можно выбрать длительность передачи данных 16 или 32 такта на канал.

Назначение выводов последовательного порта определяется в зависимости от выбранного режима TDM (см. таблицу 3.11).

Т а б л и ц а 3.11 - Назначение выводов последовательного порта в зависимости от режима TDM

Сигнал	Сtereo режимы (SAI = 0 или SAI = 1)	Режим TDM4 (SAI = 2)	Режим TDM8 (SAI = 3)	Режим TDM16 (SAI = 4)
DSDATA1	Канал 1/Канал 2 ввод данных	Каналы 1 - 4 ввод данных	Каналы 1 - 8 ввод данных	Каналы 1 - 12 ввод данных
DSDATA2	Канал 3/Канал 4 ввод данных	Каналы 5 - 8 ввод данных	Каналы 9 - 12 ввод данных	Не используется
DSDATA3	Канал 5/Канал 6 ввод данных	Каналы 9 - 12 ввод данных	Не используется	Не используется
DSDATA4	Канал 7/Канал 8 ввод данных	Не используется	Не используется	Не используется
DSDATA5	Канал 9/Канал 10 ввод данных	Не используется	Не используется	Не используется
DSDATA6	Канал 11/Канал 12 ввод данных	Не используется	Не используется	Не используется
DLRCLK	DLRCLK вход / DLRCLK выход	TDM кадр. синх. вход / TDM кадр. синх. выход	TDM кадр. синх. вход / TDM кадр. синх. выход	TDM кадр. синх. вход/ TDM кадр. синх. выход
DBCLK	DBCLK вход / DBCLK выход	TDM DBCLK вход / TDM DBCLK выход	TDM DBCLK вход/ TDM DBCLK выход	TDM DBCLK вход/ TDM DBCLK выход
Максимальная частота дискретизации	192 кГц	192 кГц	96 кГц	48 кГц
Примечание - SAI-биты [5:3] регистра DAC_CTRL0.				

Последовательность передачи данных в режиме TDM начинается с положительного фронта сигнала DLRCLK. В режиме одиночного импульса сигнал DLRCLK должен находиться в высоком логическом уровне не менее одного периода сигнала DBCLK. Период сигнала DLRCLK равен  $1/f_s$ , а количество тактов сигнала DBCLK зависит от числа тактов на один кадр данных канала и числа каналов, объединенных на одной линии DSDATA. В кадре данных одного канала длительностью 32 такта DBCLK слово данных записывается на второй такт DBCLK, начиная со старшего разряда. Кадры данных каналов ЦАП следуют друг за другом, как показано на рисунке 3.12.

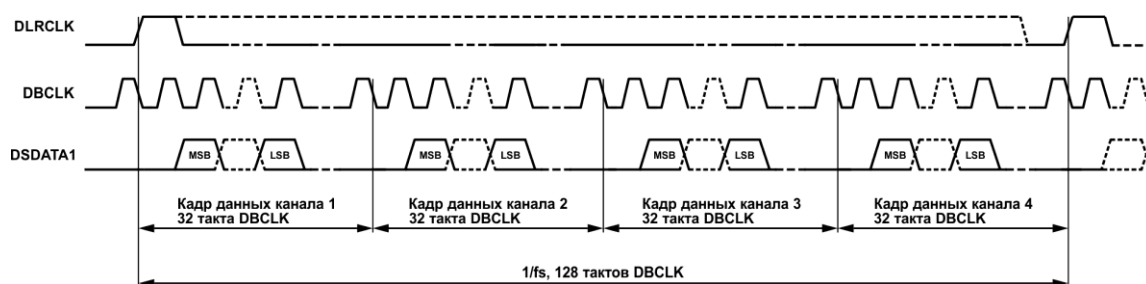


Рисунок 3.12 – Временная диаграмма сигналов при загрузке данных в формате TDM4 в режиме одиночного импульса сигнала DLRCLK

Отличие режима с коэффициентом заполнения 50 % сигнала DLRCLK заключается в том, что уровень логического нуля и логической единицы должен удерживаться в течение равного количества тактов. Последовательность передачи начинается также с положительного фронта сигнала DLRCLK. Временная диаграмма данного режима представлена на рисунке 3.13.

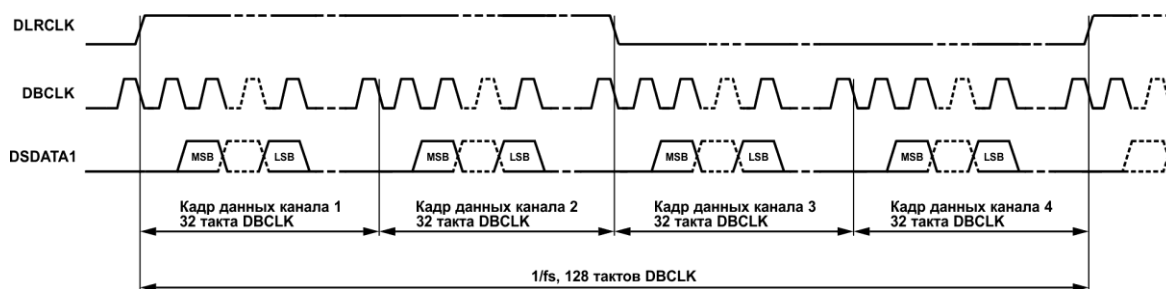


Рисунок 3.13 – Временная диаграмма сигналов при загрузке данных в формате TDM4 в режиме с коэффициентом заполнения 50 % сигнала DLRCLK

### 3.14 Датчик температуры

Микросхема 1273HA074 имеет встроенный датчик температуры, с помощью которого пользователь может считывать значение температуры кристалла микросхемы. Рабочий диапазон датчика температуры от минус 60 до плюс 140 °С, шаг измерений 1 °С.

Регистр PDN\_THRMSENS\_CTRL\_1 служит для управления настройками датчика. По умолчанию датчик температуры всегда включен, для отключения датчика температуры нужно установить бит TS\_PDN в 0b1. Датчик температуры имеет два режима работы: циклический и одиночный.



Режим измерения датчика температуры задается с помощью бита THRM\_MODE. По умолчанию THRM\_MODE = 0b1 (установлен режим одиночного измерения).

В режиме одиночного измерения нужно записать 0b0 в бит THRM\_GO, после этого переписать его в 0b1, это приведет к сбросу датчика температуры и запуску измерения. После окончания преобразования результат измерения будет записан в регистр THRM\_TEMP\_STAT.

В циклическом режиме работы измерение температуры происходит с частотой, задаваемой битами THRM\_RATE, с интервалом между измерениями от 0,5 до 4 с. Более высокие частоты преобразования возможны при использовании режима одиночного измерения.

Когда результат измерения температуры записывается в регистр THRM\_TEMP\_STAT, данные могут быть переведены в градусы Цельсия. Для этого нужно выполнить следующие шаги:

- перевести двоичные или шестнадцатеричные данные, считанные из регистра THRM\_TEMP\_STAT, в десятичный формат;
- из переведенного значения THRM\_TEMP\_STAT вычесть 60. Получим значение температуры кристалла в градусах Цельсия.

#### **4 Описание регистров управления**

Список регистров управления приведен в таблице 4.1.

Таблица 4.1 – Список регистров назначения

Адрес регистра	Имя регистра	Биты	Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	Значение после сброса	RW	
1	2	3	4	5	6	7	8	9	10	11	12	13	
0x00	PLL_CLK_CTRL0	[7:0]	PLLIN		XTAL_SET		SOFT_RST	MCS		PUP	0x00	RW	
0x01	PLL_CLK_CTRL1	[7:0]	LOPWR_MODE		MCLKO_SEL		PLL_MUTE	PLL_LOCK	VREF_EN	CLK_SEL	0x2A	RW	
0x02	PDN_THRMSSENS_CTRL_1	[7:0]	THRM_RATE		THRM_MODE	THRM_GO	RESERVED	TS_PDN	PLL_PDN	VREG_PDN	0xA0	RW	
0x03	PDN_CTRL2	[7:0]	DAC08_PDN	DAC07_PDN	DAC06_PDN	DAC05_PDN	DAC04_PDN	DAC03_PDN	DAC02_PDN	DAC01_PDN	0x00	RW	
0x04	PDN_CTRL3	[7:0]	RESERVED				DAC12_PDN	DAC11_PDN	DAC10_PDN	DAC09_PDN	0x00	RW	
0x05	THRM_TEMP_STAT	[7:0]	TEMP									0x00	R
0x06	DAC_CTRL0	[7:0]	SDATA_FMT		SAI			FS		MMUTE	0x01	RW	
0x07	DAC_CTRL1	[7:0]	BCLK_GEN	LRCLK_MODE	LRCLK_POL	SAI_MSB	RESERVED	BCLK_RATE	BCLK_EDGE	SAI_MS	0x00	RW	
0x08	DAC_CTRL2	[7:0]	RESERVED	VREG_CTRL		BCLK_TDMC	DAC_POL	AUTO_MUTE_EN	DAC_OSR	DE_EMP_EN	0x06	RW	
0x09	DAC_MUTE1	[7:0]	DAC08_MUTE	DAC07_MUTE	DAC06_MUTE	DAC05_MUTE	DAC04_MUTE	DAC03_MUTE	DAC02_MUTE	DAC01_MUTE	0x00	RW	
0x0A	DAC_MUTE2	[7:0]	RESERVED				DAC12_MUTE	DAC11_MUTE	DAC10_MUTE	DAC09_MUTE	0x00	RW	
0x0B	DACMSTR_VOL	[7:0]	DACMSTR_VOL									0x00	RW
0x0C	DAC01_VOL	[7:0]	DAC01_VOL									0x00	RW
0x0D	DAC02_VOL	[7:0]	DAC02_VOL									0x00	RW
0x0E	DAC03_VOL	[7:0]	DAC03_VOL									0x00	RW
0x0F	DAC04_VOL	[7:0]	DAC04_VOL									0x00	RW
0x10	DAC05_VOL	[7:0]	DAC05_VOL									0x00	RW
0x11	DAC06_VOL	[7:0]	DAC06_VOL									0x00	RW
0x12	DAC07_VOL	[7:0]	DAC07_VOL									0x00	RW
0x13	DAC08_VOL	[7:0]	DAC08_VOL									0x00	RW
0x14	DAC09_VOL	[7:0]	DAC09_VOL									0x00	RW
0x15	DAC10_VOL	[7:0]	DAC10_VOL									0x00	RW
0x16	DAC11_VOL	[7:0]	DAC11_VOL									0x00	RW
0x17	DAC12_VOL	[7:0]	DAC12_VOL									0x00	RW
0x1C	CM_SEL_PAD_STRGTH	[7:0]	RESERVED	RESERVED	PAD_DRV	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	0x02	RW	
0x1D	DAC_POWER1	[7:0]	DAC04_POWER		DAC03_POWER		DAC02_POWER		DAC01_POWER		0xAA	RW	
0x1E	DAC_POWER2	[7:0]	DAC08_POWER		DAC07_POWER		DAC06_POWER		DAC05_POWER		0xAA	RW	
0x1F	DAC_POWER3	[7:0]	DAC12_POWER		DAC11_POWER		DAC10_POWER		DAC09_POWER		0xAA	RW	

## 4.1 PLL\_CLK\_CTRL0 – регистр управления тактовым сигналом и схемой ФАПЧ

Адрес регистра: 0x00. Состояние после сброса: 0x00.

Т а б л и ц а 4.2 - Описание битов регистра PLL\_CLK\_CTRL0

Номер бита	Имя бита	Установк и	Описание	Сброс	Доступ
1	2	3	4	5	5
[7:6]	PLLIN	00 01 10 11	Выбор входного сигнала схемы ФАПЧ. Выбор вывода MCLKI/XTALI или DLRCLK в качестве входного для схемы ФАПЧ. 00 MCLKI или XTALI. 01 DLRCLK. 10 Зарезервировано. 11 Зарезервировано.	0x0	RW
[5:4]	XTAL_SET	00 01 10 11	Настройки кварцевого генератора. Статус вывода XTALO. 00 Кварцевый генератора включен. 01 Зарезервировано. 10 Зарезервировано. 11 Вывод XTALO выключен.	0x0	RW
3	SOFT_RST	0 1	Управление программным сбросом. Этот бит сбрасывает все внутренние блоки, кроме интерфейса I <sup>2</sup> C/SPI. Все регистры управления сбрасываются в значения по умолчанию, кроме регистров PLL_CLK_CTRL0 и PLL_CLK_CTRL1. 0 Нормальная работа. 1 Устройство в состоянии сброса.	0x0	RW
[2:1]	MCS	00 01 10 11	Выбор частоты главного тактового сигнала. Функционирование вывода MCLKI/XTALI (схема ФАПЧ активна), настройки главной тактовой частоты. Возможны следующие значения для диапазона частоты $f_s$ от 32 до 48 кГц. См. таблицу 3.2 при использовании других значений $f_s$ . 00 $256 \times f_s$ MCLK (44,1 кГц или 48 кГц). 01 $384 \times f_s$ MCLK (44,1 кГц или 48 кГц). 10 $512 \times f_s$ MCLK (44,1 кГц или 48 кГц). 11 $768 \times f_s$ MCLK (44,1 кГц или 48 кГц).	0x0	RW

Окончание таблицы 4.2

1	2	3	4	5	5
	PUP		Общее включение питания. Этот бит должен быть установлен в 0b1 при первой записи в регистр для включения питания микросхемы. 0 Питание выключить. 1 Питание включить.	0x0	RW

#### 4.2 PLL\_CLK\_CTRL1 – регистр управления тактовым сигналом и схемой ФАПЧ

Адрес регистра: 0x01. Состояние после сброса: 0x2A.

Т а б л и ц а 4.3 - Описание битов регистра PLL\_CLK\_CTRL1

Номер бита	Имя бита	Установки	Описание	Сброс	Доступ
1	2	3	4	5	6
[7:6]	LOPWR_MODE		Общая настройка режима потребляемой мощности/характеристик сигнала. Эти биты устанавливают потребляемую мощность и уровень качества сигнала для всех 12 каналов ЦАП одновременно см. подраздел 3.2. 00 Настройки регистра, установленные по I <sup>2</sup> C/SPI. 01 Зарезервировано. 10 Низкая потребляемая мощность. 11 Минимальная потребляемая мощность.	0x0	RW
[5:4]	MCLKO_SEL		Выходная частота MCLKO. Выбор частоты для вывода MCLKO см. подраздел 3.3. 00 MCLKO = от 4 до 6 МГц масштабируется по f <sub>s</sub> . 01 MCLKO = от 8 до 12 МГц масштабируется по f <sub>s</sub> . 10 MCLKO = буферизованный MCLKI. 11 Вывод MCLKO выключен.	0x2	RW

Окончание таблицы 4.3

1	2	3	4	5	6
3	PLL_MUTE		Автоматическое выключение звука от сигнала установки синхронизации схемы ФАПЧ. Этот бит реализует функцию автоматического выключения звука при потере синхронизации схемы ФАПЧ. 0 Автоматическое выключение звука - активно. 1 Автоматическое выключение звука - неактивно.	0x1	RW
2	PLL_LOCK		Индикатор синхронизации схемы ФАПЧ. 0 Схема ФАПЧ не синхронизирована. 1 Схема ФАПЧ синхронизирована.	0x0	R
1	VREF_EN		Включение внутреннего ИОН. См. подраздел 3.11. 0 Выключен. 1 Включен.	0x1	RW
0	CLK_SEL		Выбор источника тактового сигнала микросхемы. 0 MCLK от схемы ФАПЧ. 1 MCLK от вывода MCLKI/XTALI.	0x0	RW

### 4.3 PDN\_THRMSSENS\_CTRL\_1 – регистр управления датчиком температуры и управления питанием блоков

Адрес регистра: 0x02. Состояние после сброса: 0xA0.

Т а б л и ц а 4.4 - Описание битов регистра PDN\_THRMSSENS\_CTRL\_1

Номер бита	Имя бита	Установки	Описание	Сброс	Доступ
1	2	3	4	5	6
[7:6]	THRM_RATE		Интервал времени между преобразованиями. Когда THRM_MODE = 0, разряды THRM_RATE управляют временным интервалом между измерениями температуры. 00 Интервал 4 с. 01 Интервал 0,5 с. 10 Интервал 1 с. 11 Интервал 2 с.	0x2	RW

Окончание таблицы 4.4

1	2	3	4	5	6
5	THRM_MODE	0 1	Выбор циклического режима или режима одиночного преобразования. Циклический режим. Режим одиночного преобразования.	0x1	RW
4	THRM_GO	0 1	Управление режимом одиночного преобразования. В режиме одиночного преобразования (THRM_MODE = 0b1) в разряд THRM_GO нужно записать 0b0, после чего нужно записать 0b1. Эта последовательность запускает одиночное измерение температуры. Данные, полученные в результате измерения температуры, будут доступны через 120 мс после записи 0b1 в этот бит. Сброс. Измерение температуры.	0x0	RW
3	Зарезервировано	–	Зарезервировано.	0x0	R
2	TS_PDN	0 1	Включение датчика температуры. Датчик температуры включен. Датчик температуры выключен.	0x0	RW
1	PLL_PDN	0 1	Включение схемы ФАПЧ. Схема ФАПЧ включена. Схема ФАПЧ выключена.	0x0	RW
0	VREG_PDN	0 1	Включение драйвера линейного стабилизатора напряжения. Стабилизатор напряжения включен. Стабилизатор напряжения выключен.	0x0	RW

#### 4.4 PDN\_CTRL2 – регистр управления питанием каналов ЦАП

Адрес регистра: 0x03. Состояние после сброса: 0x00.

Т а б л и ц а 4.5 - Описание битов регистра PDN\_CTRL2

Номер бита	Имя бита	Установки	Описание	Сброс	Доступ
7	DAC08_PDN	0 1	Включение канала 8. Канал 8 включен. Канал 8 выключен.	0x0	RW
6	DAC07_PDN	0 1	Включение канала 7. Канал 7 включен. Канал 7 выключен.	0x0	RW
5	DAC06_PDN	0 1	Включение канала 6. Канал 6 включен. Канал 6 выключен.	0x0	RW
4	DAC05_PDN	0 1	Включение канала 5. Канал 5 включен. Канал 5 выключен.	0x0	RW
3	DAC04_PDN	0 1	Включение канала 4. Канал 4 включен. Канал 4 выключен.	0x0	RW
2	DAC03_PDN	0 1	Включение канала 3. Канал 3 включен. Канал 3 выключен.	0x0	RW
1	DAC02_PDN	0 1	Включение канала 2. Канал 2 включен. Канал 2 выключен.	0x0	RW
0	DAC01_PDN	0 1	Включение канала 1. Канал 1 включен. Канал 1 выключен.	0x0	RW

#### 4.5 PDN\_CTRL3 – регистр управления питанием каналов ЦАП

Адрес регистра: 0x04. Состояние после сброса: 0x00.

Т а б л и ц а 4.6 - Описание битов регистра PDN\_CTRL3

Номер бита	Имя бита	Установки	Описание	Сброс	Доступ
3	DAC12_PDN	0 1	Включение канала 12. Канал 12 включен. Канал 12 выключен.	0x0	RW
2	DAC11_PDN	0 1	Включение канала 11. Канал 11 включен. Канал 11 выключен.	0x0	RW
1	DAC10_PDN	0 1	Включение канала 10. Канал 10 включен. Канал 10 выключен.	0x0	RW
0	DAC09_PDN	0 1	Включение канала 9. Канал 9 включен. Канал 9 выключен.	0x0	RW

#### 4.6 THRM\_TEMP\_STAT – регистр результата измерения температуры

Адрес регистра: 0x05. Состояние после сброса: 0x00.

Т а б л и ц а 4.7 - Описание битов регистра THRM\_TEMP\_STAT

Номер бита	Имя бита	Установки	Описание	Сброс	Доступ
[7:0]	TEMP		Результат измерения температуры. Диапазон от минус 60 до 140 °С с шагом 1°С. Для преобразования кода TEMP в значение температуры используйте выражение (TEMP – 60). См. подраздел 3.14.	0x00	R



## 4.7 DAC\_CTRL0 - регистр управления

Адрес регистра: 0x06. Состояние после сброса: 0x01.

Т а б л и ц а 4.8 - Описание битов регистра DAC\_CTRL0

Номер бита	Имя бита	Установки	Описание	Сброс	Доступ
1	2	3	4	5	6
[7:6]	SDATA_FMT	00 01 10 11	Формат SDATA. Используется только когда SAI = 000. Режим I <sup>2</sup> S. Режим выравнивания данных по левому краю. Режим выравнивания 24-разрядных данных по правому краю. Режим выравнивания 16-разрядных данных по правому краю.	0x0	RW
[5:3]	SAI	000 001 010 011 100 101 110 111	Режим работы последовательного порта. Если SAI = 000, то биты SDATA_FMT устанавливают формат данных SDATA. Сtereo (I <sup>2</sup> S, выравнивание данных по левому краю, выравнивание данных по правому краю). TDM2 = восемь линий. TDM4 = четыре линии. TDM8 = две линии. TDM16 = одна линия (48 кГц) Зарезервировано. Зарезервировано. Зарезервировано.	0x0	RW
[2:1]	FS	00 01 10 11	Выбор частоты дискретизации. 32 кГц/44,1 кГц/48 кГц. 64 кГц/88,2 кГц/96 кГц. 128 кГц/176,4 кГц/192 кГц. 128 кГц/176,4 кГц/192 кГц. Низкая задержка распространения.	0x0	RW
0	MMUTE	0 1	Выключение звука всех каналов ЦАП. Звук включен. Звук выключен.	0x1	RW

## 4.8 DAC\_CTRL1 - регистр управления

Адрес регистра: 0x07. Состояние после сброса: 0x00.

Т а б л и ц а 4.9 -Описание битов регистра DAC\_CTRL1

Номер бита	Имя бита	Установки	Описание	Сброс	Доступ
1	2	3	4	5	6
7	BCLK_GEN		<p>Внутреннее формирование сигнала DBCLK. Если схема ФАПЧ синхронизируется от вывода DLRCLK, то микросхему 1273HA074 можно запустить без внешнего тактового сигнала последовательной загрузки данных.</p> <p>0 Внешний сигнал DBCLK. 1 Внутреннее формирование сигнала DBCLK.</p>	0x0	RW
6	LRCLK_MODE		<p>Выбор режима сигнала DLRCLK. (Доступен только в режиме TDM.)</p> <p>0 Режим с коэффициентом заполнения импульса 50 % сигнала DLRCLK. 1 Режим коротких импульсов.</p>	0x0	RW
5	LRCLK_POL		<p>Полярность сигнала DLRCLK. Позволяет менять местами данные между каналами.</p> <p>0 Левый/Нечетные каналы соответствуют низкому уровню сигнала DLRCLK. 1 Левый/Нечетные каналы соответствуют высокому уровню сигнала DLRCLK.</p>	0x0	RW
4	SAI_MSB		<p>Позиция старшего разряда.</p> <p>0 Старший разряд первый в сигнале данных DSDATAx. 1 Младший разряд первый в сигнале данных DSDATAx.</p>	0x0	RW
3	Зарезервировано	–	Зарезервировано	0x0	R

Окончание таблицы 4.9

1	2	3	4	5	6
2	BCLK_RATE		Количество тактов сигнала последовательной загрузки данных на один слот канала. Используется только для генерирования тактов сигнала последовательной загрузки данных в режиме работы ведущего (master) (SAI_MS = 1). 0 32 такта на кадр. 1 16 тактов на кадр.	0x0	RW
1	BCLK_EDGE		Установка активного фронта сигнала DBCLK. 0 Захват данных по переднему фронту. 1 Захват данных по заднему фронту.	0x0	RW
0	SAI_MS		Выбор режима ведущего (master) или ведомого (slave) последовательного интерфейса. 0 DLRCLK/DBCLK режим ведомого (slave). 1 DLRCLK/DBCLK режим ведущего (master).	0x0	RW

#### 4.9 DAC\_CTRL2 - регистр управления

Адрес регистра: 0x08. Состояние после сброса: 0x06.

Т а б л и ц а 4.10 - Описание битов регистра DAC\_CTRL2

Номер бита	Имя бита	Установки	Описание	Сброс	Доступ
1	2	3	4	5	6
7	Зарезервировано	–	Зарезервировано	0x0	R
[6:5]	VREG_CTRL		Выбор выходного напряжения линейного стабилизатора. 00 Выходное напряжение = 2,5 В. 01 Выходное напряжение = 2,75 В. 10 Выходное напряжение = 3,0 В. 11 Выходное напряжение = 3,3 В.	0x0	RW

Окончание таблицы 4.10

1	2	3	4	5	6
4	BCLK_TDMC	0 1	Количество тактов сигнала последовательной загрузки данных в режиме TDM. 32 такта сигнала BCLK на слот канала. 16 тактов сигнала BCLK на слот канала.	0x0	RW
3	DAC_POL	0 1	Полярность выходов ЦАП. 0 Не инвертированный сигнал на выходе ЦАП. 1 Инвертированный сигнал на выходе ЦАП.	0x0	RW
2	AUTO_MUTE_EN	0 1	Функция автоматического выключения звука ЦАП, при получении последовательности из 1024 нулевых слов данных. 0 Функция автоматического выключение звука - выключена. 1 Функция автоматического выключение звука - включена.	0x1	RW
1	DAC_OSR	0 1	Выбор частоты избыточной дискретизации ЦАП. 0 Частота избыточной дискретизации ЦАП $256 \times f_s$ . 1 Частота избыточной дискретизации ЦАП $128 \times f_s$ .	0x1	RW
0	DE_EMP_EN	0 1	Коррекции предискажений. (только при частоте дискретизации 48 кГц). 0 Коррекция предискажений выключена. 1 Коррекция предискажений включена.	0x0	RW

#### 4.10 DAC\_MUTE1 – регистр выключения звука каналов ЦАП

Адрес регистра: 0x09. Состояние после сброса: 0x00.

Т а б л и ц а 4.11 - Описание битов регистра DAC\_MUTE1

Номер бита	Имя бита	Установки	Описание	Сброс	Доступ
7	DAC08_MUTE	0 1	Плавное выключение звука 8 канала. 0 Звук включен. 1 Звук выключен.	0x0	RW
6	DAC07_MUTE	0 1	Плавное выключение звука 7 канала. 0 Звук включен. 1 Звук выключен.	0x0	RW
5	DAC06_MUTE	0 1	Плавное выключение звука 6 канала. 0 Звук включен. 1 Звук выключен.	0x0	RW
4	DAC05_MUTE	0 1	Плавное выключение звука 5 канала. 0 Звук включен. 1 Звук выключен.	0x0	RW
3	DAC04_MUTE	0 1	Плавное выключение звука 4 канала. 0 Звук включен. 1 Звук выключен.	0x0	RW
2	DAC03_MUTE	0 1	Плавное выключение звука 3 канала. 0 Звук включен. 1 Звук выключен.	0x0	RW
1	DAC02_MUTE	0 1	Плавное выключение звука 2 канала. 0 Звук включен. 1 Звук выключен.	0x0	RW
0	DAC01_MUTE	0 1	Плавное выключение звука 1 канала. 0 Звук включен. 1 Звук выключен.	0x0	RW

#### 4.11 DAC\_MUTE2 – регистр выключения звука каналов ЦАП

Адрес регистра: 0x09. Состояние после сброса: 0x00.

Т а б л и ц а 4.12 - Описание битов регистра DAC\_MUTE2

Номер бита	Имя бита	Установки	Описание	Сброс	Доступ
3	DAC12_MUTE	0 1	Плавное выключение звука 12 канала. 0 Звук включен. 1 Звук выключен.	0x0	RW
2	DAC11_MUTE	0 1	Плавное выключение звука 11 канала. 0 Звук включен. 1 Звук выключен.	0x0	RW
1	DAC10_MUTE	0 1	Плавное выключение звука 10 канала. 0 Звук включен. 1 Звук выключен.	0x0	RW
0	DAC09_MUTE	0 1	Плавное выключение звука 9 канала. 0 Звук включен. 1 Звук выключен.	0x0	RW

#### 4.12 DACMSTR\_VOL – регистр управления уровнем громкости всех каналов

Адрес регистра: 0x0B. Состояние после сброса: 0x00.

Т а б л и ц а 4.13 - Описание битов регистра DACMSTR\_VOL

Номер бита	Имя бита	Установки	Описание	Сброс	Доступ
[7:0]	DACMSTR_VOL	00000000 00000001 00000010 11111110 11111111	Уровень громкости всех каналов. 0 дБ (по умолчанию). -0,375 дБ. -0,750 дБ. -95,250 дБ. -95,625 дБ.	0x00	RW

### 4.13 DAC01\_VOL – регистр управления уровнем громкости 1 канала ЦАП

Адрес регистра: 0x0C. Состояние после сброса: 0x00.

Т а б л и ц а 4.14 - Описание битов регистра DAC01\_VOL

Номер бита	Имя бита	Установки	Описание	Сброс	Доступ
[7:0]	DAC01_VOL	00000000 00000001 00000010 11111110 11111111	Уровень громкости 1 канала. 0 дБ (по умолчанию). -0,375 дБ. -0,750 дБ. -95,250 дБ. -95,625 дБ.	0x00	RW

### 4.14 DAC02\_VOL – регистр управления уровнем громкости 2 канала ЦАП

Адрес регистра: 0x0D. Состояние после сброса: 0x00.

Т а б л и ц а 4.15 - Описание битов регистра DAC02\_VOL

Номер бита	Имя бита	Установки	Описание	Сброс	Доступ
[7:0]	DAC02_VOL	00000000 00000001 00000010 11111110 11111111	Уровень громкости 2 канала. 0 дБ (по умолчанию). -0,375 дБ. -0,750 дБ. -95,250 дБ. -95,625 дБ.	0x00	RW

### 4.15 DAC03\_VOL – регистр управления уровнем громкости 3 канала ЦАП

Адрес регистра: 0x0E. Состояние после сброса: 0x00.

Т а б л и ц а 4.16 - Описание битов регистра DAC03\_VOL

Номер бита	Имя бита	Установки	Описание	Сброс	Доступ
[7:0]	DAC03_VOL	00000000 00000001 00000010 11111110 11111111	Уровень громкости 3 канала. 0 дБ (по умолчанию). -0,375 дБ. -0,750 дБ. -95,250 дБ. -95,625 дБ.	0x00	RW

#### 4.16 DAC04\_VOL – регистр управления уровнем громкости 4 канала ЦАП

Адрес регистра: 0x0F. Состояние после сброса: 0x00.

Т а б л и ц а 4.17 - Описание битов регистра DAC04\_VOL

Номер бита	Имя бита	Установки	Описание	Сброс	Доступ
[7:0]	DAC04_VOL	00000000 00000001 00000010 11111110 11111111	Уровень громкости 4 канала. 0 дБ (по умолчанию). -0,375 дБ. -0,750 дБ. -95,250 дБ. -95,625 дБ.	0x00	RW

#### 4.17 DAC05\_VOL – регистр управления уровнем громкости 5 канала ЦАП

Адрес регистра: 0x10. Состояние после сброса: 0x00.

Т а б л и ц а 4.18 - Описание битов регистра DAC05\_VOL

Номер бита	Имя бита	Установки	Описание	Сброс	Доступ
[7:0]	DAC05_VOL	00000000 00000001 00000010 11111110 11111111	Уровень громкости 5 канала. 0 дБ (по умолчанию). -0,375 дБ. -0,750 дБ. -95,250 дБ. -95,625 дБ.	0x00	RW

#### 4.18 DAC06\_VOL – регистр управления уровнем громкости 6 канала ЦАП

Адрес регистра: 0x11. Состояние после сброса: 0x00.

Т а б л и ц а 4.19 - Описание битов регистра DAC06\_VOL

Номер бита	Имя бита	Установки	Описание	Сброс	Доступ
[7:0]	DAC06_VOL	00000000 00000001 00000010 11111110 11111111	Уровень громкости 6 канала. 0 дБ (по умолчанию). -0,375 дБ. -0,750 дБ. -95,250 дБ. -95,625 дБ.	0x00	RW



#### 4.19 DAC07\_VOL – регистр управления уровнем громкости 7 канала ЦАП

Адрес регистра: 0x12. Состояние после сброса: 0x00.

Т а б л и ц а 4.20 - Описание битов регистра DAC07\_VOL

Номер бита	Имя бита	Установки	Описание	Сброс	Доступ
[7:0]	DAC07_VOL	00000000 00000001 00000010 11111110 11111111	Уровень громкости 7 канала. 0 дБ (по умолчанию). -0,375 дБ. -0,750 дБ. -95,250 дБ. -95,625 дБ.	0x00	RW

#### 4.20 DAC08\_VOL – регистр управления уровнем громкости 8 канала ЦАП

Адрес регистра: 0x13. Состояние после сброса: 0x00.

Т а б л и ц а 4.21 - Описание битов регистра DAC08\_VOL

Номер бита	Имя бита	Установки	Описание	Сброс	Доступ
[7:0]	DAC08_VOL	00000000 00000001 00000010 11111110 11111111	Уровень громкости 8 канала. 0 дБ (по умолчанию). -0,375 дБ. -0,750 дБ. -95,250 дБ. -95,625 дБ.	0x00	RW

#### 4.21 DAC09\_VOL – регистр управления уровнем громкости 9 канала ЦАП

Адрес регистра: 0x14. Состояние после сброса: 0x00.

Т а б л и ц а 4.22 - Описание битов регистра DAC09\_VOL

Номер бита	Имя бита	Установки	Описание	Сброс	Доступ
[7:0]	DAC09_VOL	00000000 00000001 00000010 11111110 11111111	Уровень громкости 9 канала. 0 дБ (по умолчанию). -0,375 дБ. -0,750 дБ. -95,250 дБ. -95,625 дБ.	0x00	RW

#### 4.22 DAC10\_VOL – регистр управления уровнем громкости 10 канала ЦАП

Адрес регистра: 0x15. Состояние после сброса: 0x00.

Т а б л и ц а 4.23 - Описание битов регистра DAC10\_VOL

Номер бита	Имя бита	Установки	Описание	Сброс	Доступ
[7:0]	DAC10_VOL	00000000 00000001 00000010 11111110 11111111	Уровень громкости 10 канала. 0 дБ (по умолчанию). -0,375 дБ. -0,750 дБ. -95,250 дБ. -95,625 дБ.	0x00	RW

#### 4.23 DAC11\_VOL – регистр управления уровнем громкости 11 канала ЦАП

Адрес регистра: 0x16. Состояние после сброса: 0x00.

Т а б л и ц а 4.24 - Описание битов регистра DAC11\_VOL

Номер бита	Имя бита	Установки	Описание	Сброс	Доступ
[7:0]	DAC11_VOL	00000000 00000001 00000010 11111110 11111111	Уровень громкости 11 канала. 0 дБ (по умолчанию). -0,375 дБ. -0,750 дБ. -95,250 дБ. -95,625 дБ.	0x00	RW

#### 4.24 DAC12\_VOL – регистр управления уровнем громкости 12 канала ЦАП

Адрес регистра: 0x17. Состояние после сброса: 0x00.

Т а б л и ц а 4.25 - Описание битов регистра DAC12\_VOL

Номер бита	Имя бита	Установки	Описание	Сброс	Доступ
[7:0]	DAC12_VOL	00000000 00000001 00000010 11111110 11111111	Уровень громкости 12 канала. 0 дБ (по умолчанию). -0,375 дБ. -0,750 дБ. -95,250 дБ. -95,625 дБ.	0x00	RW

#### 4.25 CM\_SEL\_PAD\_STRGTH – регистр управления нагрузочной способностью цифровых выходов и вывода общей точки

Адрес регистра: 0x1C. Состояние после сброса: 0x02.

Т а б л и ц а 4.26 - Описание битов регистра CM\_SEL\_PAD\_STRGTH

Номер бита	Имя бита	Установки	Описание	Сброс	Доступ
[7:6]	Зарезервировано	–	Зарезервировано	0x0	R
5	PAD_DRV	0 1	Управление нагрузочной способностью вывода. Значения приведены для напряжения IOVCC = 5 В. 4 мА для всех выводов. 8 мА для всех выводов.	0x0	RW
[4:0]	Зарезервировано	–	Зарезервировано.	0x02	R

#### 4.26 DAC\_POWER1 – регистр настройки потребляемой мощности каналов ЦАП

Адрес регистра: 0x1D. Состояние после сброса: 0xAA.

Т а б л и ц а 4.327- Описание битов регистра DAC\_POWER1

Номер бита	Имя бита	Установки	Описание	Сброс	Доступ
[7:6]	DAC04_POWER	00 01 10 11	Управление питанием канал 4. Низкое потребление. Минимальное потребление. Лучшее качество сигнала. Хорошее качество сигнала.	0x2	RW
[5:4]	DAC03_POWER	00 01 10 11	Управление питанием канал 3. Низкое потребление. Минимальное потребление. Лучшее качество сигнала. Хорошее качество сигнала.	0x2	RW
[3:2]	DAC02_POWER	00 01 10 11	Управление питанием канал 2. Низкое потребление. Минимальное потребление. Лучшее качество сигнала. Хорошее качество сигнала.	0x2	RW
[1:0]	DAC01_POWER	00 01 10 11	Управление питанием канал 1. Низкое потребление. Минимальное потребление. Лучшее качество сигнала. Хорошее качество сигнала.	0x2	RW

#### 4.27 DAC\_POWER2 – регистр настройки потребляемой мощности каналов ЦАП

Адрес регистра: 0x1E. Состояние после сброса: 0xAA.

Т а б л и ц а 4.28 - Описание битов регистра DAC\_POWER2

Номер бита	Имя бита	Установки	Описание	Сброс	Доступ
[7:6]	DAC08_POWER	00 01 10 11	Управление питанием ЦАП, канал 8. Низкое потребление. Минимальное потребление. Лучшее качество сигнала. Хорошее качество сигнала.	0x2	RW
[5:4]	DAC07_POWER	00 01 10 11	Управление питанием ЦАП, канал 7. Низкое потребление. Минимальное потребление. Лучшее качество сигнала. Хорошее качество сигнала.	0x2	RW
[3:2]	DAC06_POWER	00 01 10 11	Управление питанием ЦАП, канал 6. Низкое потребление. Минимальное потребление. Лучшее качество сигнала. Хорошее качество сигнала.	0x2	RW
[1:0]	DAC05_POWER	00 01 10 11	Управление питанием ЦАП, канал 5. Низкое потребление. Минимальное потребление. Лучшее качество сигнала. Хорошее качество сигнала.	0x2	RW

## 4.28 DAC\_POWER3 – регистр настройки потребляемой мощности каналов ЦАП

Адрес регистра: 0x1F. Состояние после сброса: 0xAA.

Т а б л и ц а 4.29 - Описание битов регистра DAC\_POWER3

Номер бита	Имя бита	Установки	Описание	Сброс	Доступ
[7:6]	DAC12_POWER	00 01 10 11	Управление питанием ЦАП, канал 12. Низкое потребление. Минимальное потребление. Лучшее качество сигнала. Хорошее качество сигнала.	0x2	RW
[5:4]	DAC11_POWER	00 01 10 11	Управление питанием ЦАП, канал 11. Низкое потребление. Минимальное потребление. Лучшее качество сигнала. Хорошее качество сигнала.	0x2	RW
[3:2]	DAC10_POWER	00 01 10 11	Управление питанием ЦАП, канал 10. Низкое потребление. Минимальное потребление. Лучшее качество сигнала. Хорошее качество сигнала.	0x2	RW
[1:0]	DAC09_POWER	00 01 10 11	Управление питанием ЦАП, канал 9. Низкое потребление. Минимальное потребление. Лучшее качество сигнала. Хорошее качество сигнала.	0x2	RW

Т а б л и ц а 4.30 - Настройка уровня громкости

Двоичное значение регистра громкости	Значение уровня громкости, дБ	Двоичное значение регистра громкости	Значение уровня громкости, дБ
00000000	0	00110101	-19,875
00000001	-0,375	00110110	-20,25
00000010	-0,75	00110111	-20,625
00000011	-1,125	00111000	-21
00000100	-1,5	00111001	-21,375
00000101	-1,875	00111010	-21,75
00000110	-2,25	00111011	-22,125
00000111	-2,625	00111100	-22,5
00001000	-3	00111101	-22,875
00001001	-3,375	00111110	-23,25
00001010	-3,75	00111111	-23,625
00001011	-4,125	01000000	-24
00001100	-4,5	01000001	-24,375
00001101	-4,875	01000010	-24,75
00001110	-5,25	01000011	-25,125
00001111	-5,625	01000100	-25,5
00010000	-6	01000101	-25,875
00010001	-6,375	01000110	-26,25
00010010	-6,75	01000111	-26,625
00010011	-7,125	01001000	-27
00010100	-7,5	01001001	-27,375
00010101	-7,875	01001010	-27,75
00010110	-8,25	01001011	-28,125
00010111	-8,625	01001100	-28,5
00011000	-9	01001101	-28,875
00011001	-9,375	01001110	-29,25
00011010	-9,75	01001111	-29,625
00011011	-10,125	01010000	-30
00011100	-10,5	01010001	-30,375

Продолжение таблицы 4.30

Двоичное значение регистра громкости	Значение уровня громкости, дБ	Двоичное значение регистра громкости	Значение уровня громкости, дБ
00011101	-10,875	01010010	-30,75
00011110	-11,25	01010011	-31,125
00011111	-11,625	01010100	-31,5
00100000	-12	01010101	-31,875
00100001	-12,375	01010110	-32,25
00100010	-12,75	01010111	-32,625
00100011	-13,125	01011000	-33
00100100	-13,5	01011001	-33,375
00100101	-13,875	01011010	-33,75
00100110	-14,25	01011011	-34,125
00100111	-14,625	01011100	-34,5
00101000	-15	01011101	-34,875
00101001	-15,375	01011110	-35,25
00101010	-15,75	01011111	-35,625
00101011	-16,125	01100000	-36
00101100	-16,5	01100001	-36,375
00101101	-16,875	01100010	-36,75
00101110	-17,25	01100011	-37,125
00101111	-17,625	01100100	-37,5
00110000	-18	01100101	-37,875
00110001	-18,375	01100110	-38,25
00110010	-18,75	01100111	-38,625
00110011	-19,125	01101000	-39
10100	-19,5	01101001	-39,375
11010100	-79,5	11011111	-83,625
11010101	-79,875	11100000	-84
11010110	-80,25	11100001	-84,375
11010111	-80,625	11100010	-84,75
11011000	-81	11100011	-85,125

Продолжение таблицы 4.30

Двоичное значение регистра громкости	Значение уровня громкости, дБ	Двоичное значение регистра громкости	Значение уровня громкости, дБ
11011001	-81,375	11100100	-85,5
11011010	-81,75	11100101	-85,875
11011011	-82,125	11100110	-86,25
11011100	-82,5	11100111	-86,625
11011101	-82,875	11101000	-87
11011110	-83,25	11101001	-87,375
01101010	-39,75	10011111	-59,625
01101011	-40,125	10100000	-60
01101100	-40,5	10100001	-60,375
01101101	-40,875	10100010	-60,75
01101110	-41,25	10100011	-61,125
01101111	-41,625	10100100	-61,5
01110000	-42	10100101	-61,875
01110001	-42,375	10100110	-62,25
01110010	-42,75	10100111	-62,625
01110011	-43,125	10101000	-63
01110100	-43,5	10101001	-63,375
01110101	-43,875	10101010	-63,75
01110110	-44,25	10101011	-64,125
01110111	-44,625	10101100	-64,5
01111000	-45	10101101	-64,875
01111001	-45,375	10101110	-65,25
01111010	-45,75	10101111	-65,625
01111011	-46,125	10110000	-66
01111100	-46,5	10110001	-66,375
01111101	-46,875	10110010	-66,75
01111110	-47,25	10110011	-67,125
01111111	-47,625	10110100	-67,5



Продолжение таблицы 4.30

Двоичное значение регистра громкости	Значение уровня громкости, дБ	Двоичное значение регистра громкости	Значение уровня громкости, дБ
10000000	-48	10110101	-67,875
10000001	-48,375	10110110	-68,25
10000010	-48,75	10110111	-68,625
10000011	-49,125	10111000	-69
10000100	-49,5	10111001	-69,375
10000101	-49,875	10111010	-69,75
10000110	-50,25	10111011	-70,125
10000111	-50,625	10111100	-70,5
10001000	-51	10111101	-70,875
10001001	-51,375	10111110	-71,25
10001010	-51,75	10111111	-71,625
10001011	-52,125	11000000	-72
10001100	-52,5	11000001	-72,375
10001101	-52,875	11000010	-72,75
10001110	-53,25	11000011	-73,125
10001111	-53,625	11000100	-73,5
10010000	-54	11000101	-73,875
10010001	-54,375	11000110	-74,25
10010010	-54,75	11000111	-74,625
10010011	-55,125	11001000	-75
10010100	-55,5	11001001	-75,375
10010101	-55,875	11001010	-75,75
10010110	-56,25	11001011	-76,125
10010111	-56,625	11001100	-76,5
10011000	-57	11001101	-76,875
10011001	-57,375	11001110	-77,25
10011010	-57,75	11001111	-77,625
10011011	-58,125	11010000	-78

Окончание таблицы 4.30

Двоичное значение регистра громкости	Значение уровня громкости, дБ
10011100	-58,5
10011101	-58,875
10011110	-59,25
11101010	-87,75
11101011	-88,125
11101100	-88,5
11101101	-88,875
11101110	-89,25
11101111	-89,625
11110000	-90
11110001	-90,375
11110010	-90,75
11110011	-91,125
11110100	-91,5

Двоичное значение регистра громкости	Значение уровня громкости, дБ
11010001	-78,375
11010010	-78,75
11010011	-79,125
11110101	-91,875
11110110	-92,25
11110111	-92,625
11111000	-93
11111001	-93,375
11111010	-93,75
11111011	-94,125
11111100	-94,5
11111101	-94,875
11111110	-95,25
11111111	-95,625

## **Заключение**

В настоящем руководстве пользователя рассмотрены архитектура, функциональное построение и особенности применения микросхемы 1273HA074, которая является 12-канальным 24-разрядным ЦАП со схемой ФАПЧ, дифференциальными выходами по напряжению и последовательным интерфейсом данных.

Все значения электрических параметров микросхемы приведены в технических условиях на изделие АЕНВ.431320.508ТУ.

Значения параметров, приведенные в настоящем техническом описании, являются справочными.

Данное руководство пользователя может служить практическим руководством по применению микросхемы 1273HA074 для разработки систем на ее основе.

Микросхема 1273HA074 может применяться в автомобильных аудиосистемах, домашних кинотеатрах, процессорах цифровых звуковых эффектов и т. д.

## Приложение А

(обязательное)

### Термины, определения и буквенные обозначения параметров, неустановленные действующими стандартами

Т а б л и ц а А.1

Наименование параметра	Буквенное обозначение параметра	Определение параметра
1	2	3
Разрешение	N	Двоичный логарифм максимального числа кодовых комбинаций на входе ЦАП
Погрешность смещения нуля	$E_0$	Отклонение выходного сигнала от идеального в точке, соответствия нулевому коду
Погрешность усиления	$E_G$	Отклонение выходного сигнала от идеального значения в точке полной шкалы при условии отсутствия смещения нуля
Интегральная нелинейность	$E_L$	Отклонение реальной характеристики преобразования от идеальной линии после исключения погрешностей смещения нуля и усиления
Динамический диапазон	DNR	Отношение среднеквадратичного значения первой гармоники к среднему квадратичному значению шумов и высших гармоник выходного сигнала при подаче на вход синусоиды максимальной амплитуды
Время установления	$t_s$	Время, отсчитываемое от подачи входного кода до установления выходного сигнала в заданном диапазоне
Частота преобразования	$F_s$	Частота, с которой выходные цифровые коды могут непрерывно преобразовываться в аналоговый сигнал с заданными характеристиками преобразования

Окончание таблицы А.1

1	2	3
Общие гармонические искажения	ТНД	<p>Отношение среднеквадратичного значения суммы амплитуд гармоник, исключая первую, к среднеквадратичному значению амплитуды основной составляющей выходного сигнала, выраженное в децибелах. Определяется по формуле</p> $\text{ТНД} = 10 \lg((V_2^2 + V_3^2 + \dots + V_i^2) / V_1^2), \quad (\text{A.1})$ <p>где <math>(V_2^2 + V_3^2 + \dots + V_i^2)</math> – среднеквадратичное значение суммы амплитуд гармоник от второй до <math>i</math>-той;</p> <p><math>V_1^2</math> – среднеквадратичное значение амплитуды основной составляющей.</p>
Отношение сигнал/шум	SNR	<p>Отношение среднеквадратичного значения амплитуды основной составляющей восстановленного сигнала к среднеквадратичному значению суммы всех спектральных составляющих, исключая гармоники, выраженное в децибелах.</p> <p>Определяется по формуле</p> $\text{SNR} = 10 \lg(V_1^2 / (V_2^2 + V_3^2 + \dots + V_i^2)), \quad (\text{A.3})$ <p>где <math>V_1^2</math> – среднеквадратичное значение амплитуды основной составляющей;</p> <p><math>(V_2^2 + V_3^2 + \dots + V_i^2)</math> – среднеквадратичное значение суммы всех спектральных составляющих, исключая гармоники.</p>
Максимальная частота обновления входных данных	$f_D$	Максимальная частота обновления входных данных

