

МИКРОСХЕМЫ ИНТЕГРАЛЬНЫЕ
1273ПП1Т

Руководство пользователя

Содержание

1 Введение.....	4
2 Назначение и основные технические характеристики микросхем 1273ПП1Т	4
2.1 Архитектурные характеристики микросхем.....	4
2.2 Конструктивные характеристики микросхем.....	5
2.3 Электрические характеристики микросхем.....	8
3 Общая характеристика микросхем	11
4 Описание устройства	12
4.1 Структура и описание микросхемы.....	12
4.2 Функциональные регистры.....	15
4.3 Детальное описание.....	16
4.3.1 Функции сброса и выключения питания	18
4.3.1.1 Сброс	18
4.3.1.2 Сброс по условию	18
4.3.1.3 Программное и аппаратное выключение питания.....	18
4.3.1.4 Значение по умолчанию регистров после сброса при включении питания, программного и аппаратного сброса	19
4.3.2 Функции терминалов режимов главный – подчинённый.....	20
4.3.3 Канал АЦП сигнала	20
4.3.4 Канал ЦАП сигнала	21
4.3.5 Последовательный интерфейс	21
4.3.6 Число ведомых устройств	22
4.3.7 Требование минимального числа периодов MCLK	23
4.3.7.1 Обзор режима ведущий-ведомый аналогового интерфейса 1273ПП1Т.....	23
4.3.7.2 Замечания по режиму ведущий-ведомый аналоговых интерфейсов	24
4.3.8 Рабочие частоты.....	27
4.3.8.1 Рабочие частоты автономного и главного режимов	27
4.3.8.2 Рабочие частоты ведомого режима	27
4.3.9 Частота фильтра на переключаемых конденсаторах f_{CLK}	27
4.3.10 Полоса частот фильтра	27
4.3.11 Автономный и ведущий режимы	28
4.3.11.1 Программируемые регистры.....	28
4.3.11.2 Функциональная последовательность автономного и главного режимов ..	29
4.3.12 Режим подчинённый и режим кодер-декодера.....	29
4.3.12.1 Функциональная последовательность ведомого режима и режима кодер- декодера.....	30
4.3.12.2 Программирование регистра режима ведомого.....	30
4.3.13 Функции выводов.....	31
4.3.13.1 Функция кадровой синхронизации FS#	31
4.3.13.2 Функция FS# режима ведущего	31
4.3.13.3 Функция FSD# режима ведущего	31
4.3.13.4 Функция FS# режима ведомого	32
4.3.13.5 Задержка кадровой синхронизации FSD# в режиме подчинённого	32
4.3.13.6 Выход данных DOUT.....	32
4.3.13.7 Выход данных, режим ведущего	33
4.3.13.8 Выход данных, режим ведомого.....	33
4.3.13.9 Вход данных DIN	33
4.3.13.10 Аппаратный программный терминал FC1 и FC0.....	33
4.3.13.11 Средние напряжения $U_{ADCV_{MID}}$ и $U_{DACV_{MID}}$	33

4.3.14	Функции устройства	34
4.3.14.1	Фазовая подстройка	34
4.3.14.2	Кольцевая проверка с использованием аналоговых сигналов.....	36
4.3.14.3	16-разрядный режим	36
4.3.14.4	Автономный режим	36
4.3.14.5	Вызов вторичного обмена информацией.....	37
4.3.14.6	Разрешение суммирования аналоговых входов	37
4.3.14.7	Sinx/x коррективировка ошибок канала ЦАП.....	37
4.3.15	Последовательная передача информации	38
4.3.15.1	Последовательность слов и содержание при первичной и вторичной передаче информации во время автономного режима и режима ведущего	38
4.3.15.2	Последовательность слов и содержание при первичной и вторичной передаче информации во время режима шифрации/дешифрации и режима подчинённого	39
4.3.16	Запрос на вторичную передачу данных и сдвиг фазы	39
4.3.16.1	Инициализация запроса.....	40
4.3.16.2	Нормальные комбинации управления	40
4.3.16.3	Дополнительные опции управления	40
4.3.17	Первичные последовательные обмены данными	42
4.3.17.1	Формат данных первичной передачи информации	42
4.3.17.2	Формат данных из DOUT в течение первичного интервала передачи информации.....	43
4.3.18	Вторичные последовательные обмены.....	43
4.3.18.1	Формат данных DIN в течение вторичного интервала передачи информации.....	43
4.3.18.2	Функции битов управления данными во вторичной передаче информации.....	43
4.3.19	Формат внутренних регистров	44
4.3.19.1	Псевдо-регистр 0 (адрес холостой операции)	44
4.3.19.2	Регистр 1 (А регистр).....	45
4.3.19.3	Регистр 2 (В регистр)	45
4.3.19.4	Регистр 3 (А' регистр)	46
4.3.19.5	Регистр 4 (регистр выбора коэффициента усиления).....	46
4.3.19.6	Регистр 5 (регистр управления аналоговой частью).....	47
4.3.19.7	Регистр 6 (регистр управления цифровой частью)	48
4.3.19.8	Регистр 7 (регистр задержки синхронизации кадра)	48
4.3.19.9	Регистр 8 (регистр номера синхронизации кадра)	49
4.4	Главные биты управления	49
5	Указания по применению и эксплуатации	54
5.1	Требования к временным параметрам и условиям в режиме главного	54
5.2	Требования к временным параметрам и условиям в режимах подчинённого и эмуляции кодирования/декодирования	55
5.3	Управления усилением	57
5.4	Временные диаграммы.....	58
5.5	Использование ИМС 1273ПП1Т совместно с процессорами цифровой обработки сигналов	62
6	Заключение	64
	Приложение А (обязательное)	65
	Лист регистрации изменений.....	67

1 Введение

Быстрое развитие цифровой техники и цифровых методов обработки сигналов определяет современные тенденции в разработке разнообразных устройств и приборов, при этом значительная роль принадлежит аналого-цифровому (АЦП) и цифро-аналоговому преобразованию (ЦАП). Такое преобразование широко используется во всех областях радиоэлектроники, в различной измерительной и контрольной аппаратуре, системах связи, радиовещании и телевидении.

Настоящее руководство предназначено для изучения интегральных микросхем 1273ПП1Т, содержит описание принципа работы, технические характеристики и другие сведения, необходимые для обеспечения полного использования технических возможностей микросхем.

Разработанные микросхемы позволят уменьшить вес аппаратуры, обеспечить требуемые показатели по надежности и сроку службы.

2 Назначение и основные технические характеристики микросхем 1273ПП1Т

Разработанные микросхемы представляют собой СБИС аналогового интерфейса для применения с серийно выпускаемыми и разрабатываемыми отечественными ПЦОС (1867ВМ2, 1867ВЦ1Т, 1867ВЦ2Т, 1867ВЦ3Т, 1867ВЦ4Т) в системах синтеза и распознавания речи, средствах сбора и регистрации данных.

Типичной областью применения для ИМС 1273ПП1Т являются модемы, голосовые процессоры, аналоговые интерфейсы для процессоров цифровой обработки сигналов, управление производственными процессами, обработка акустических сигналов, спектральный анализ, сбор данных и запись с контрольно-измерительного оборудования.

ИМС 1273ПП1Т является дальнейшим развитием ИМС М1178ХК1 (аналоговый интерфейс процессорной обработки информации звукового диапазона).

2.1 Архитектурные характеристики микросхем

1273ПП1Т – интегральная микросхема аналогового интерфейса – процессор звукового диапазона, который обеспечивает аналого-цифровой и цифро-аналоговый интерфейс ввода-вывода системы на одном КМОП кристалле.

Основные характеристики микросхем:	
- разрешающая способность АЦП, бит	14
- разрешающая способность ЦАП, бит	14
- максимальная скорость выборки, кГц	43,2
- программируемый коэффициент усиления	да
- полоса пропускания, кГц	до 10,8
- внутреннее опорное напряжение	да
- дифференциальный вход/выход	да
- недифференциальный вход/выход	да
- сопротивление нагрузки на аналоговых выходах, Ом	600
- число каналов	1
- представление данных	дополнение до 2-х
- последовательный порт	1
- тестовая аналоговая петля	да
- напряжение питания, В	$5 \pm 10 \%$
- диапазон температур окружающей среды, °С	от минус 60 до 85
- потребляемая мощность, мВт	не более 100

2.2 Конструктивные характеристики микросхем

Микросхема выполнена в 48-выводном металлокерамическом корпусе типа 4119.28-3.

Масса микросхемы – не более 2,5 г.

Условное графическое обозначение микросхемы приведено на рисунке 2.1.

Функциональное назначение выводов приведено в таблице 2.1.

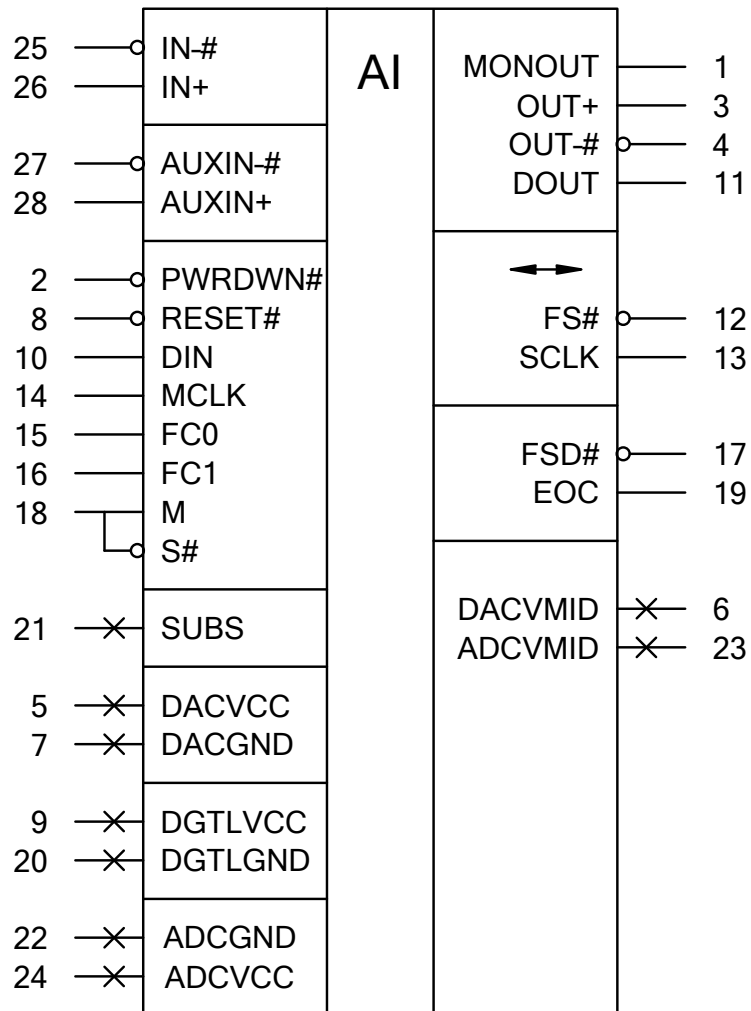


Рисунок 2.1 – Условное графическое обозначение ИМС 1273ПП1Т

Таблица 2.1 – Функциональное назначение выводов микросхемы 1273ПП1Т

№	Обозначение вывода	Функциональное назначение вывода	Тип вывода
1	MONOUT	Аналоговый контрольный выход канала АЦП	О
2	PWRDWN	Вход выключения питания	І
3	OUT+	Прямой аналоговый выход ЦАП	О
4	OUT-#	Инверсный аналоговый выход ЦАП	О
5	DACVCC	Вывод аналогового питания канала ЦАП	-
6	DACVMID	Вывод средней точки канала ЦАП	-
7	DACGND	Общий вывод аналогового питания канала ЦАП	-
8	RESET#	Вход сброса	І
9	DGTLVCC	Вывод цифрового питания логики управления	-
10	DIN	Ввод данных	І
11	DOUT	Вывод данных	О
12	FS#	Вывод сигнала кадра синхронизации	I/O
13	SCLK	Тактовый сигнал	I/O
14	MCLK	Вход задающего генератора	І
15	FC0	Вход управления	І
16	FC1	Вход управления	І
17	FSD#	Вывод задержки сигнала кадра синхронизации	О
18	M/S#	Вывод сигнала выбора конфигурации устройства ведущий/ведомый	І
19	EOC	Вывод конца преобразования	О
20	DGTLGND	Общий цифровой выход логики управления	-
21	SUBS	Вывод подключения подложки SUBS должен быть подключен к ADCGND	-
22	ADCGND	Общий вывод аналогового питания канала АЦП	-
23	ADCVMID	Вывод средней точки канала АЦП	-
24	ADCVCC	Вывод аналогового питания канала АЦП	-
25	IN-#	Инверсный аналоговый вход АЦП	І
26	IN+	Прямой аналоговый вход АЦП	І
27	AUXIN-#	Инверсный дополнительный аналоговый вход АЦП	І
28	AUXIN+	Прямой дополнительный аналоговый вход АЦП	І

Примечание – Условное обозначение: І – вход, О – выход, I/O – вход/выход.

2.3 Электрические характеристики микросхем

Электрические характеристики микросхем 1273ПП1Т при приемке и поставке приведены в таблице 2.2.

Значения предельно-допустимых электрических режимов эксплуатации в диапазоне рабочих температур приведены в таблице 2.3.

Термины, определения, сокращения и буквенные обозначения параметров – по ОСТ В 11 0998-99, ГОСТ 17021-88 и ГОСТ 19480-89.

Термины, определения и буквенные обозначения параметров, не установленные действующими стандартами, представлены в таблице А.1.

Таблица 2.2 – Значения электрических параметров микросхем 1273ПП1Т при приемке и поставке

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра		Температура среды, °С
		не менее	не более	
1	2	3	4	5
1 Выходное напряжение низкого уровня на выходах DOUT, FS#, SCLK, FSD#, EOC, В, $U_{CC} = (4,5 - 5,5) В, I_{OL} = 1,6 мА$	U_{OL}	–	0,4	–60 ± 3 25 ± 10 85 ± 3
2 Выходное напряжение высокого уровня на выходах DOUT, FS#, SCLK, FSD#, EOC, В, $U_{CC} = (4,5 - 5,5) В, I_{OH} = -1,6 мА$	U_{OH}	2,4	–	
3 Выходное напряжение на выводах DACVMID, ADCVMID, В, $U_{CC} = (4,5 - 5,5) В,$ $f_{MCLK} = 5,184 МГц$	U_{OMID}	$0,5U_{CC} - 0,1$	$0,5U_{CC} + 0,1$	
4 Входной ток низкого уровня на входах PWRDWN#, RESET#, DIN, FS#, SCLK, MCLK, FC0, FC1, M/S#, мкА, $U_{CC} = 5,5 В, U_{IL} = 0 В$	I_{IL}	–	–10	
5 Входной ток высокого уровня на входах PWRDWN#, RESET#, DIN, FS#, SCLK, MCLK, FC0, FC1, M/S#, мкА, $U_{CC} = 5,5 В, U_{IH} = U_{CC}$	I_{IH}	–	10	

Окончание таблицы 2.2

1	2	3	4	5	
6 Динамический ток потребления в рабочем режиме, мА, $U_{CC} = 5,5 \text{ В}, f_{MCLK} = 5,184 \text{ МГц}$	I_{OCC1}	–	25	– 60 ± 3 25 ± 10 85 ± 3	
7 Динамический ток потребления в режиме пониженного потребления, мА, $U_{CC} = 5,5 \text{ В}, f_{MCLK} = 5,184 \text{ МГц}$	I_{OCC2}	–	3,2		
8 Отношение сигнал/искажения АЦП, дБ, $U_{CC} = 5,5 \text{ В}, f_s = 8 \text{ кГц},$ $A_V = 0 \text{ дБ}, V_O = 0 \text{ дБ},$ $V_I = -1 \text{ дБ (1 020 Гц синусоида)}$	N_{ADC}	64	–		
9 Отношение сигнал/искажения ЦАП, дБ, $U_{CC} = 5,5 \text{ В}, f_s = 8 \text{ кГц}, R_L = 600 \text{ Ом},$ $A_V = 0 \text{ дБ}, V_O = 0 \text{ дБ},$ $V_I = 0 \text{ дБ (цифровой эквивалент 1 020 Гц синусоиды)}$	N_{DAC}	64	–		
10 Коэффициент ослабления второй гармоники в канале АЦП, дБ, $U_{CC} = 5,5 \text{ В}, f_{CLK} = 144 \text{ кГц},$ $f_s = 8 \text{ кГц},$ $V_I = -1 \text{ дБ (1 020 Гц синусоида)}$	K_{ADC2}	64	–		
11 Коэффициент ослабления третьей и высших гармоник в канале АЦП, дБ, $U_{CC} = 5,5 \text{ В}, f_{CLK} = 144 \text{ кГц},$ $f_s = 8 \text{ кГц},$ $V_I = -1 \text{ дБ (1 020 Гц синусоида)}$	K_{ADC3}	64	–		
12 Коэффициент ослабления второй гармоники в канале ЦАП, дБ, $U_{CC} = 5,5 \text{ В}, f_{CLK} = 144 \text{ кГц},$ $R_L = 600 \text{ Ом},$ $f_s = 8 \text{ кГц}, V_I = 0 \text{ дБ (цифровой эквивалент 1 020 Гц синусоиды)}$	K_{DAC2}	64	–		
13 Коэффициент ослабления третьей и высших гармоник в канале ЦАП, дБ, $U_{CC} = 5,5 \text{ В}, f_{CLK} = 144 \text{ кГц},$ $R_L = 600 \text{ Ом},$ $f_s = 8 \text{ кГц}, V_I = 0 \text{ дБ (цифровой эквивалент 1 020 Гц синусоиды)}$	K_{DAC3}	64	–		
14 Функциональный контроль, $U_{CC} = (4,5 ; 5,5) \text{ В},$ $f_{MCLK} = 5,184 \text{ МГц}$	ФК	–	–		
<p>Примечания</p> <p>1 Напряжение питания $U_{CC} = U_{ADCVCC} = U_{DACVCC} = U_{DGTLVCC}$.</p> <p>2 Параметры I_{IL}, I_{IH} при температуре минус $60 \text{ }^\circ\text{C}$ не измеряются, а гарантируются нормами при температуре $(25 \pm 10) \text{ }^\circ\text{C}$.</p>					

Таблица 2.3 – Значения предельно-допустимых режимов эксплуатации микросхем в диапазоне рабочих температур

Наименование параметра режима, единица измерения	Буквенное обозначение параметра	Предельно-допустимый режим		Предельный режим	
		не менее	не более	не менее	не более
1 Напряжение питания цифровой части микросхемы, В	$U_{DGTLVCC}$	4,5	5,5	-0,3	7,5
2 Напряжение питания АЦП, В	U_{ADCVCC}	4,5	5,5	-0,3	7,5
3 Напряжение питания ЦАП, В	U_{DACVCC}	4,5	5,5	–	7,5
4 Разность напряжений между любой парой напряжений питания, В	ΔU_{CC}	–	0,1	–	7,5
5 Входное напряжение высокого уровня на входах PWRDWN#, RESET#, DIN, FS#, SCLK, MCLK, FC0, FC1, M/S#, В	U_{IH}	2,2	$U_{DGTLVCC}$	–	$U_{DGTLVCC} + 0,3$
6 Входное напряжение низкого уровня на входах PWRDWN#, RESET#, DIN, FS#, SCLK, MCLK, FC0, FC1, M/S#, В	U_{IL}	0	0,8	-0,3	–
7 Входное напряжение на входах IN-#, IN+, AUXIN-#, AUXIN+, В	U_{IN}	0	U_{ADCVCC}	-0,3	$U_{ADCVCC} + 0,3$
8 Выходной ток низкого уровня на выходах DOUT, FS#, SCLK, FSD#, EOC, мА	I_{OL}	–	1,6	–	2,0
9 Выходной ток высокого уровня на выходах DOUT, FS#, SCLK, FSD#, EOC, мА	I_{OH}	–	-1,6	–	-2,0
10 Тактовая частота, МГц	f_{MCLK}	–	10,368	–	–
11 Длительность фронта и длительность спада входных сигналов, нс	t_{LH}	–	5,0	–	–
	t_{HL}	–	5,0	–	–
12 Частота дискретизации, кГц	ЦАП	–	25,0	–	–
	АЦП	–	43,2	–	–
13 Сопротивление нагрузки на выходах OUT+, OUT-#, Ом	R_L	600	–	–	–
Примечание – Не допускается воздействие двух и более предельных режимов одновременно.					

3 Общая характеристика микросхем

1273ПП1Т – интегральная микросхема аналогового интерфейса – процессор звукового диапазона, который обеспечивает аналого-цифровой и цифро-аналоговый интерфейс ввода-вывода системы на одном КМОП кристалле.

Микросхема включает в себя: входной полосовой фильтр на переключаемых конденсаторах, 14-разрядный аналого-цифровой преобразователь, 14-разрядный цифро-аналоговый преобразователь, выходной корректирующий фильтр низкой частоты на переключаемых конденсаторах, компенсацию $\sin x/x$, последовательный порт для управления и передачи данных.

Внутренняя конфигурация схемы и параметры производительности определяются чтением информации управления из восьми доступных регистров данных. Информация управления в регистрах конфигурирует устройство для определенного режима работы и приложения.

Основные функции ИМС:

- 1 Преобразование аналоговых данных в цифровой вид с помощью АЦП.
- 2 Обеспечение передачи цифровых данных и управляющих сигналов через последовательный интерфейс ввода-вывода процессора цифровых сигналов или микроконтроллера.
- 3 Преобразование цифровых данных в аудио - сигнал с помощью ЦАП.

Входной сглаживающий низкочастотный фильтр – фильтр шестого порядка на переключаемых конденсаторах. Высокочастотный фильтр однополюсный – для сохранения низкочастотного ответа. Трехполюсный аналоговый фильтр – для устранения гармоник тактовой частоты.

Выходной корректирующий низкочастотный фильтр – фильтр шестого порядка на переключаемых конденсаторах, следующий за фильтром второго порядка компенсации $\sin x/x$. Этот фильтр следует за трехполюсным аналоговым фильтром, устраняющим гармоники тактовой частоты.

ИМС состоит из двух каналов обработки сигналов (канала АЦП и канала ЦАП) и совместно действующего цифрового управления. Эти два канала работают синхронно, прием данных в канале ЦАП и передача данных от канала аналого-цифрового преобразователя происходят в течение того же самого интервала времени. Передача данных происходит в формате дополнения до 2-х.

Есть три основных режима работы: автономный режим аналогового интерфейса, режим ведущий-ведомый и режим линейного кодер-декодера. В автономном режиме ИМС генерирует тактовый сигнал сдвига и кадр

синхронизации для передачи данных, используемые только аналоговым интерфейсом. В режиме ведущий-ведомый в качестве ведущего выступает одна микросхема ИМС, которая генерирует тактовые сигналы и кадр синхронизации для ведомых аналоговых интерфейсов. В режиме линейного кодер-декодера тактовые сигналы и кадр синхронизации генерируются извне.

4 Описание устройства

4.1 Структура и описание микросхемы

Характеристики микросхемы:

- универсальный аналоговый внешний интерфейс обработки сигнала;
 - напряжение питания 5 В;
 - мощность рассеивания 100 мВт;
 - отношение сигнал/искажения 64 дБ;
 - программируемые ширина полосы фильтра (до 10,8 КГц), синхронизация АЦП и выборка ЦАП;
 - интерфейс последовательного порта;
 - выход контроля с программируемым коэффициентом усиления 0 дБ, -8 дБ, -18 дБ и «отключено»;
 - два дифференциальных канала ввода с программируемым коэффициентом усиления 0 дБ, 6 дБ, 12 дБ и «отключено»;
 - дифференциальный или асимметричный аналоговый выход с программируемым коэффициентом усиления 0 дБ, -6 дБ, -12 дБ и «отключено»;
 - максимальный размах на дифференциальном выходе 3 В в пике при нагрузке 600 Ом;
 - дифференциальная архитектура;
 - полноценные 14-разрядные АЦП и ЦАП;
 - формат данных «дополнение до 2-х»;
 - конструктивное исполнение: 28-выводной корпус 4119.28-3.
- Структурная схема микросхемы приведена на рисунке 4.1.
- Микросхема содержит следующие функциональные блоки:
- последовательный порт;
 - ЦАП;
 - АЦП;
 - фильтр коррекции $\sin x/x$;
 - ФНЧ канала ЦАП;
 - ФНЧ канала АЦП;
 - ФВЧ канала АЦП;

- выходной усилитель (аттенюатор) канала ЦАП;
- входной усилитель канала АЦП;
- выходной усилитель (аттенюатор) контрольного выхода;
- внутренний источник опорного напряжения.

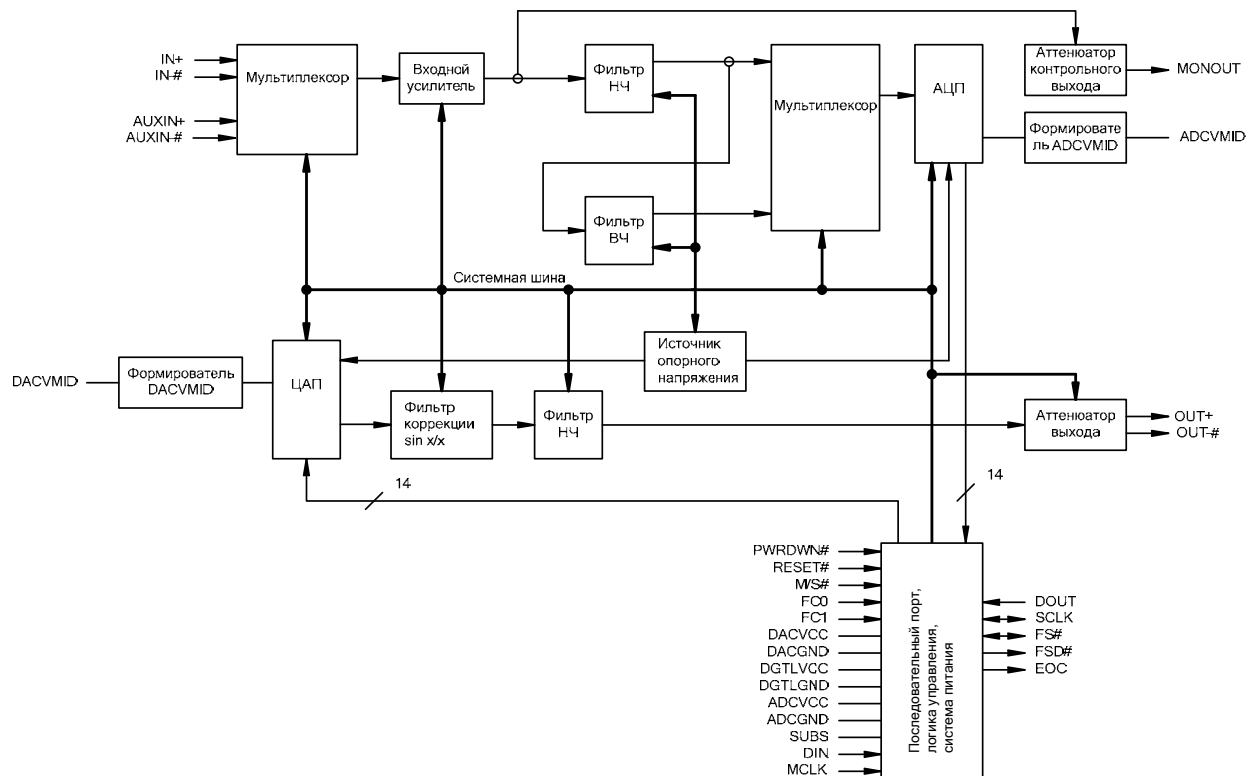


Рисунок 4.1 – Схема электрическая структурная микросхем 1273ПП1Т

Микросхема имеет независимые выводы для питания канала ЦАП, канала АЦП и цифровых блоков. Для питания канала ЦАП используются выводы DACVCC и DACGND, канала АЦП – ADCVCC и ADCGND. Для питания цифровых блоков используются выводы DGTLVCC и DGTLGND. Кроме того, микросхема имеет отдельный вывод подложки SUBS (общий для всех блоков схемы). Обычно напряжение питания цифровых и аналоговых блоков одинаково и может находиться в диапазоне от 4,5 до 5,5 В.

Функционально микросхема состоит из двух независимых каналов: приемного, в состав которого входит АЦП, и передающего с ЦАП.

В канале приема аналоговый сигнал звукового диапазона через входы IN+ и IN-# или через входы AUXIN+ и AUXIN-# поступает на входной усилитель, коэффициент усиления которого может устанавливаться равным 1, 2 или 4. Далее сигнал поступает на противопомеховый входной фильтр (полосовой) на переключаемых конденсаторах, который состоит из ФНЧ и ФВЧ. ФВЧ может быть программно отключен, что может быть необходимо при

обработке медленно меняющегося входного сигнала, вплоть до постоянных уровней напряжения. После фильтра сигнал поступает на АЦП, частота выборки которого может программно устанавливаться равной от 7,2 до 43,2 кГц. После преобразования сигнал через последовательный порт поступает на вывод DOUT и доступен для приема и последующей обработки ЦСП.

В канале передачи входные последовательные данные со входа DIN преобразуются в последовательном порту в параллельный вид и поступают на 14-разрядный ЦАП, где преобразуются в аналоговый вид. Частота дискретизации ЦАП может программно устанавливаться равной от 7,2 до 25 кГц. Далее аналоговый сигнал поступает на корректирующий фильтр $\sin x/x$, обеспечивающий подъем АЧХ на частоте 3,3 кГц, затем на ФНЧ на переключаемых конденсаторах, обеспечивающий подавление частоты дискретизации. Сигнал с выхода ФНЧ усиливается усилителем с регулируемым коэффициентом усиления и поступает на выходы OUT+ и OUT-#.

Рабочие частоты микросхемы приведены в таблице 4.1.

На рисунке 4.2 представлена диаграмма последовательности управления.

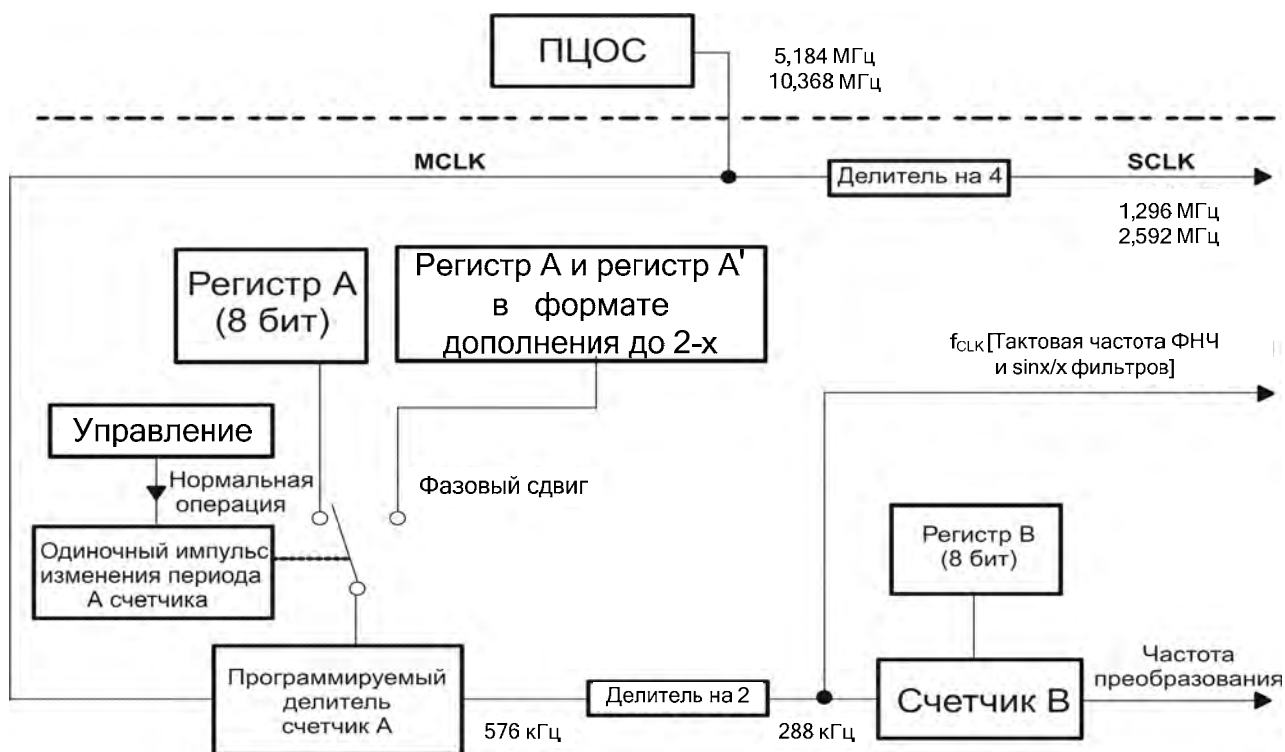


Рисунок 4.2 – Диаграмма последовательности управления

Таблица 4.1 – Рабочие частоты

f_{CLK} , кГц	Полоса пропускания фильтра низких частот, кГц	Содержимое регистра В, десятичное	Диапазон преобразования, кГц	Частота полюса высокочастотного фильтра, Гц
144	3,6	20 ¹⁾	7,2	36
		18	8,0	40
		15	9,6	48
		10 ²⁾	14,4	72
288	7,2	20 ¹⁾	14,4	72
		18	16,0	80
		15	19,2	96
		10 ^{2), 3)}	28,8	144
432	10,8	20 ¹⁾	21,6	108
		18	24,0	120
		15 ³⁾	28,8	144
		10 ^{2), 3)}	43,2	216

¹⁾ Регистр В может быть запрограммирован на величину большую, чем 20, но так как частота выборки не может быть меньше 7,2 кГц – частота среза фильтра остается 3,6 кГц. Может потребоваться внешний сглаживающий фильтр.

²⁾ Когда в регистр В программируется величина меньше 10, преобразования АЦП и ЦАП не выполняются до следующего сигнала синхронизации кадра – результат неверный.

³⁾ Максимальная частота дискретизации для канала АЦП равняется 43,2 кГц. Максимальная частота дискретизации для канала ЦАП 25 кГц.

4.2 Функциональные регистры

Имеются девять регистров данных, которые используются следующим образом:

Регистр 0 Регистр "Нет операции". Нулевой адрес позволяет проводить настройку без программирования регистров данных.

Регистр 1 Регистр А. Управляет счетчиком А.

Регистр 2 Регистр В. Управляет счетчиком В.

Регистр 3 Регистр А'. Управляет корректировкой периода выборки. Корректировка равна значению регистра, умноженному на период тактового сигнала.

Регистр 4 Регистр управления усилением. Управляет усилением входа, выхода и контролирует усиление.

Регистр 5 Регистр управления аналоговой частью:

- включение/выключение высокочастотного фильтра в АЦП канале;

- разрешение/запрещение аналоговой петли;
- выбор основного или дополнительного входа;
- суммирование сигналов с прямого и дополнительного входов.

Регистр 6 Регистр управления цифровой частью:

- выбор функции свободного выполнения;
- разрешение/запрещения выхода FSD#;
- выбор 16-разрядной функции;
- принудительная вторичная коммуникация;
- программный сброс;
- программное выключение питания.

Регистр 7 Регистр управления FSD. Задержка между кадром синхронизации ведущего устройства и кадром синхронизации ведомого устройства. Этот регистр программируется последним в ведомых устройствах, так как все регистры данных запираются задним фронтом шестнадцатого такта SCLK.

Регистр 8 Числовой регистр кадровой синхронизации FSN. Указывает ведущему устройству количество ведомых устройств, которые связаны в цепочку. Число кадров синхронизации равно числу ведомых устройств плюс один.

4.3 Детальное описание

Определение и терминология

АЦП канал	Схема обработки всех сигналов от аналогового входа и преобразования в цифровой результат на DOUT.
Режим кодер-декодера	Рабочий режим, в котором устройство получает тактовый сигнал сдвига и сигнал синхронизации кадра от ведущего устройства. Устройство не имеет ведомых.
Dxx	Битовая позиция в первичном слове данных (xx – номер бита).
ЦАП канал	Схема обработки всех сигналов принимаемых цифровых данных от DIN до выходных дифференциальных аналоговых сигналов, доступных на OUT+ и OUT-#.
Интервал передачи данных	Время, в течение которого данные переданы от DOUT до DIN. Этот интервал равен 16 периодам SCLK, независимого от того, сгенерированы эти тактовые сигналы внутренне или внешне. Передача данных начинается по заднему фронту сигнала синхронизации кадра.
DSxx	Битовая позиция во вторичном слове данных (xx – номер бита).

Синхронизация кадра	<p>Задний фронт сигнала, который инициализирует передачу данных. Первичный кадр синхронизации начинает первичную передачу данных.</p> <p>Вторичный кадр синхронизации начинает вторичную передачу данных.</p>
Период синхронизации кадра и выборки	<p>Время между двумя соседними сигналами синхронизации кадра.</p>
Интервал синхронизации кадра	<p>Период времени, соответствующий 16 периодам SCLK. Независимо от режима работы всегда есть внутренний сигнал синхронизации кадра, который становится низким по переднему фронту SCLK и остается низким в течение 16 тактов. Это используется для синхронизации внутренних сигналов последовательного порта. Внутренний сигнал синхронизации кадра становится высоким по семнадцатому переднему фронту SCLK.</p>
Хост	<p>Любая система обработки, которая связывает с помощью интерфейса DIN, DOUT, SCLK и FS#.</p>
Привилегированный режим	<p>Режим работы устройства (главный, ведущий), в котором устройство само вырабатывает и использует тактовый сигнал SCLK и сигнал синхронизации кадра. Сгенерированный задержанный сигнал синхронизации кадра необходим для ведомых устройств.</p>
Стадия настройки	<p>Программируемое время перестройки от заднего фронта сигнала синхронизации кадра до следующего заднего фронта сигнала синхронизации кадра. Время перестройки определяется содержимым регистра A', так как время между последовательными задними фронтами сигнала синхронизации кадра (период выборки) фиксировано.</p>
Первичный (последовательный) обмен информацией	<p>Канал цифровой передачи данных. Так как устройство синхронно, информационные данные от канала АЦП и на канал ЦАП происходят одновременно.</p>
Вторичный (последовательный) обмен информацией	<p>Цифровое управление и конфигурация, передача данных в DIN и циклическое чтение из регистра данных DOUT. Передача данных происходит по программному или аппаратному запросу.</p>
Данные сигнала	<p>Входной сигнал и все сигналы, преобразованные каналом АЦП и вернувшиеся через ЦАП канал к аналоговому выходу.</p> <p>Противопоставлено с просто цифровыми данными программного управления.</p>

Непривилегированный режим	Режим работы устройства (подчиненный), в котором устройство получает SCLK и сигнал синхронизации кадра от ведущего устройства.
Автономный режим	Режим работы устройства, в котором устройство само вырабатывает и использует SCLK и сигнал синхронизации кадра. Устройство не имеет ведомых устройств.
x	Безразличный бит в формате регистра управления.

4.3.1 Функции сброса и выключения питания

4.3.1.1 Сброс

1273ПП1Т сбрасывает внутренние счетчики и регистры, включая программируемые регистры, любым из следующих способов:

- подача напряжения питания, сброс при включении питания;
- подача короткого импульса низкого уровня на RESET#;
- чтение бита программного сброса (DS01 в регистре б).

PWRDWN# сбрасывает только счетчики и сохраняет содержимое программируемых регистров.

4.3.1.2 Сброс по условию

Два внутренних сигнала сброса используются для функций сброса и синхронизации :

- «Сброс счетчиков». Этот сигнал сбрасывает триггера и защелки, которые внешне не программируются, за исключением тех, которые генерируют импульс сброса непосредственно. Кроме того, этот сигнал сбрасывает бит программного выключения питания.

Сброс счетчиков = сброс при включении питания + RESET# +
+ RESET bit + PWRDWN#.

- «Сброс регистров». Этот сигнал сбрасывает триггера и защелки, которые сбрасывает "Сброс счетчиков", за исключением тех, которые непосредственно генерируют импульс сброса.

Сброс регистров = сброс при включении питания + RESET# + RESET bit.

Оба сигнала сброса длительностью меньше периода главного тактового сигнала и уходят по заднему фронту главного тактового сигнала.

4.3.1.3 Программное и аппаратное выключение питания

Учитывая определения и условия RESET#, условия программного выключения питания устанавливают бит программного сброса в «0» (DS01 в

регистре 6). Также происходит сброс при каждом включении питания устройства, при низком импульсе RESET# или PWRDWN#.

Аппаратное выключение питания низким уровнем на входе PWRDWN# переводит схему в режим потребления энергии менее 1 мА. Бит, реализующий функцию программного выключения питания, отключает от питания только аналоговая часть, при этом устройство потребляет менее 3 мА.

Короткий низкий импульс PWRDWN# сбрасывает триггера и защелки, которые внешне не программируются, поэтому сохраняется содержимое этих регистров.

PWRDWN# должен иметь высокий уровень, если не используется.

4.3.1.4 Значение по умолчанию регистров после сброса при включении питания, программного и аппаратного сброса

Регистр 1 – А регистр.

Значение по умолчанию регистра А – десятичное 18.

DS07	DS06	DS05	DS04	DS03	DS02	DS01	DS00
0	0	0	1	0	0	1	0

Регистр 2 – В регистр.

Значение по умолчанию регистра В – десятичное 18.

DS07	DS06	DS05	DS04	DS03	DS02	DS01	DS00
0	0	0	1	0	0	1	0

Регистр 3 – А' регистр.

Значение по умолчанию регистра А' – десятичное 0.

DS07	DS06	DS05	DS04	DS03	DS02	DS01	DS00
0	0	0	0	0	0	0	0

Регистр 4 – регистр выбора коэффициента усиления усилителя.

Значение по умолчанию регистра выбор коэффициента усиления усилителя – десятичное 5.

DS07	DS06	DS05	DS04	DS03	DS02	DS01	DS00
0	0	0	0	0	1	0	1

Регистр 5 – регистр управления аналоговой частью.

Условия сброса и выключения питания показаны ниже. В режиме чтения считываются 8 бит, но 4 младших бита повторяются в 4-х старших.

DS03	DS02	DS01	DS00
0	0	0	1

Регистр 6 – регистр управления цифровой частью.

Значение по умолчанию регистра управления цифровой частью – 0.

DS07	DS06	DS05	DS04	DS03	DS02	DS01	DS00
0	0	0	0	0	0	0	0

Регистр 7 – регистр управления FSD.

Значение по умолчанию регистра управления FSD – 0.

DS07	DS06	DS05	DS04	DS03	DS02	DS01	DS00
0	0	0	0	0	0	0	0

Регистр 8 – регистр кадровой синхронизации.

Значение по умолчанию регистра кадровой синхронизации – 1.

DS07	DS06	DS05	DS04	DS03	DS02	DS01	DS00
0	0	0	0	0	0	0	1

4.3.2 Функции терминалов режимов главный – подчинённый

Единственное различие между ведущими и ведомыми операциями в микросхеме 1273ПП1Т то, что SCLK и FS# являются выходами, когда на M/S# высокий уровень, а когда на M/S# низкий уровень – SCLK и FS# являются входами.

4.3.3 Канал АЦП сигнала

Чтобы исключить общую помеху, аналоговый сигнал обрабатывается дифференциально перед преобразованием в цифровой вид. Сигнал усиливается входным усилителем на один из трех, выбираемых программно, коэффициентов усиления (0 дБ, 6 дБ, 12 дБ). Режим подавления также может быть запрограммирован для входного усилителя. Сигнал с выхода усилителя фильтруется и подается на АЦП. АЦП оцифровывает аналоговый сигнал в цифровые данные, которые имеют формат «дополнение до 2-х». Эти 14-битные

цифровые данные синхронно передаются в последовательный порт DOUT (одно слово на каждый интервал первичной передачи информации). В течение вторичной передачи информации данные, предварительно запрограммированные в регистрах, могут быть считаны из регистров по соответствующему адресу. Когда чтение регистра не требуется – все 16 бит равны нулю.

4.3.4 Канал ЦАП сигнала

DIN последовательно получает 14-битные данные в формате дополнения до 2-х в течение интервала первичной передачи информации. Данные удерживаются защелкой на семнадцатом переднем фронте тактового сигнала SCLK. ЦАП преобразует данные в аналоговый сигнал, который проходит через схему коррекции $\sin x/x$ и сглаживающий фильтр. Выходной буфер усиливает сигнал на один из трех, выбираемых программно, коэффициентов усиления (0 дБ, -6 дБ, -12 дБ), выводя дифференциальный сигнал на выходы OUT+ и OUT-. Режим подавления также может быть запрограммирован для выходного буфера. В течение вторичной передачи информации данные конфигурации могут быть считаны из управляющих регистров.

4.3.5 Последовательный интерфейс

Цифровой последовательный интерфейс состоит из SCLK, сигнала кадровой синхронизации, выхода АЦП канала и входа ЦАП канала. В течение первого интервала синхронизации кадра результаты АЦП канала передаются в DOUT и 16-битные данные из DIN передаются в ЦАП канал. В течение вторичного интервала синхронизации кадра по SCLK передаются данные регистра в DOUT, если установлен бит чтения в «1». Дополнительно по SCLK передаются данные управления, данные параметров устройства с DIN. Функциональная диаграмма показана на рисунке 4.3.

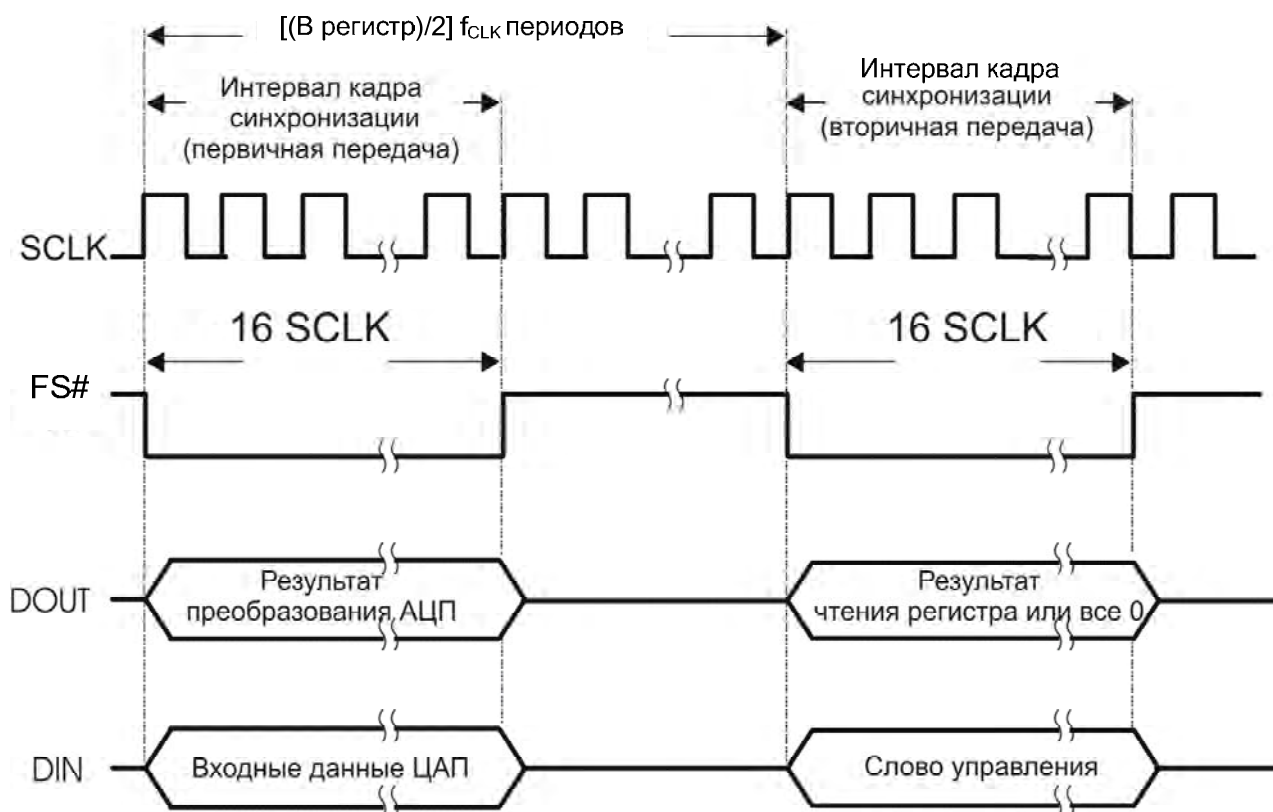


Рисунок 4.3 – Функциональная диаграмма первичной и вторичной передачи информации

Примечание – Время между первичным и вторичным сигналом синхронизации кадра равно периоду тактового сигнала фильтра f_{CLK} , умноженному на значение регистра B , деленное на 2. Интервал времени округляется до ближайшего сдвинутого тактового сигнала SCLK. Вторичный сигнал синхронизации кадра становится низким по следующему сигналу SCLK.

4.3.6 Число ведомых устройств

Максимальное число ведомых устройств определяется суммой индивидуальных задержек устройств от низкого уровня на входе FS# до низкого уровня на FSD# для всех ведомых.

$$N \times \text{задержка} (FS - FSD) < \frac{1}{2} \times \text{период SCLK}, \quad (1)$$

где N – число ведомых устройств.

Пример: преобразуем первое уравнение

$$N \leq \frac{1}{2} \times \text{период SCLK} \times \frac{1}{\text{задержка}(FS - FSD)}. \quad (2)$$

Возьмем главный тактовый сигнал частотой 10,368 МГц, SCLK 2,592 МГц, задержку (FS – FSD) 40 нс. Подставляем во второе уравнение и получаем число ведомых устройств:

$$N \leq \frac{1}{2} \times \frac{1}{2,592} \times \frac{1}{40} = \frac{1000}{207,36} = 4,8. \quad (3)$$

Максимальное число ведомых устройств при этих условиях равно 4.

4.3.7 Требование минимального числа периодов MCLK

4.3.7.1 Обзор режима ведущий-ведомый аналогового интерфейса 1273ПП1Т

После начальной установки сигналы синхронизации кадра ведущего устройства и ведомого разделяются; если необходима вторичная передача информации для подчиненного устройства, необходимо поместить «11» в два младших бита каждого первичного слова данных для всех устройств в системе ведущий-ведомый. Другими словами, все аналоговые интерфейсы должны получить запрос вторичной передачи информации.

Ведущий процессор должен выдать команду установки D01 и D00 в «1» в слове данных первичной синхронизации кадра всех устройств. Ведущее устройство генерирует сигналы первичной синхронизации кадра ведущего устройства и, после SCLK в количестве определяемых значением, записанным в регистре FSD, интервалы первичной синхронизации кадров ведомого устройства. Затем, после периода f_{CLK} (значение регистра B/2), сигналы вторичной синхронизации кадра ведущего устройства и потом сигналы вторичной синхронизации кадра ведомого устройства. Они проходят через ведомые устройства.

Другими словами, когда ведущий процессор требует интервал вторичной передачи информации, как описано выше:

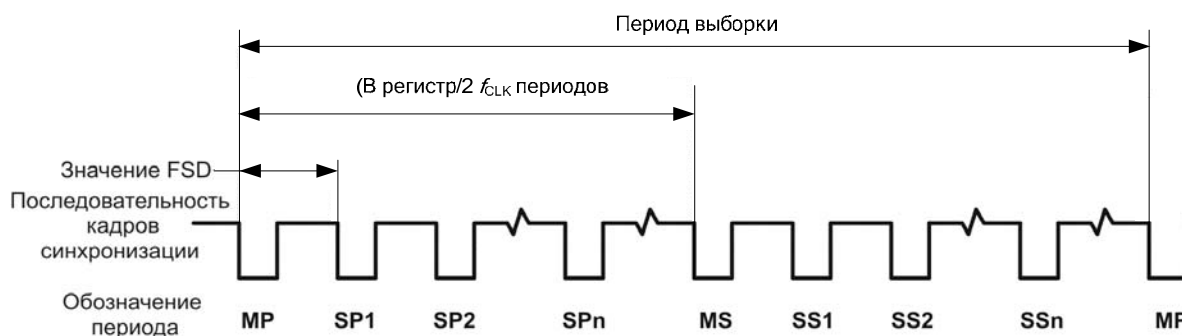
1 Ведущее устройство выводит сигнал первичной синхронизации кадра ведущего устройства и затем сигнал первичной синхронизации кадра ведомого устройства после SCLK в количестве определяемых значением, записанным в регистре FSD.

2 После периода f_{CLK} (значение регистра B/2) ведущее устройство выводит сигнал вторичной синхронизации кадра ведущего устройства и, после SCLK в количестве определяемых значением, записанным в регистре FSD, сигнал вторичной синхронизации кадра ведомого устройства.

Эта последовательность показана на рисунке 4.4.

Управляющее устройство должно отслеживать к какому устройству адресуется: ведущее ли это устройство или ведомое устройство и его номер. Ведущее устройство всегда выводит «00» в младших битах DOUT слова, а ведомое выводит «11» в младших битах DOUT слова. Эта информация позволяет системе распознавать отправную точку, опрашивая наименьший значащий бит DOUT слова. Если младший бит – «0», то устройство – ведущее и система – в отправной точке.

Примечание – эта идентификация работает всегда, кроме 16-разрядного режима, где 2 младших бита недоступны для идентификационных целей.



MP – первичный период ведущего;

SP1 – 1-ый первичный период ведомого;

SP2 – 2-ой первичный период ведомого;

SPn – n-ый первичный период ведомого;

MS – вторичный период ведущего;

SS1 – 1-ый вторичный период ведущего;

SS2 – 2-ой вторичный период ведомого;

SSn – n-ый вторичный период ведомого.

Рисунок 4.4 – Последовательность синхронизации

4.3.7.2 Замечания по режиму ведущий-ведомый аналоговых интерфейсов

Особенности режима ведущий-ведомый сведены к следующим замечаниям:

1 Ведомое устройство может быть запрограммировано независимо от ведущего устройства, пока не будет изменен регистр деления тактовой частоты. Например, независимо может быть изменен коэффициент усиления.

2 Метод, который используется чтобы независимо запрограммировать ведомое устройство, состоит в том, чтобы запросить вторичную связь; задержанный сигнал кадровой синхронизации пробегает через все устройства и достигает ведомое устройство для программирования.

3 Сигналы вторичной синхронизации кадра должны быть затребованы для всех устройств в системе или не должны быть затребованы ни для одного. Это требуется для того, чтобы ведущее устройство генерировало сигналы вторичной кадровой синхронизации для ведомых устройств и позволяло ведомым устройствам знать, что принимаемые сигналы – это сигналы вторичной синхронизации кадра. Каждое устройство в системе должно получить запрос вторичной синхронизации кадра в его соответствующий период первичной синхронизации кадра («11» должно быть в 2-х младших битах).

4 Вычисляется частота выборки f_s исходя из частоты задающего генератора, SCLK и соответствующих значений коэффициентов в регистрах.

$$f_s = \frac{f_{CLK}}{\text{значение регистра } B} = \frac{f_{MCLK}}{2 \times (\text{значение регистра } A) \times (\text{значение регистра } B)}, \quad (4)$$

поэтому

$$\frac{f_{MCLK}}{f_s} = 2 \times (\text{значение регистра } A) \times (\text{значение регистра } B). \quad (5)$$

Зная, что

$$f_{MCLK} = 4 \times SCLK,$$

подставляем в формулу

$$\begin{aligned} \frac{SCLK}{f_s} &= \frac{(\text{значение регистра } A) \times (\text{значение регистра } B)}{2} = \\ &= \frac{\text{число периодов } SCLK}{\text{время преобразования}}. \end{aligned} \quad (6)$$

5 Минимальное число SCLK между задними фронтами любых двух сигналов синхронизации кадра – 18, потому что минимальное значение регистра задержки синхронизации кадра – 18.

Когда управляющему устройству требуется вторичная передача информации, сигнал вторичной синхронизации кадра ведущего устройства начинается в середине периода выборки, так что все интервалы первичной синхронизации кадра (ведущего и ведомых устройств) должны произойти в пределах половины времени осуществления выборки.

Первый задний фронт сигнала вторичной синхронизации кадра происходит в следующее время:

$$\begin{aligned}
\text{время первого SFS} &= \frac{\text{значение регистра B}}{2} \times (\text{период } f_{CLK}) = \\
&= (\text{значение регистра A}) \times (\text{значение регистра B}) \times (\text{период } f_{CLK}) = \quad (7) \\
&= \frac{(\text{значение регистра A}) \times (\text{значение регистра B})}{4} \times (\text{период SCLK}).
\end{aligned}$$

6 Число интервалов синхронизации кадра

Все интервалы кадровой синхронизации кадра ведущего и ведомых устройств вычисляются уравнением (7).

На каждый интервал синхронизации кадра требуется 18 SCLK, поэтому число интервалов синхронизации кадра считаем по уравнению

$$\begin{aligned}
N_{FS} &= \frac{(\text{значение регистра A}) \times (\text{значение регистра B})}{4 \times 18} = \\
&= \frac{(\text{значение регистра A}) \times (\text{значение регистра B})}{72}. \quad (8)
\end{aligned}$$

7 Число ведущих и ведомых устройств, исходя из значений f_{MCLK} и f_S

Подставляя из уравнения (5) значения регистров А и В, получаем полное число устройств, включая ведущее и все ведомые, которые могут быть использованы при данной частоте главного тактового сигнала и частоте выборки.

$$N = \frac{f_{MCLK}}{144 \times f_S}. \quad (9)$$

8 Число ведущих и ведомых устройств, если требуется перепрограммирование подчинённых устройств

Уравнение (9) не включает перепрограммирование ведомых устройств после возникновения задержанного сигнала синхронизации кадра. Если требуется перепрограммирование ведомых устройств, то получаем полное число устройств

$$N = \frac{f_{MCLK}}{288 \times f_S}. \quad (10)$$

9 Пример расчета максимального количества устройств, если требуется перепрограммирование ведомых устройств. Используя следующие значения: $f_{MCLK}=10,368$ МГц, $f_S=8$ кГц в формуле (10), вычислим

$$N = \frac{10368}{288 \times 8} = 4,5.$$

Получается: можно использовать ведущее устройство и три ведомых устройства.

4.3.8 Рабочие частоты

4.3.8.1 Рабочие частоты автономного и главного режимов

Частота выборки получается из частоты ведущего тактового сигнала f_{MCLK} :

$$f_s = \frac{f_{MCLK}}{2 \times (\text{значение регистра } A) \times (\text{значение регистра } B)}. \quad (11)$$

Обратная величина – время между задними фронтами двух соседних сигналов первичной синхронизации кадра.

$$SCLK = \frac{f_{MCLK}}{4}. \quad (12)$$

4.3.8.2 Рабочие частоты ведомого режима

Рабочие частоты режима ведомого устройства, а так же значения по умолчанию, определяются внешним тактовым сигналом и частотой выборки, которая задается ведущим устройством.

4.3.9 Частота фильтра на переключаемых конденсаторах f_{CLK}

Тактовая частота фильтра – это внутренний тактовый сигнал, который определяется частотой полосы пропускания и тактовой частотой счетчика В. Тактовая частота фильтра определяется из уравнения

$$f_{CLK} = \frac{f_{MCLK}}{2 \times (\text{значение регистра } A)}. \quad (13)$$

4.3.10 Полоса частот фильтра

Частота среза фильтра низкой частоты по уровню –3 дБ определяется выражением

$$f(LP) = \frac{f_{CLK}}{40} = \frac{f_{MCLK}}{40 \times 2 \times (\text{значение регистра } A)}. \quad (14)$$

Частота среза фильтра высокой частоты по уровню –3 дБ определяется выражением

$$f(HF) = \frac{f_s}{200} = \frac{f_{MCLK}}{400 \times 2 \times (\text{значение регистра } A) \times (\text{значение регистра } B)}. \quad (15)$$

4.3.11 Автономный и ведущий режимы

Различие между ведущим и автономными режимами в том, что в автономном режиме нет никаких подчиненных (ведомых) устройств. Функционально эти два режима одинаковые. В обоих устройстве аналогового интерфейса генерирует SCLK и сигнал синхронизации кадра для последовательной передачи данных. Эти сигналы и тактовый сигнал фильтра f_{CLK} получаются из входного тактового. Сигнал задающий генератора подается на вход MCLK и определяет внутреннюю синхронизацию устройства. SCLK получается делением на четыре частоты задающего генератора и синхронизирует ввод и вывод данных на DIN и DOUT, соответственно, в течение интервала синхронизации кадра (16 тактов SCLK).

Для начала последовательной передачи информации устройство сбрасывается и первый сигнал синхронизации кадра появляется приблизительно на 648 тактовом сигнале после прохождения сброса.

4.3.11.1 Программируемые регистры

Программирование всех регистров происходит в течение вторичной передачи информации, данные захватываются защелками шестнадцатым задним фронтом SCLK. После сброса требуется восемь первичных и вторичных циклов передачи информации, чтобы установить восемь программируемых регистров. Регистры последовательно с 1 по 8 программируются во время вторичной передачи информации. Если требуется оставить в регистре значение по умолчанию, то во время вторичной передачи информации идет обращение к псевдо-регистру (регистр 0) – так называемая пустая команда. Пустая команда позволяет сдвигать фазу периода выборки без программирования какого-либо регистра.

В течение восьми циклов программирования регистров DOUT находится в третьем состоянии Z. DOUT выходит из третьего состояния по восьмому переднему фронту сигнала синхронизации кадра. Кроме того, каждый регистр может быть прочитан в течение вторичной синхронизации кадра при установленном бите чтения в «1» в соответствующем регистре. Когда происходит чтение регистра – запись в него запрещена. Чтобы перевести этот регистр в режим записи, требуется последующая вторичная передача информации.

Примечание – Режим третьего состояния DOUT не регламентируется.

4.3.11.2 Функциональная последовательность автономного и главного режимов

Счетчик А считает в соответствии с содержимым регистра А, рабочая частота счетчика А – половина рабочей частоты фильтра f_{CLK} . Счетчик В работает на частоте фильтра f_{CLK} с определенной функциональной последовательностью.

1 Счетчик В начинает считать в обратном порядке от значения регистра В минус один. Каждое значение остается в счетчике в течение одного f_{CLK} периода, включая нулевое значение. Полное время счета называется циклом счетчика В. Конец нулевого отсчета называют концом цикла В.

2 Когда значение счетчика В равно девяти – запускается аналогово-цифровое преобразование.

3 Аналогово-цифровое преобразование заканчивается на десятом тактовом сигнале f_{CLK} .

4 Низкий уровень f_S появляется по переднему фронту SCLK после завершения аналогово-цифрового преобразования. Этот передний фронт – первый после окончания В цикла.

5 Цикл цифро-аналогового преобразования начинается по переднему фронту внутреннего сигнала синхронизации кадра и завершается на десятом периоде f_{CLK} .

4.3.12 Режим подчинённый и режим кодер-декодера

Единственное различие между режимом ведомого и режимом кодер-декодера в том, что режим кодер-декодера управляется напрямую главным устройством и не использует сигнал FSD#. В обоих режимах SCLK и сигнал синхронизации кадра задаются извне и должны быть синхронны с f_{MCLK} . Частота преобразования устанавливается временным интервалом задних фронтов внешних сигналов синхронизации кадра, исключая случай, когда выбрана функция холостого хода битом 5 в регистре 6. Ведомое устройство или устройства совместно используют SCLK, сгенерированный ведущим устройством, но сигнал синхронизации кадра получают от предыдущего ведомого устройства по цепочке. N-ое ведомое устройство получает FS# от N-1 ведомого устройства с выхода FSD# и т. д. Первое ведомое устройство в цепочке получает FS# с выхода FSD# ведущего устройства.

4.3.12.1 Функциональная последовательность ведомого режима и режима кодер-декодера

Счетчик А считает в соответствии с содержимым регистра А, рабочая частота счетчика А – половина рабочей частоты фильтра f_{CLK} .

1 Счетчик В начинает считать в обратном порядке от значения регистра В минус один. Каждое значение остается в счетчике в течение одного f_{CLK} периода, включая нулевое значение. Полное время отсчитывания называется циклом счетчика В. Конец нулевого отсчета называют концом цикла В.

2 Когда значение счетчика В равно девяти – запускается аналогово-цифровое преобразование.

3 Аналогово-цифровое преобразование заканчивается на десятом тактовом сигнале f_{CLK} .

4 Все внутренние тактовые частоты становятся (останавливаются) на половине частоты f_{CLK} до окончания цикла В.

5 Все внутренние частоты перезапускаются по первому переднему фронту f_{MCLK} после установки FS# низким уровнем. Эта операция обеспечивает синхронизацию, необходимую при использовании внешнего сигнала FS#.

6 Цифро-аналоговое преобразование начинается по переднему фронту, внутренне сгенерированному сигналу синхронизации кадра, по окончании 16 тактов SCLK.

В режиме ведомого, ведущий управляет фазовой подстройкой самого себя и всех ведомых устройств, так как все устройства программируются в одном интервале синхронизации кадра. В режиме кодер-декодера сигнал SCLK и сигнал синхронизации кадра подаются извне и обеспечивают синхронизацию для АЦП и ЦАП, если не выбрана функция холостого хода. В режиме кодер-декодера фазовая подстройка обычно не нужна, однако любая необходимая фазовая подстройка должна быть выполнена подстройкой внешней синхронизации кадра.

4.3.12.2 Программирование регистра режима ведомого

После включения питания или после сброса ведомых устройств сигналы синхронизации кадра всех ведомых устройств происходят в тоже самое время, что и сигнал синхронизации кадра ведущего устройства, и все ведомые устройства программируются в течение вторичного интервала синхронизации кадра ведущего устройства с теми же данными, что и ведущего устройства. Последний программируемый регистр должен быть регистр FSD, потому что задержка стартует сразу же по переднему фронту 17 сдвинутого тактового

сигнала интервала синхронизации кадра. После завершения программирования FSD регистра для ведущего и ведомых устройств, первичный интервал синхронизации кадра ведомого устройства сдвигается во времени в соответствии с данными, содержащимися в его регистре FSD. Затем ведущее устройство генерирует интервал синхронизации кадра для себя и каждому ведомому устройству, чтобы синхронизировать последовательный порт главного устройства для передачи данных себе и всем ведомым устройствам.

Число ведомых устройств определено в регистре FSN (8 регистр), поэтому число интервалов синхронизации кадра, сгенерированных ведущим устройством, равно числу ведомых устройств плюс один. Эти интервалы синхронизации кадров ведущего устройства разделены во времени задержкой определенной в регистре FSD. Эти сгенерированные ведущим устройством интервалы – единственные сигналы синхронизации кадра, применяемые к последовательному порту главного устройства для обеспечения интервала времени передачи данных для ведомых устройств.

4.3.13 Функции выводов

4.3.13.1 Функция кадровой синхронизации FS#

Сигнал синхронизации кадра FS# показывает, что устройство готово для приема и передачи данных от устройств в режиме ведущего и режиме ведомого. Передача данных начинается по заднему фронту сигнала FS#.

4.3.13.2 Функция FS# режима ведущего

Сигнал синхронизации кадра генерируется внутри. FS# устанавливается низким уровнем по переднему фронту SCLK и остается низким для передачи 16-битных данных. Дополнительно к своему сигналу синхронизации кадра, устройство также выводит сигнал синхронизации кадра для каждого ведомого устройства, которые используются.

4.3.13.3 Функция FSD# режима ведущего

Для ведущего устройства задержка синхронизации кадра FSD# происходит за половину периода синхронизации сдвига перед FS# для компенсации запаздывания сигнала через ведущее и ведомое устройства. Ниже приведен расчет соотношения выполняемых функций по времени.

1 Когда регистр данных FSD равен нулю, то FSD# переходит в «0» состояние в конце спада SCLK; после того как SCLK становится «1», в «0» состояние переходит и FS# (см. рисунок 5.4).

2 Когда регистр данных FSD больше 17, FSD# переходит в «0» по фронту SCLK.

Значение данных регистра не может лежать в интервале от 1 до 17.

4.3.13.4 Функция FS# режима ведомого

Кадровая синхронизация генерируется внешним устройством обращением к FS# и управляется синхронизацией АЦП и ЦАП (см. 4.3.14.4). Внешний импульс кадровой синхронизации должен иметь ширину минимум одного тактового импульса SCLK, чтобы быть распознанным и оставаться на низком уровне, пока не потребуется следующий фрейм данных.

4.3.13.5 Задержка кадровой синхронизации FSD# в режиме подчинённого

Этот выходной сигнал подается от ведущего к первому ведомому, с выхода первого ведомого сигнал FSD# идет ко второму ведомому и так далее по цепочке. Ниже приведен расчет соотношения выполняемых функций по времени.

1 Когда регистр данных FSD равен нулю, FSD# переходит в «0» после того, как FS# переходит в «0».

2 Когда регистр данных больше 17, FSD# переходит в «0» состояние по фронту SCLK.

Значение данных регистра не может лежать в интервале от 1 до 17.

4.3.13.6 Выход данных DOUT

DOUT помещается в третье состояние по семнадцатому фронту SCLK (внутреннему или внешнему) после спада синхронизации кадра. В первичном сообщении слово данных – есть результат преобразования АЦП. Во вторичном сообщении данные – результат чтения регистра (если требуется чтение, бит чтение/запись (R/W#) и восемь старших битов установлены на «0»). В случае, когда чтение регистра не требуется, вторичные слова все нулевые.

4.3.13.7 Выход данных, режим ведущего

В режиме ведущего DOUT выходит из третьего состояния по сигналу спада кадровой синхронизации. В этом случае на DOUT приходит наиболее значимый знаковый бит.

4.3.13.8 Выход данных, режим ведомого

В режиме ведомого DOUT выходит из третьего состояния по спаду сигнала кадровой синхронизации или по фронту внешнего сигнала SCLK, какой бы сигнал не пришел первым (см. рисунок 5.7). Спад сигнала синхронизации кадра расположен на расстоянии $\pm 1/4$ периода SCLK от фронта SCLK (см. рисунок 5.3). На DOUT приходит наиболее значимый знаковый бит.

4.3.13.9 Вход данных DIN

В первичном сообщении слово данных будет являться цифровым входным сигналом с канала ЦАП. При вторичном обращении данные служат для управления и конфигурирования устройства для выполнения специфических функций (см. 4.3.15).

4.3.13.10 Аппаратный программный терминал FC1 и FC0

Эти входы предназначены для принятия аппаратных программных запросов для вторичной передачи информации или для выполнения фазовой подстройки. Эти входы работают совместно с битами управления D01 и D00 основного (главного) слова данных или битами DS15 и DS14 вторичного слова данных. Данные на FC1 и FC0 фиксируются растущим фронтом основного (первичного) внутренне сгенерированного или вторичного интервала синхронизации кадра. Когда входы не используются, они должны находиться в «0» состоянии (см. 4.3.16 и таблицу 4.3).

4.3.13.11 Средние напряжения U_{ADCVMID} и U_{DACVMID}

Поскольку данное устройство имеет одно напряжение питания, для работы с внутренними сигналами устройство генерирует два средних уровня напряжения. Для работы канала АЦП генерируется опорное напряжение U_{ADCVMID} , а для канала ЦАП опорное напряжение U_{DACVMID} . Наличие двух опорных напряжений уменьшает шум каналов АЦП и ЦАП и снижает их перекрестные помехи. U_{ADCVMID} и U_{DACVMID} должны быть буферизированы, если используются как опорные напряжения для внешних сигналов.

4.3.14 Функции устройства

4.3.14.1 Фазовая подстройка

В некоторых приложениях, например таких как модем, устройство в период дискретизации может потребовать настройки синхронизации с входящим потоком битов для улучшения соотношения сигнал/искажения. ИМС 1273ПП1Т может осуществлять настройку периода дискретизации с помощью регистра А' и служебных битов.

4.3.14.1.1 Управление фазовой подстройкой

Подстройка фазы – запрограммированное изменение параметров во время периода дискретизации. Настройка периода дискретизации производится в соответствии со значением данных в регистре А', а настройка фазы – это число на входе задающего генератора MCLK. Настройка выполняется в течение операций с битами D01 и D00 во время первичного обмена информацией, с битами DS15 и DS14 во время вторичного обмена информацией или в комбинации с аппаратными средствами через входы FC1 и FC0 (см. таблицу 4.3). Запрос на настройку фиксируется по фронту следующего внутреннего интервала синхронизации кадра и отпирается только в следующем периоде выборки. Для повторной настройки должен быть инициализирован новый запрос.

4.3.14.1.2 Использование А'- регистра для фазовой настройки

Значение А'- регистра задает небольшие корректировки для настройки периода выборки. Период выборки увеличивается или уменьшается согласно знаку запрограммированного значения А'- регистра и состоянию битов данных D01 и D00 в основном слове данных.

Частота преобразования (выборки) f_s определяется по формуле

$$f_s = \frac{f_{MCLK}}{(2 \times \text{знач. регистра } A \times \text{знач. регистра } B) \pm (\text{знач. регистра } A')}. \quad (16)$$

Исходя из формулы (16), если значение регистра А' = 0, то частота преобразования устройства и период являются константами; если в качестве значения А' запрограммировано ненулевое значение, то частота преобразования и период изменяются в соответствии с таблицей 4.2.

Таблица 4.2 – Изменение выборки в соответствии с регистром А'

D01	D00	Значение регистра А'	
		положительное	отрицательное
0	1 (команда на возрастание)	Частота уменьшается, период увеличивается	Частота увеличивается, период уменьшается
1	0 (команда на уменьшение)	Частота увеличивается, период уменьшается	Частота уменьшается, период увеличивается

Настройка периода выборки, которая требует запроса через вход данных DIN, возможна только в течение следующего периода выборки. Когда требуется следующая настройка периода, необходимо снова сформировать запрос и опросить биты D01 и D00 первичного слова данных. Для каждого запроса период выборки осуществляется немедленно после того, как затрагивается первичное слово данных.

Временной сдвиг всего периода выборки ($1/f_s$) следующий: когда длина периода выборки установлена на 125 мкс (8 кГц), регистр А' загружается десятичным числом 10 и частота задающего генератора ИМС 1273ПП1Т составляет 10,368 МГц. Время, на которое увеличится или уменьшится каждый период выборки (согласно запросу), вычисляется согласно уравнению

$$\text{Время сдвига} = (\text{значение регистра А}') \times (\text{период MCLK}). \quad (17)$$

Устройство изменяет период выборки в зависимости от периода MCLK и значения регистра А' согласно формуле

$$\begin{aligned} \text{Изменение периода выборки} &= (\text{значение регистра А}') \times \\ &\times (\text{период задающего генератора}) = 10 \times 96,45 = 964,5 \text{ (нс)}, \end{aligned} \quad (18)$$

что составляет менее 1 % периода выборки.

Период выборки изменяется на величину 964,5 нс каждый раз, когда для настройки запрашивается первичное слово данных (т. е. один раз за период).

Очевидно, что изменение периода выборки очень мало, по сравнению с длиной самого периода. Чтобы поддерживать этот эффект достаточно продолжительное время (больше периода выборки), требуется постоянное выполнение запросов первичного слова данных. Если повторная корректировка не требуется, период выборки меняется только один раз (в этом случае может показаться, что не было никакого выполнения команды). Это свойство особенно подходит для тестирования устройства, поскольку автоматическое тестирующее оборудование может проверять устройство в пределах всего одного периода выборки.

Значение регистра А' оказывает влияние только на один цикл (период) счетчика А. Значения А и А' добавочные, но только для одного периода А-счетчика. Начало работы А-счетчика выполняется по умолчанию или программируется значением А-регистра и уменьшает значение А'-регистра. В соответствии с этим – увеличивается или уменьшается значение А', первый тактовый цикл А-счетчика удлиняется или укорачивается. Начальный период А-счетчика – единственный период счетчика, затрагиваемый А'-регистром, и только этот период может увеличиваться и уменьшаться.

4.3.14.2 Кольцевая проверка с использованием аналоговых сигналов

Эта функция устройства позволяет производить удаленную циклическую проверку. При кольцевой проверке выходы OUT-# и OUT+ внутренне соединяются со входами IN-# и IN+. Биты ЦАП D15 и D02, используемые для входа данных DIN, сравниваются с битами выхода данных АЦП D15 и D02. Между каналами АЦП и ЦАП есть некоторые различия. Кольцевая проверка с использованием аналоговых сигналов осуществляется путем установки на «0» битов DS01 и DS00 регистра управления 5 (см. 4.3.19.6). Когда выполняется кольцевая проверка, внешние входы IN+ и IN-# не работают, однако сигналы OUT-# и OUT+ могут быть считаны.

4.3.14.3 16-разрядный режим

В 16-разрядном режиме устройство игнорирует последние два бита управления (D01 и D00) первичного слова и требует вторичного обмена информацией. Игнорирование двух последних битов при первичном обмене информацией разрешает совместимость с 16-разрядными приложениями. Эта функция осуществляется путем установки бита DS03 регистра 6 на «1». Для возврата к нормальному режиму необходимо установить бит DS03 на «0».

4.3.14.4 Автономный режим

С установкой бита автономного режима работы в регистре 6, внешний тактовый сдвиг и управление синхронизацией кадра осуществляются только переносом данных. Работа АЦП и ЦАП регулируется значениями регистров А и В; настройка сдвига фазы должна быть выполнена так, словно устройство находится в автономном режиме работы (stand-alone mode) (программным способом или установкой FC1 и FC0).

Фазовая подстройка не может быть выполнена настройкой синхронизации кадра. Внешняя синхронизация кадра должна производиться в

пределах 1/2 периода f_{CLK} внутренней синхронизации кадра (f_{CLK} определяется значениями регистров А и В).

Когда внешняя синхронизация кадра происходит совместно с внутренней загрузкой, запрос на передачу данных внешней синхронизации кадра имеет приоритет над внутренними командами загрузки.

Запирание преобразования данных АЦП запрещено, пока текущие 16 битов не будут сдвинуты из регистра сигналом SCLK.

4.3.14.5 Вызов вторичного обмена информацией

С установкой бита 2 в регистре 6 на «1» вторичный обмен данными будет запрашиваться постоянно. В этом случае отменяются все программные и аппаратные запросы относительно вторичного обмена данными. Однако, сдвиг фазы все еще может быть выполнен программно или аппаратно.

4.3.14.6 Разрешение суммирования аналоговых входов

После установки битов DS01 и DS00 в регистре 5 на «1» нормальное аналоговое напряжение суммируется с вспомогательным входным напряжением. Усиление для аналогового входного усилителя устанавливается битами DS03 и DS02 в регистре 4.

4.3.14.7 Sinx/x коррективировка ошибок канала ЦАП

Корректирующий sinx/x-фильтр устраняет ошибку sinx/x, если значение регистра В равно 15. Так как фильтр не может быть исключен с пути сигнала, использование других значений В-регистра приводит к ошибке на аналоговом выходе. Значение ошибки частотной характеристики канала ЦАП описывается выражением (19). Любая корректировка ошибки должна выполняться программным способом.

$$Ошибка = 20 \times \lg \left(\frac{\sin \left(\frac{2\pi \times A \times B}{f_{MCLK}} \times f \right)}{\sin \left(\frac{30\pi \times A}{f_{MCLK}} \times f \right)} \times \frac{15}{B} \right), \quad (19)$$

где f – текущая частота;

f_{MCLK} – частота задающего генератора 1273ПП1Т;

А – значение регистра А;

В – значение регистра В.

Значение \sin задается в радианах.

4.3.15 Последовательная передача информации

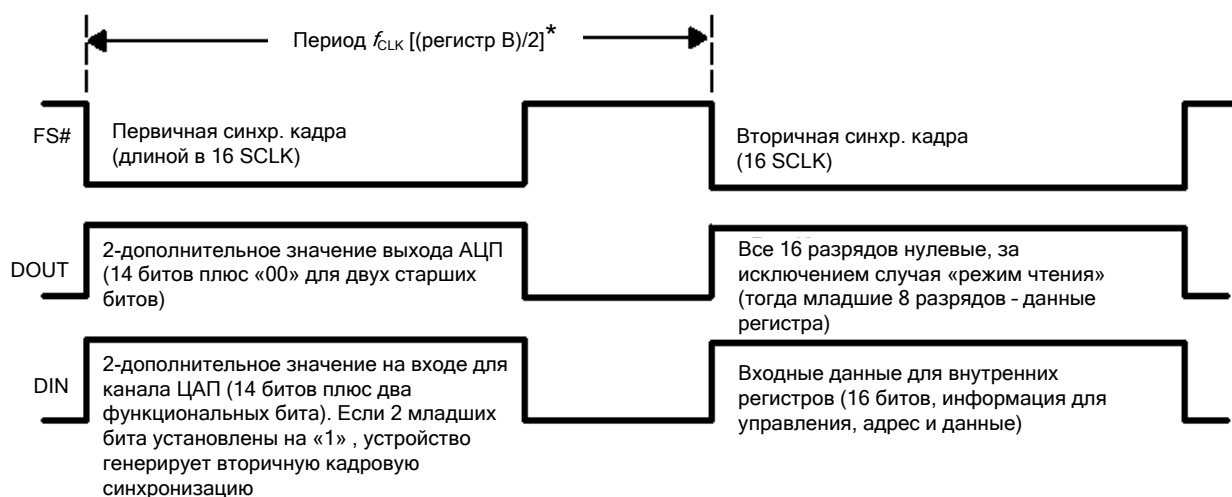
4.3.15.1 Последовательность слов и содержание при первичной и вторичной передаче информации во время автономного режима и режима ведущего

На рисунке 4.5 приведена последовательность (для автономного режима и режима ведущего), показывающая отношения между интервалами первичным и вторичным обменом данными – данные, содержащиеся в DIN и в DOUT.

ИМС 1273ПП1Т может обеспечить выполнение фазового сдвига или следующего вторичного обмена информацией дешифрацией:

- запрограммированного состояния входов FC1 и FC0 и битов данных D01 и D00 в первичном слове данных;
- запрограммированного состояния входов FC1 и FC0 и битов данных DS15 и DS14 во вторичном слове данных (см. таблицу 4.3).

Когда DS13 (бит R/W#) имеет значение по умолчанию «0», все 16 битов DOUT установлены на «0» в течение вторичного обмена данными. Однако, когда в управляющем слове при вторичном обмене данными бит R/W# установлен на «1», вторичная передача от DOUT имеет восемь нулевых старших разрядов. Младшие 8 разрядов содержат данные регистра, который легко адресуется. Эта особенность позволяет использовать регистр состояния для Хост-процессов.

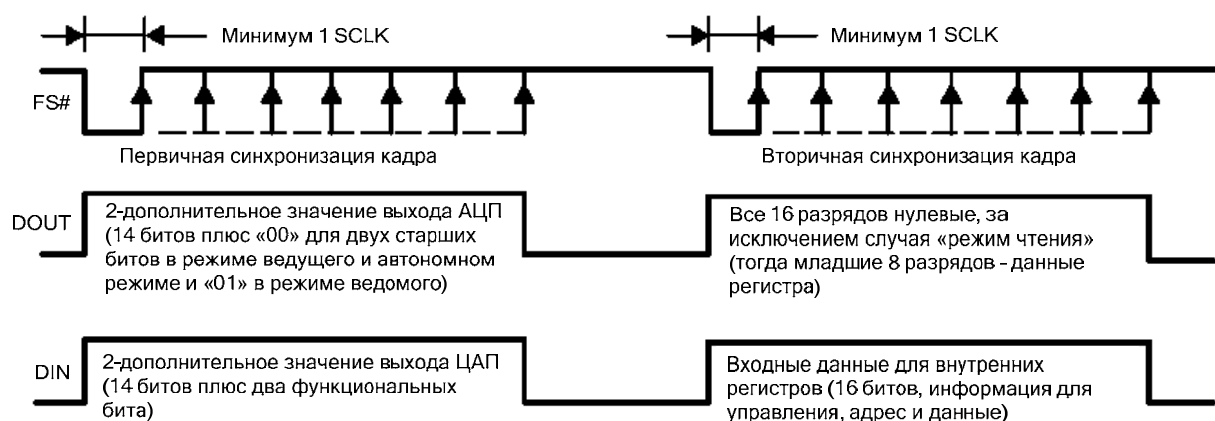


* Время между первичной и вторичной синхронизацией кадра эквивалентно времени периода внутреннего тактового генератора (f_{CLK}), умноженному на содержимое регистра B и деленному на 2. Временной интервал округляется до ближайшего сдвигового такта. Вторичный сигнал синхронизации кадра переходит из высокого в нижнее в следующем сдвиговом такте после периода внутреннего тактового генератора (регистр B / 2).

Рисунок 4.5 – Последовательность сигналов в режиме ведущего и автономном режиме

4.3.15.2 Последовательность слов и содержание при первичной и вторичной передаче информации во время режима шифрации/дешифрации и режима подчинённого

Последовательность сигналов в режимах ведомого и шифрации/дешифрации такая же, как и для режима ведущего и автономного режима, за исключением того, что синхронизация кадра и сдвиговые такты генерируются и управляются внешними сигналами, как показано на рисунке 4.6. Для режима шифрации/дешифрации необходимая ширина импульса синхронизации кадра должна составлять минимум одного такта внутреннего генератора. На диаграмме синхронизации показано отношение между синхронизацией кадра и тактом сдвига. Обычно в режимах ведомого и дешифрации/шифрации не требуется сдвиг фазы, поскольку синхронизация кадра может быть скорректирована внешним способом.



Примечание – Время между первичной и вторичной синхронизацией кадра определяется приложением, однако этого времени достаточно, чтобы обеспечить выполнение Хост необходимого числа программных команд во время между концом первичного обмена данными (передний (растущий) фронт интервала синхронизации кадра) и концом вторичной синхронизации кадра (начало вторичного обмена данными).

Рисунок 4.6 – Последовательность сигналов в режиме ведомого и дешифрации/шифрации

4.3.16 Запрос на вторичную передачу данных и сдвиг фазы

В следующих подпунктах описаны запросы для вызова вторичного обмена данными и фазового сдвига с использованием аппаратных управляющих входов FC1 и FC0, первичных битов данных D01 и D00 и вторичных битов данных DS15 и DS14.

4.3.16.1 Инициализация запроса

Запрос на вторичный обмен данными и сдвиг фазы инициализируется комбинацией состояний входов FC1 и FC0, битов D01 и D00 в первичном слове данных, FC1 и FC0 и битов DS14 и DS15 во вторичном слове данных (см. таблицу 4.3) согласно правилам:

1 Первичное слово сдвига фазы может быть запрошено программным или аппаратным способом, когда другой набор сигналов – «11» или «00». Если аппаратные или программные средства требуют сдвига фазы, программа осуществляет выполнение запроса.

2 Запрос на вторичные слова может быть сформирован программно или аппаратно в то же самое время, когда другие сигналы запрашивают сдвиг фазы.

3 Аппаратные входы FC1 и FC0 игнорируются в течение вторичного слова, если DS15 и DS14 – «11». Когда DS15 и DS14 равны «01» или «10», выполняется соответствующий сдвиг фазы. Когда DS15 и DS14 – «00», то сдвига фазы не происходит, даже когда аппаратные средства формируют запрос на него.

4.3.16.2 Нормальные комбинации управления

Выделяют несколько комбинаций управления.

1 Использование D01 и D00, DS15 и DS14 для запроса фазового сдвига и вторичного слова данных при удержании FC01 и FC00 в положении «00».

2 Использование исключительно FC1 и FC0 для формирования запроса сдвига фазы и вторичного слова, при удержании D01 и D00 в положении «00» и DS15 и DS14 в положении «11».

3 Использование D01 и D00 только для формирования запроса вторичного слова и FC1 и FC2 для фазового сдвига один раз за период с удержанием DS15 и DS14 в положении «00».

4.3.16.3 Дополнительные опции управления

Дополнительные опции управления достаточно необычны и используются редко, однако ниже приведем их краткое описание.

1 Использование D01 и D00 только для запроса вторичного слова данных и FC1 и FC0 для обеспечения фазового сдвига дважды за период, с удержанием DS15 и DS14 в положении «11».

2 Использование FC1 и FC0 исключительно для запроса вторичного слова и D01, и D00, и DS15, и DS14 для обеспечения сдвига фазы дважды за период.

3 Использование FC1 и FC0 для обеспечения фазового сдвига после первичного слова данных и DS15 и DS14 для обеспечения фазового сдвига после вторичного слова данных с удержанием D01 и D00 в положении «11».

Таблица 4.3 – Таблица истинности программных и аппаратных запросов для вторичного обмена информацией и фазового сдвига

В пределах первичного или вторичного слова	Биты управления		Аппаратные выводы		Подстройка сдвига фазы (см. 4.3.15.1, 4.3.16.1)		Вторичный запрос*
	D01	D00	FC1	FC0	раньше	позже	
1	2	3	4	5	6	7	8
Первичное слово	0	0	0	0	0	0	0
	0	0	0	1	0	1	0
	0	0	1	0	1	0	0
	0	0	1	1	0	0	1
	0	1	0	0	0	1	0
	0	1	0	1	0	1	0
	0	1	1	0	0	1	0
	0	1	1	1	0	1	1
	1	0	0	0	1	0	0
	1	0	0	1	1	0	0
	1	0	1	0	1	0	0
	1	0	1	1	1	0	1
	1	1	0	0	0	0	1
	1	1	0	1	0	1	1
	1	1	1	0	1	0	1
	1	1	1	1	1	0	1
Вторичное слово	DS15	DS14	FC1	FC0	раньше	позже	
	0	0	0	0	0	0	
	0	0	0	1	0	0	
	0	0	1	0	0	0	
	0	0	1	1	0	0	
	0	1	0	0	0	1	
	0	1	0	1	0	1	
	0	1	1	0	0	1	
	0	1	1	1	0	1	
	1	0	0	0	1	0	
	1	0	0	1	1	0	
	1	0	1	0	1	0	
	1	0	1	1	1	0	

Окончание таблицы 4.3

1	2	3	4	5	6	7	8
Вторичное слово	1	1	0	0	0	0	
	1	1	0	1	0	1	
	1	1	1	0	1	0	
	1	1	1	1	0	0	

* Состояние «0» указывает на то, что вторичного обмена данными не требуется. Состояние «1» указывает на запрос вторичного обмена данными.
Никакие запросы для вторичного обмена данных не могут быть сделаны во вторичном слове.

4.3.17 Первичные последовательные обмены данными

Первичный последовательный обмен данными переносит на DIN 14-разрядное значение входа ЦАП плюс два бита управления (D01 и D00). Они одновременно перемещают 14-разрядный результат работы АЦП к выходу DOUT процессора. Два старших бита результата АЦП равны «0».

4.3.17.1 Формат данных первичной передачи информации

DS15	DS14	DS13	DS12	DS11	DS10	DS09	DS08	DS07	DS06	DS05	DS04	DS03	DS02	DS01	DS00
------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------

14-разрядный результат работы ЦАП
в формате дополнения до 2-х*

Биты
управления

* $U_{\text{ADCV}_{\text{MID}}}$ в совокупности с одним напряжением питания обеспечивает связь с дополнительным форматом. При напряжении выше $U_{\text{ADCV}_{\text{MID}}}$ имеем «0» в старшем разряде, а ниже – «1».

В течение первичной передачи информации, когда D01 и D00 оба «1», в слове данных ЦАП к DIN последующие 16 бит управляющей информации принимаются устройством DIN в течение вторичного интервала передачи информации. Этот вторичный интервал передачи информации начинается в середине программируемого времени преобразования, когда значения регистра данных В определены, или значение программируемой середины минус один f_{CLK} , когда значения регистра В неопределены. Время между первичной и вторичной передачей информации определяется промежутком между задними фронтами кадровой синхронизации первичного и вторичного интервалов передачи информации.

4.3.17.2 Формат данных из DOUT в течение первичного интервала передачи информации

DS15	DS14	DS13	DS12	DS11	DS10	DS09	DS08	DS07	DS06	DS05	DS04	DS03	DS02	DS01	DS00
------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------

14-разрядный результат работы АЦП в формате дополнения до 2-х D15–знаковый бит	Режим ведущего	D01=«0» D00=«0»
	Режим ведомого	D01=«0» D00=«1»

4.3.18 Вторичные последовательные обмены

4.3.18.1 Формат данных DIN в течение вторичного интервала передачи информации

Девять 16-разрядных регистров конфигурации и управления пронумерованы от нуля до восьми.

Всё содержимое регистров данных представлено в формате дополнения до 2-х. Обобщённый формат команд в течение вторичного интервала передачи информации выглядит следующим образом:

DS15	DS14	DS13	DS12	DS11	DS10	DS09	DS08	DS07	DS06	DS05	DS04	DS03	DS02	DS01	DS00
Биты управления (2 бита)		R/W# бит	Адрес регистра (5 бит)					Данные регистра (8 бит)							

Все слова регистра управления фиксируются в регистре и действительны на шестнадцатом заднем фронте SCLK.

4.3.18.2 Функции битов управления данными во вторичной передаче информации

DS15 и DS14

Во втором слове данных разряды DS15 и DS14 выполняют такую функцию, как первичный контроль битов D01 и D00 в первичном слове данных.

DS15	DS14	DS13	DS12	DS11	DS10	DS09	DS08	DS07	DS06	DS05	DS04	DS03	DS02	DS01	DS00
Биты управления		R/W#	Адрес регистра					Данные регистра							

Внешние выводы FC1 и FC0 являются входами, когда DS15 и DS14 оба имеют высокий уровень и они игнорируются для всех остальных условий.

DS13 (R/W# бит)

Процедуры сброса и подачи питания устанавливают данный бит в «0», переводя устройство в режим записи. Когда этот бит установлен в «1», предыдущие данные, содержащиеся в регистре, будут адресоваться для чтения источнику из DOUT как младшие значащие 8 разрядов второго 16-разрядного слова. Первые 8 разрядов останутся установленными в «0». Чтение данных не разрушает их, и содержимое регистра остаётся прежним.

Режим записи (DS13 = 0)

Входные данные. Слово данных для DIN имеет нижеследующий обобщенный формат в режиме записи.

DS15	DS14	DS13	DS12	DS11	DS10	DS09	DS08	DS07	DS06	DS05	DS04	DS03	DS02	DS01	DS00	
Биты управления		0	Адрес регистра					Данные регистра								

Выходные данные. SCLK выводит из DOUT все нули.

DS15	DS14	DS13	DS12	DS11	DS10	DS09	DS08	DS07	DS06	DS05	DS04	DS03	DS02	DS01	DS00
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Режим чтения (DS13 = 1)

Входные данные. Слово данных в DIN, обеспечивающее чтение. Сдвиги фаз могут также быть выполнены в режиме чтения.

DS15	DS14	DS13	DS12	DS11	DS10	DS09	DS08	DS07	DS06	DS05	DS04	DS03	DS02	DS01	DS00	
Биты управления		1	Адрес регистра					Не используются								

Выходные данные. SCLK тактирует выходные данные по соответствующему адресу из DOUT в режиме чтения в 8 младших разрядах.

DS15	DS14	DS13	DS12	DS11	DS10	DS09	DS08	DS07	DS06	DS05	DS04	DS03	DS02	DS01	DS00
0	0	0	0	0	0	0	0	Данные регистра							

4.3.19 Формат внутренних регистров

4.3.19.1 Псевдо-регистр 0 (адрес холостой операции)

Этот адрес исполняет роль холостой команды, также устройство может принимать вторые команды для фазовой постройки без перепрограммирования регистра.

Чтение регистра даёт «0». Формат слова команды выглядит следующим образом:

DS15	DS14	DS13	DS12	DS11	DS10	DS09	DS08	DS07	DS06	DS05	DS04	DS03	DS02	DS01	DS00
Биты управления	x	0	0	0	0	0	0	x	x	x	x	x	x	x	x

4.3.19.2 Регистр 1 (А регистр)

Следующая команда загружает DS07(старший бит) – DS00 в А регистр.

DS15	DS14	DS13	DS12	DS11	DS10	DS09	DS08	DS07	DS06	DS05	DS04	DS03	DS02	DS01	DS00
Биты управления	R/W#	0	0	0	0	0	1	Данные регистра							

Данные в DS07 – DS00 определяют деление частоты главного тактового сигнала относительно внутреннего f_{CLK} .

Частота $f_{CLK} = f_{MCLK} / (\text{содержимое А регистра} \times 2)$.

По умолчанию значение А регистра равняется десятичному 18 как показано ниже.

DS07	DS06	DS05	DS04	DS03	DS02	DS01	DS00
0	0	0	1	0	0	1	0

4.3.19.3 Регистр 2 (В регистр)

Следующая команда загружает DS07(старший бит) – DS00 в В регистр.

DS15	DS14	DS13	DS12	DS11	DS10	DS09	DS08	DS07	DS06	DS05	DS04	DS03	DS02	DS01	DS00
Биты управления	R/W#	0	0	0	1	0	Данные регистра								

Данные в DS07 – DS00 определяют деление частоты f_{CLK} для получения частоты преобразования, как показано в формуле

$$f_s = f_{CLK} / (\text{содержимое регистра В}) = \frac{f_{MCLK}}{2 \times (\text{содержимое регистра А}) \times (\text{содержимое регистра В})} \quad (20)$$

По умолчанию значение В регистра равняется десятичному 18 как показано ниже.

DS07	DS06	DS05	DS04	DS03	DS02	DS01	DS00
0	0	0	1	0	0	1	0

4.3.19.4 Регистр 3 (A' регистр)

Следующая команда содержит адрес A' регистра и загружает DS07(старший бит) – DS00 в A' регистре.

DS15	DS14	DS13	DS12	DS11	DS10	DS09	DS08	DS07	DS06	DS05	DS04	DS03	DS02	DS01	DS00
Биты управления		R/W#	0	0	0	1	1	Данные регистра							

Данные DS07 – DS00 в формате дополнения до 2-х и задают число периодов MCLK, которые сдвигают и изменяют фазу.

По умолчанию значение A' регистра равняется «0» как показано ниже.

DS07	DS06	DS05	DS04	DS03	DS02	DS01	DS00
0	0	0	0	0	0	0	0

4.3.19.5 Регистр 4 (регистр выбора коэффициента усиления)

Следующая команда содержит коэффициенты усиления в соответствующих адресах регистра для выхода контроля (DS05 – DS04), аналогового входа (DS03 – DS02) и аналогового выхода (DS01 – DS00).

DS15	DS14	DS13	DS12	DS11	DS10	DS09	DS08	DS07	DS06	DS05	DS04	DS03	DS02	DS01	DS00
Биты управления		R/W#	0	0	1	0	0	x	x	*	*	**	**	***	***
Усиление выхода контроля установлено «отключено» →										0	0				
Усиление выхода контроля равно 0 дБ →										0	1				
Усиление выхода контроля равно – 8 дБ →										1	0				
Усиление выхода контроля равно – 18 дБ →										1	1				
Усиление аналогового входа установлено «отключено» →												0	0		
Усиление аналогового входа равно 0 дБ →												0	1		
Усиление аналогового входа равно 6 дБ →												1	0		
Усиление аналогового входа равно 12 дБ →												1	1		
Усиление аналогового выхода установлено «отключено» →														0	0
Усиление аналогового выхода равно 0 дБ →														0	1
Усиление аналогового выхода равно – 6 дБ →														1	0
Усиление аналогового выхода равно – 12 дБ →														1	1

* По умолчанию значение выхода контроля коэффициента усиления установлено «отключено», определяется битами DS05 и DS04 и соответствует в данном случае двоичным нулям в данных разрядах.

** По умолчанию значение усиления аналогового входа равняется 0 дБ, определяется битами DS03 и DS02 и соответствует в данном случае двоичным «0» и «1» в данных разрядах соответственно.

*** По умолчанию значение усиления аналогового выхода равняется 0 дБ, определяется битами DS01 и DS00 и соответствует в данном случае двоичным «0» и «1» в данных разрядах соответственно.

Данные по умолчанию имеют следующие значения как показано ниже:

DS07	DS06	DS05	DS04	DS03	DS02	DS01	DS00
0	0	0	0	0	1	0	1

4.3.19.6 Регистр 5 (регистр управления аналоговой частью)

Следующая команда загружает регистр управления аналоговой частью с отдельными функциональными разрядами как показано ниже.

DS15	DS14	DS13	DS12	DS11	DS10	DS09	DS08	DS07	DS06	DS05	DS04	DS03	DS02	DS01	DS00
Биты управления	R/W#	0	0	1	0	1	x	x	x	x	*	*	**	**	
Установлен в «0»												0			
Выключение высокочастотного фильтра												1			
Включение высокочастотного фильтра												0			
Включение аналоговой петли												0	0		
Включение IN + и IN-# (выключение AUXIN + и AUXIN-#)												0	1		
Включение AUXIN + и AUXIN-# (выключение IN + и IN-#)												1	0		
Включение суммирования аналогового входа												1	1		

* По умолчанию высокочастотный фильтр включен установкой бита в «0». Фильтр включен в путь сигнала.

** По умолчанию значения разрядов DS01 и DS00 равняются «0» и «1», соответственно, тем самым включая IN + и IN-#.

Подача питания или сброс устанавливают данные разряды как показано ниже:

DS03	DS02	DS01	DS00
0	0	0	1

В режиме чтения все восемь разрядов доступны для чтения, но 4 старших разряда дублируют 4 младших.

4.3.19.7 Регистр 6 (регистр управления цифровой частью)

Следующая команда загружает регистр управления цифровой частью с отдельными функциональными разрядами как показано ниже.

DS15	DS14	DS13	DS12	DS11	DS10	DS09	DS08	DS07	DS06	DS05	DS04	DS03	DS02	DS01	DS00
Биты управления		R/W#	0	0	1	1	0	x	x	*	*	*	*	*	*
Выполнение АЦП и ЦАП										1					
Ожидание										0					
Выключен выход FSD#										1					
Включен										0					
16-битный режим, игнорирование первичных младших разрядов												1			
Нормальная операция												0			
Выполнение вторичной передачи												1			
Нормальная операция												0			
Программный сброс (при сбросе по включении этот разряд автоматически сбрасывается в «0»)													1		
Ожидание сброса													0		
Программная активация включения (автоматический сброс в «0» после RWRDWN# в цикле от высокого уровня к низкому и обратно к высокому)														1	
Внешняя операция включения (используется RWRDWN#)														0	

* По умолчанию значения разрядов DS07 – DS00 равняются «0» как показано ниже.

DS07	DS06	DS05	DS04	DS03	DS02	DS01	DS00
0	0	0	0	0	0	0	0

4.3.19.8 Регистр 7 (регистр задержки синхронизации кадра)

Следующая команда содержит задержку кадровой синхронизации (FSD) по соответствующему адресу и загружает DS07(старший бит) – DS00 в регистр FSD. Разряды данных (DS01 – DS00) определяют номер SCLK между FS# и задержанным сигналом кадровой синхронизации FSD#. Минимальное значение для этого регистра соответствует десятичному 18.

DS15	DS14	DS13	DS12	DS11	DS10	DS09	DS08	DS07	DS06	DS05	DS04	DS03	DS02	DS01	DS00
Биты управления		R/W#	0	0	1	1	1	Данные регистра							

По умолчанию значение DS07 – DS00 равняется «0» как показано ниже.

DS07	DS06	DS05	DS04	DS03	DS02	DS01	DS00
0	0	0	0	0	0	0	0

Когда используется подчиненное устройство, регистр 7 должен быть запрограммирован последним.

4.3.19.9 Регистр 8 (регистр номера синхронизации кадра)

Следующая команда содержит номер кадровой синхронизации (FSN) по соответствующему адресу и загружает DS07(старший бит) – DS00 в регистр FSN. Разряды данных DS01 – DS00 определяют номер генерируемого сигнала кадровой синхронизации. Данный номер равен номеру подчинённого, увеличенному на единицу.

DS15	DS14	DS13	DS12	DS11	DS10	DS09	DS08	DS07	DS06	DS05	DS04	DS03	DS02	DS01	DS00
Биты управления		R/W#	0	1	0	0	0	Данные регистра							

По умолчанию значение DS07 – DS00 равно «1» как показано ниже.

DS07	DS06	DS05	DS04	DS03	DS02	DS01	DS00
0	0	0	0	0	0	0	1

4.4 Главные биты управления

Назначение битов управления D01, D00, DS15, DS14 и аппаратных выводов FC0 и FC1 показано в таблицах 4.4, 4.5. Любые непоказанные комбинации состояний D01, D00, DS15, DS14, FC1, FC0 игнорируются.

Таблица 4.4 – Функции управления битов управления D01, D00 и аппаратных выводов FC0 и FC1

Биты		Выводы		Функция управления
D01	D00	FC1	FC0	
1	2	3	4	5
0	0	0	0	По следующему переходу FS# из «1» в «0» схема аналогового интерфейса принимает данные ЦАП D15-D02 с DIN и передаёт данные АЦП D15-D00 из DOUT

Продолжение таблицы 4.4

1	2	3	4	5
0	0	0	1	По следующему переходу FS# из «1» в «0» схема аналогового интерфейса принимает данные ЦАП D15-D02 с DIN и передаёт данные АЦП D15-D00 из DOUT. Подстройка фазы определяется состоянием FC1 и FC0 из условия, чтобы она была на следующем возрастающем уровне следующего внутреннего FS#; следующее АЦП/ЦАП время преобразования происходит позже определённого количества периодов MCLK, эквивалентных содержащемуся в регистре A' значению. Когда значение регистра A' отрицательное, внутренний спадающий уровень FS# происходит раньше
0	0	1	0	По следующему переходу FS# из «1» в «0» схема аналогового интерфейса принимает данные ЦАП D15-D02 с DIN и передаёт данные АЦП D15-D00 из DOUT. Подстройка фазы определяется состоянием FC1 и FC0 из условия, чтобы она была на возрастающем уровне следующего внутреннего FS#; следующее АЦП/ЦАП время преобразования происходит раньше определённого количества периодов MCLK, эквивалентных содержащемуся в регистре A' значению. Когда значение регистра A' отрицательное, внутренний спадающий уровень FS# происходит позже
0	0	1	1	По следующему переходу первичного FS# из «1» в «0» схема аналогового интерфейса принимает данные ЦАП D15-D02 с DIN и передаёт данные АЦП D15-D00 из DOUT. Когда FC0 и FC1 оба имеют высокий уровень, то схема аналогового интерфейса инициирует вторичный FS# к приёму второго слова управления от DIN. Второй кадр синхронизации происходит на 1/2 времени выборки, как измеренный от спадающего уровня первичного FS#
0	1	0	0	По следующему переходу FS# из «1» в «0» схема аналогового интерфейса принимает данные ЦАП D15-D02 с DIN и передаёт данные АЦП D15-D00 из DOUT. Подстройка фазы определяется состоянием D01 и D00 из условия, чтобы она была на следующем возрастающем уровне FS#; следующее АЦП/ЦАП время преобразования происходит позже определённого количества периодов MCLK, эквивалентных значению содержащемуся в регистре A' значению. Когда значение регистра A' отрицательное, внутренний спадающий уровень FS# происходит раньше
1	0	0	0	По следующему переходу FS# из «1» в «0» схема аналогового интерфейса принимает данные ЦАП D15-D02 с DIN и передаёт данные АЦП D15-D00 из DOUT. Подстройка фазы определяется состоянием D01 и D00. На следующем возрастающем уровне FS# следующее АЦП/ЦАП время преобразования происходит раньше определённого количества периодов MCLK, эквивалентных содержащемуся в регистре A' значению. Когда значение регистра A' отрицательное, внутренний спадающий уровень FS# происходит позже

Продолжение таблицы 4.4

1	2	3	4	5
1	1	0	0	По следующему переходу FS# из «1» в «0» схема аналогового интерфейса принимает данные ЦАП D15-D02 с DIN и передаёт данные АЦП D15-D00 из DOUT. Когда D00 и D01 оба имеют высокий уровень, то схема аналогового интерфейса инициирует вторичный FS# к приёму второго слова управления от DIN. Второй кадр синхронизации происходит на 1/2 времени выборки, как измеренный от спадающего уровня первичного FS#
0	1	1	1	По следующему переходу FS# из «1» в «0» схема аналогового интерфейса принимает данные ЦАП D15-D02 с DIN и передаёт данные АЦП D15-D00 из DOUT. Подстройка фазы определяется состоянием D01 и D00 из условия, чтобы она была на следующем возрастающем уровне FS#; следующее АЦП/ЦАП время преобразования происходит позже определённого количества периодов MCLK, эквивалентных содержащемуся в регистре A' значению. Когда значение регистра A' отрицательное, внутренний спадающий уровень FS# происходит раньше. Когда FC0 и FC1 оба имеют высокий уровень, то схема аналогового интерфейса инициирует вторичный FS# к приёму второго слова управления от DIN. Второй кадр синхронизации происходит на 1/2 времени выборки, как измеренный от спадающего уровня первичного FS#
1	0	1	1	По следующему переходу FS# из «1» в «0» схема аналогового интерфейса принимает данные ЦАП D15-D02 с DIN и передаёт данные АЦП D15-D00 из DOUT. Подстройка фазы определяется состоянием D01 и D00. На следующем возрастающем уровне FS# следующее АЦП/ЦАП время преобразования происходит раньше определённого количества периодов MCLK, эквивалентных содержащемуся в регистре A' значению. Когда значение регистра A' отрицательное, внутренний спадающий уровень FS# происходит позже. Когда FC0 и FC1 оба имеют высокий уровень, то схема аналогового интерфейса инициирует вторичный FS# к приёму второго слова управления от DIN. Второй кадр синхронизации происходит на 1/2 времени выборки, как измеренный от спадающего уровня первичного FS#
1	1	1	1	По следующему переходу FS# из «1» в «0» FS# схема аналогового интерфейса принимает данные ЦАП D15-D02 с DIN и передаёт данные АЦП D15-D00 из DOUT. Когда оба FC1 и FC0 или оба D00 и D01 имеют высокий уровень, то схема аналогового интерфейса инициирует вторичный FS# к приёму второго слова управления от DIN. Второй кадр синхронизации происходит на 1/2 времени выборки, как измеренный от спадающего уровня первичного FS#

Окончание таблицы 4.4

1	2	3	4	5
1	1	0	1	По следующему переходу FS# из «1» в «0» схема аналогового интерфейса принимает данные ЦАП D15-D02 с DIN и передаёт данные АЦП D15-D00 из DOUT. Когда D00 и D01 оба имеют высокий уровень, то схема аналогового интерфейса инициирует вторичный FS# к приёму второго слова управления от DIN. Второй кадр синхронизации происходит на 1/2 времени выборки, как измеренный от спадающего уровня первичного FS#. Подстройка фазы определяется состоянием FC1 и FC0 из условия, чтобы она была на следующем возрастающем уровне FS#; следующее АЦП/ЦАП время преобразования происходит позже определённого количества периодов MCLK, эквивалентных содержащемуся в регистре A' значению. Когда значение регистра A' отрицательное, внутренний спадающий уровень FS# происходит раньше
1	1	1	0	По следующему переходу FS# из «1» в «0» схема аналогового интерфейса принимает данные ЦАП D15-D02 с DIN и передаёт данные АЦП D15-D00 из DOUT. Когда D00 и D01 оба имеют высокий уровень, то схема аналогового интерфейса инициирует вторичный FS# к приёму второго слова управления от DIN. Второй кадр синхронизации происходит на 1/2 времени выборки, как измеренный от спадающего уровня первичного FS#. Подстройка фазы определяется состоянием FC1 и FC0 из условия чтобы она была на следующем возрастающем уровне FS#; следующее АЦП/ЦАП время преобразования происходит позже определённого количества периодов MCLK, эквивалентных содержащемуся в регистре A' значению. Когда значение регистра A' отрицательное, внутренний спадающий уровень FS# происходит раньше
1	1	1	1	По следующему переходу FS# из «1» в «0» схема аналогового интерфейса принимает данные ЦАП D15-D02 с DIN и передаёт данные АЦП D15-D00 из DOUT. Когда оба FC1 и FC0 или оба D00 и D01 имеют высокий уровень, то схема аналогового интерфейса инициирует вторичный FS# к приёму второго слова управления от DIN. Второй кадр синхронизации происходит на 1/2 времени выборки, как измеренный от спадающего уровня первичного FS#

Таблица 4.5 – Функции управления битов управления (DS15, DS14) и аппаратных выводов (FC0 и FC1)

Биты		Выводы		Функция управления
DS15	DS14	FC1	FC0	
1	2	3	4	
0	0	Игнорируется		По следующему переходу FS# из «1» в «0» схема аналогового интерфейса принимает данные ЦАП D15-D02 с DIN и передаёт данные АЦП D15-D00 из DOUT

Окончание таблицы 4.5

1	2	3	4	5
0	1	Игнорируется		По следующему переходу FS# из «1» в «0» схема аналогового интерфейса принимает данные ЦАП D15-D02 с DIN и передаёт данные АЦП D15-D00 из DOUT. Подстройка фазы определяется состоянием DS15 и DS14 из условия, чтобы она была на следующем возрастающем уровне FS#; следующее АЦП/ЦАП время преобразования происходит позже определённого количества периодов MCLK, эквивалентных содержащемуся в регистре A' значению. Когда значение регистра A' отрицательное, внутренний спадающий уровень FS# происходит раньше
1	0	Игнорируется		По следующему переходу FS# из «1» в «0» схема аналогового интерфейса принимает данные ЦАП D15-D02 с DIN и передаёт данные АЦП D15-D00 из DOUT. Подстройка фазы определяется состоянием D01 и D00. На следующем возрастающем уровне FS# следующее АЦП/ЦАП время преобразования происходит раньше определённого количества периодов MCLK, эквивалентных содержащемуся в регистре A' значению. Когда значение регистра A' отрицательное, внутренний спадающий уровень FS# происходит раньше
1	1	0	0	По следующему переходу FS# из «1» в «0» схема аналогового интерфейса принимает данные ЦАП D15-D02 с DIN и передаёт данные АЦП D15-D00 из DOUT
1	1	0	1	По следующему переходу FS# из «1» в «0» схема аналогового интерфейса принимает данные ЦАП D15-D02 с DIN и передаёт данные АЦП D15-D00 из DOUT. Подстройка фазы определяется состоянием FC1 и FC0 из условия, чтобы она была на следующем возрастающем уровне FS#; следующее АЦП/ЦАП время преобразования происходит позже определённого количества периодов MCLK, эквивалентных содержащемуся в регистре A' значению. Когда значение регистра A' отрицательное, внутренний спадающий уровень FS# происходит раньше
1	1	1	0	По следующему переходу FS# из «1» в «0» схема аналогового интерфейса принимает данные ЦАП D15-D02 с DIN и передаёт данные АЦП D15-D00 из DOUT. Подстройка фазы определяется состоянием FC1 и FC0 из условия, чтобы она была на следующем возрастающем уровне FS#; следующее АЦП/ЦАП время преобразования происходит раньше определённого количества периодов MCLK, эквивалентных содержащемуся в регистре A' значению. Когда значение регистра A' отрицательное, внутренний спадающий уровень FS# происходит раньше
1	1	1	1	По следующему переходу FS# из «1» в «0» схема аналогового интерфейса принимает данные ЦАП D15-D02 с DIN и передаёт данные АЦП D15-D00 из DOUT

5 Указания по применению и эксплуатации

Микросхемы должны использоваться в соответствии с указаниями по применению и эксплуатации микросхем по ОСТ В 11 0998-99, АЕЯР.431320.666ТУ, с дополнениями и уточнениями, приведенными в настоящем разделе.

5.1 Требования к временным параметрам и условиям в режиме главного

Требования приведены в таблицах 5.1, 5.2.

Таблица 5.1 – Диапазон эксплуатационных характеристик в режиме главного

Обозначение параметра	Наименование параметра, единица измерения	Норма параметра		
		не менее	типовая	не более
$t_{f(SCLK)}$	Длительность заднего фронта сдвинутого тактового сигнала, нс	–	13	18
$t_{r(SCLK)}$	Длительность переднего фронта сдвинутого тактового сигнала, нс	–	13	18
	Коэффициент заполнения сдвинутого тактового сигнала, %	45	–	55
$t_{d(CH-FL)}$	Время задержки между высоким уровнем сигнала SCLK и низким уровнем FSD#, нс	–	5	15
$t_{d(CH-FH)}$	Время задержки между высокими уровнями сигналов SCLK и FS# нс	–	5	20
$t_{d(CH-DOUT)}$	Время задержки между высоким уровнем сигнала SCLK и текущим DOUT, нс	–	–	20
$t_{d(CH-DOUTZ)}$	Время задержки между высоким уровнем сигнала SCLK и третьим состоянием сигнала DOUT, нс	–	20	–
$t_{d(ML-EL)}$	Время задержки между низкими уровнями сигналов MCLK и EOC, нс	–	40	–
$t_{d(ML-EH)}$	Время задержки между низким уровнем сигнала MCLK и высоким уровнем EOC, нс	–	40	–
$t_{f(EL)}$	Длительность заднего фронта EOC, нс	–	13	–
$t_{r(EH)}$	Длительность переднего фронта EOC, нс	–	13	–
$t_{d(MH-CH)}$	Время задержки между высокими уровнями сигналов MCLK и SCLK, нс	–	–	50
$t_{d(MH-CL)}$	Время задержки между высоким уровнем сигнала MCLK и низким уровнем SCLK, нс	–	–	50
Примечание – Сигнал FSD# появляется на полтакта раньше сдвинутого тактового сигнала FS#, когда устройство находится в режиме главного.				

Таблица 5.2 – Рекомендуемые входные временные параметры в режиме главного

Обозначение параметра	Наименование параметра, единица измерения	Норма параметра		
		не менее	типовая	не более
$t_{r(MCLK)}$	Время нарастания главного тактового сигнала, нс	–	5	–
$t_{f(MCLK)}$	Время спада главного тактового сигнала, нс	–	5	–
	Коэффициент заполнения главного тактового сигнала, %	40	–	60
$t_w(RESET)$	Длительность импульса RESET#	1 MCLK	–	–
$t_{su(DIN)}$	Время установления сигнала DIN до низкого уровня сигнала SCLK, нс	25	–	–
$t_h(DIN)$	Время удержания сигнала DIN после низкого уровня сигнала SCLK, нс	–	–	20

5.2 Требования к временным параметрам и условиям в режимах подчинённого и эмуляции кодирования/декодирования

Требования приведены в таблицах 5.3, 5.4.

Таблица 5.3 – Рекомендуемые входные временные параметры в режимах подчинённого и эмуляции кодирования/декодирования

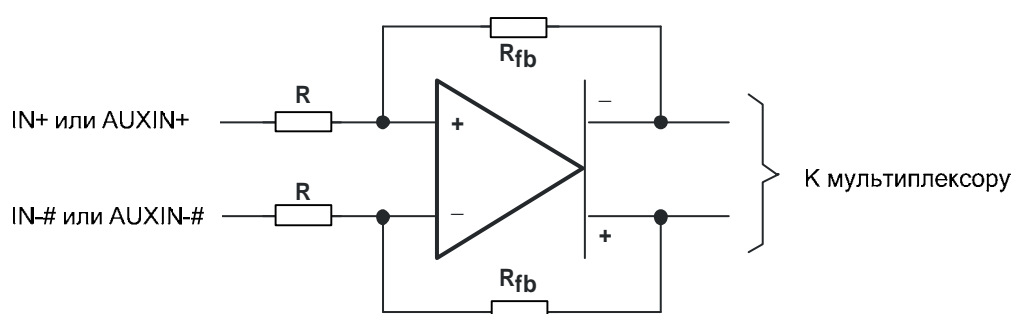
Обозначение параметра	Наименование параметра, единица измерения	Норма параметра		
		не менее	типовая	не более
1	2	3	4	5
$t_{r(MCLK)}$	Время нарастания главного тактового сигнала, нс	–	5	–
$t_{f(MCLK)}$	Время спада главного тактового сигнала, нс	–	5	–
	Коэффициент заполнения главного тактового сигнала, %	40	–	60
$t_w(RESET)$	Длительность импульса RESET#	1 MCLK	–	–
$t_{su(DIN)}$	Время установления сигнала DIN до низкого уровня сигнала SCLK, нс	20	–	–
$t_h(DIN)$	Время удержания сигнала DIN после низкого уровня сигнала SCLK, нс	–	–	20
$t_{su(FL-CH)}$	Время установления между низким уровнем сигнала FS# и высоким SCLK, нс	–	–	$\pm SCLK/4$

Таблица 5.4 – Рекомендуемый диапазон эксплуатационных характеристик в режимах подчинённого и эмуляции кодирования/декодирования

Обозначение параметра	Наименование параметра, единица измерения	Норма параметра		
		не менее	типовая	не более
$t_{c(SCLK)}$	Длительность периода сдвинутого тактового сигнала, нс	125	–	–
$t_{f(SCLK)}$	Время спада сдвинутого тактового сигнала, нс	–	–	18
$t_{r(SCLK)}$	Время нарастания сдвинутого тактового сигнала, нс	–	–	18
	Коэффициент заполнения сдвинутого тактового сигнала, %	45	–	55
$t_{d(CH-FDL)}$	Время задержки между высоким уровнем сигнала SCLK и низким уровнем FSD#, нс	–	–	50
$t_{d(CH-FDH)}$	Время задержки между высокими уровнями сигналов SCLK и FSD#, нс	–	–	40
$t_{d(FL-FDL)}$	Время задержки между низкими уровнями сигналов FS# и FSD#, нс	–	–	40
$t_{d(CH-DOUT)}$	Время задержки между высоким уровнем сигнала SCLK и текущим DOUT, нс	–	–	40
$t_{d(CH-DOUTZ)}$	Время задержки между высоким уровнем сигнала SCLK и третьим состоянием сигнала DOUT, нс	–	20	–
$t_{d(ML-EL)}$	Время задержки между низкими уровнями сигналов MCLK и EOC, нс	–	40	–
$t_{d(ML-EH)}$	Время задержки между низким уровнем сигнала MCLK и высоким уровнем EOC, нс	–	40	–
$t_{f(EL)}$	Длительность заднего фронта EOC, нс	–	13	–
$t_{r(EH)}$	Длительность переднего фронта EOC, нс	–	13	–
$t_{d(MH-CH)}$	Время задержки между высокими уровнями сигналов MCLK и SCLK, нс	–	–	50
$t_{d(MH-CL)}$	Время задержки между высоким уровнем сигнала MCLK и низким уровнем SCLK, нс	–	–	50

5.3 Управления усилением

Схема управления усилением приведена на рисунке 5.1 и в таблице 5.5.



$R_{fb} = R$ для $DS03 = 0$ и $DS02 = 1$;

$R_{fb} = 2R$ для $DS03 = 1$ и $DS02 = 0$;

$R_{fb} = 4R$ для $DS03 = 1$ и $DS02 = 1$.

Рисунок 5.1 – Схема управления усилением $IN +$ и $IN-#$

Таблица 5.5 – Управления усилением (аналоговый входной сигнал, необходимый для полномасштабного биполярного АЦ преобразования с дополнением до двух)*

Конфигурация входов	Регистр управления 4		Аналоговые входы**	Результат аналого/цифрового преобразования
	DS03	DS02		
Дифференциальная конфигурация Аналоговый вход $IN+ - IN-#$ $AUXIN+ - AUXIN-#$	0	0	Все	Подавление
	0	1	$U_{ID} = \pm 3,0 \text{ В}$	\pm Вся шкала (полномасштабный)
	1	0	$U_{ID} = \pm 1,5 \text{ В}$	\pm Вся шкала
	1	1	$U_{ID} = \pm 0,75 \text{ В}$	\pm Вся шкала
Прямая конфигурация*** Аналоговый вход $IN+ - ADCVMID$ $AUXIN+ - ADCVMID$	0	0	Все	Подавление
	0	1	$U_I = \pm 3,0 \text{ В}$	\pm Половина шкалы
	1	0	$U_I = \pm 1,5 \text{ В}$	\pm Вся шкала
	1	1	$U_I = \pm 0,75 \text{ В}$	\pm Вся шкала

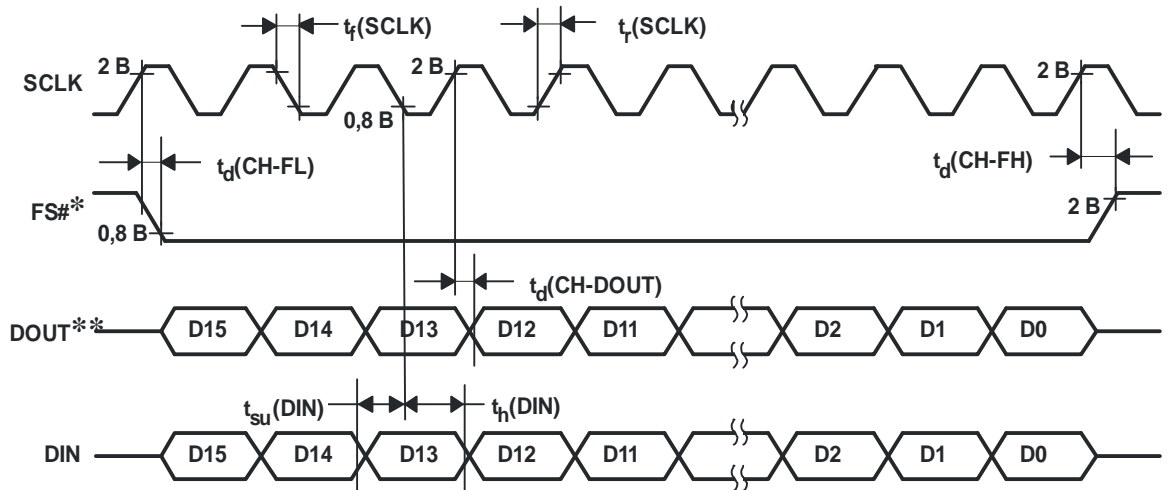
* $U_{CC} = 5 \text{ В}$.

** U_{ID} – напряжение дифференциального входа, U_I – входное напряжение относительно $ADCVMID$ с подключением $IN-#$ или $AUXIN-#$ к $ADCVMID$. В порядке минимизации искажения рекомендуется, чтобы уровень сигнала на входе был меньше уровня полной шкалы на 0,1 дБ.

*** Для прямых входов входное аналоговое напряжение не должно превышать диапазон напряжения питания. Все прямые входы должны использоваться с внутренним источником опорного напряжения $ADCVMID$ для лучшего функционирования в общем режиме.

5.4 Временные диаграммы

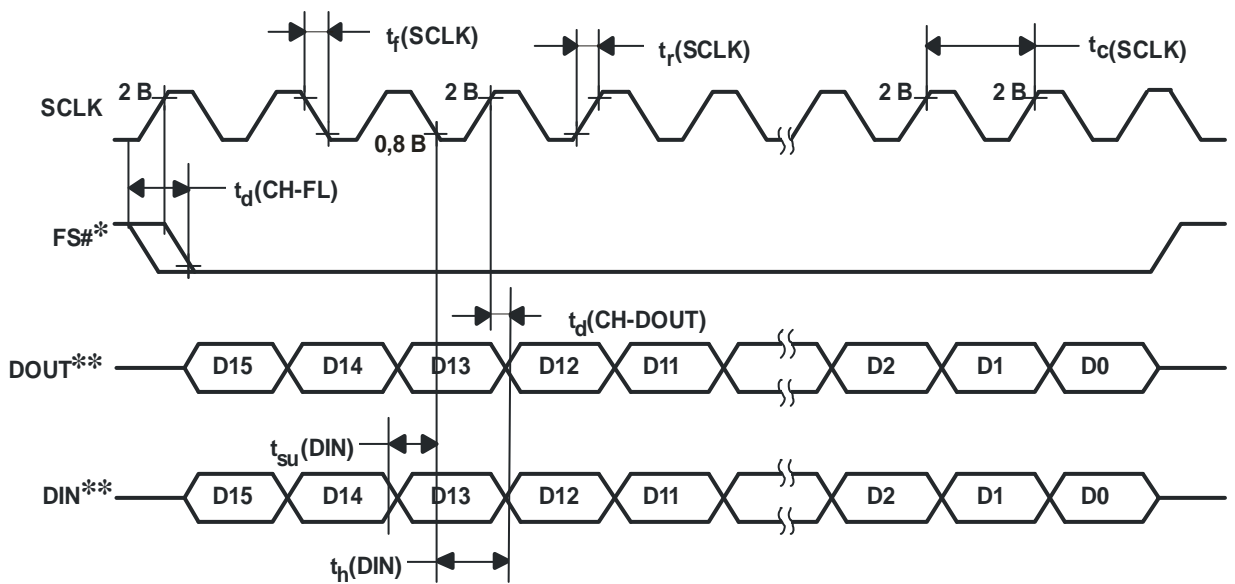
Временные диаграммы ИМС 1273ПП1Т приведены на рисунках 5.2 – 5.11.



* Время между спадающими уровнями двух главных сигналов FS# является временем преобразования.

** Данные на DOUT сдвигаются наружу на возрастающем уровне сдвиговой тактовой частоты, и данные на DIN сдвигаются внутрь на спадающем уровне сдвиговой тактовой частоты.

Рисунок 5.2 – Временные диаграммы схемы аналогового интерфейса в автономном и главном режимах



* Время между спадающими уровнями двух главных сигналов FS# является временем преобразования. Переход с высокого к низкому уровню FS# должен происходить с точностью $\pm 1/4$ периода сдвиговой тактовой частоты в районе 2 В уровня сдвиговой тактовой частоты для режима кодирования.

** Данные на DOUT сдвигаются наружу на возрастающем уровне сдвиговой тактовой частоты, и данные на DIN сдвигаются внутрь на спадающем уровне сдвиговой тактовой частоты.

Рисунок 5.3 – Временные диаграммы схемы аналогового интерфейса в подчинённом и эмуляции кодирования режимах

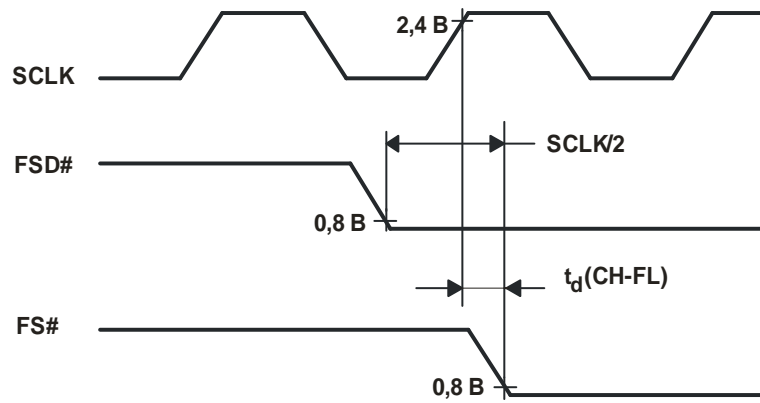
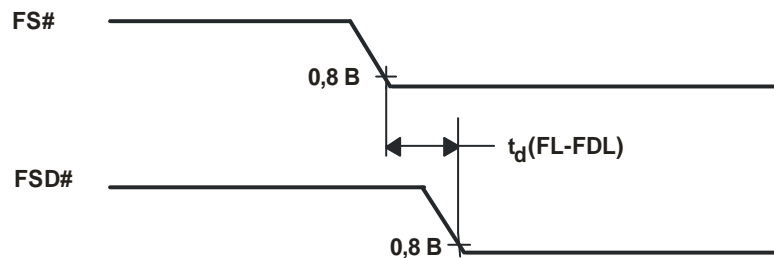


Рисунок 5.4 – Временные диаграммы главного или автономного FS# и FSD#



Примечание – Временные диаграммы показывают работу микросхемы при работе в режиме подчинённый (сигналы FS и SCLK генерируются снаружи). Значение запрограммированных данных в регистре FSD равно 0.

Рисунок 5.5 – Временные диаграммы подчинённого FS# к FSD#



Примечание – Временные диаграммы показывают работу микросхемы при работе в режиме подчинённый (сигналы FS и SCLK генерируются снаружи). Значение данных в регистре FSD больше чем десятичное число 18.

Рисунок 5.6 – Временные диаграммы подчинённого SCLK к FSD#

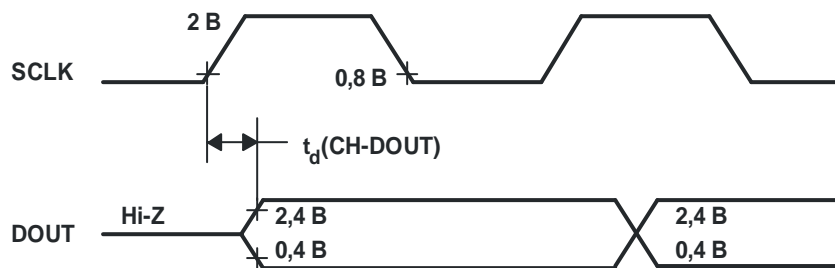


Рисунок 5.7 – Временные диаграммы появления сигнала DOUT при выходе из третьего состояния

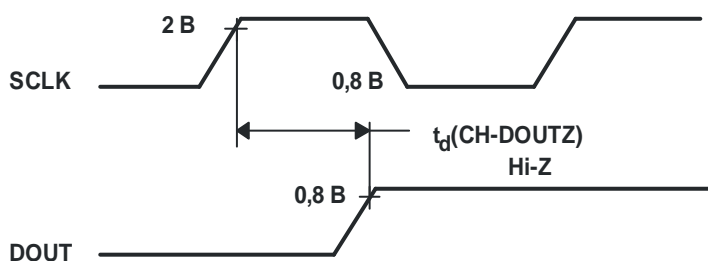


Рисунок 5.8 – Временные диаграммы задержки сигнала DOUT к третьему состоянию

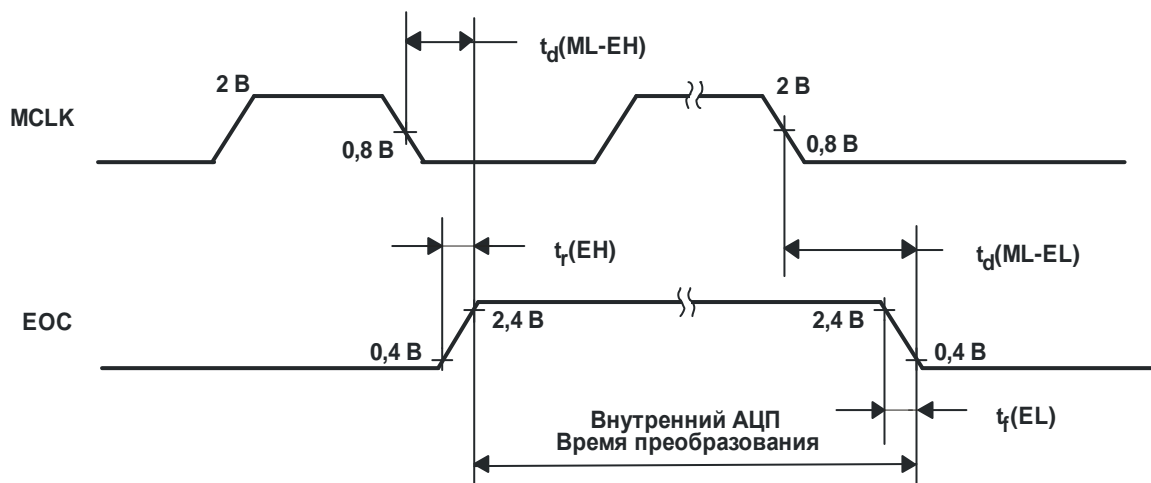
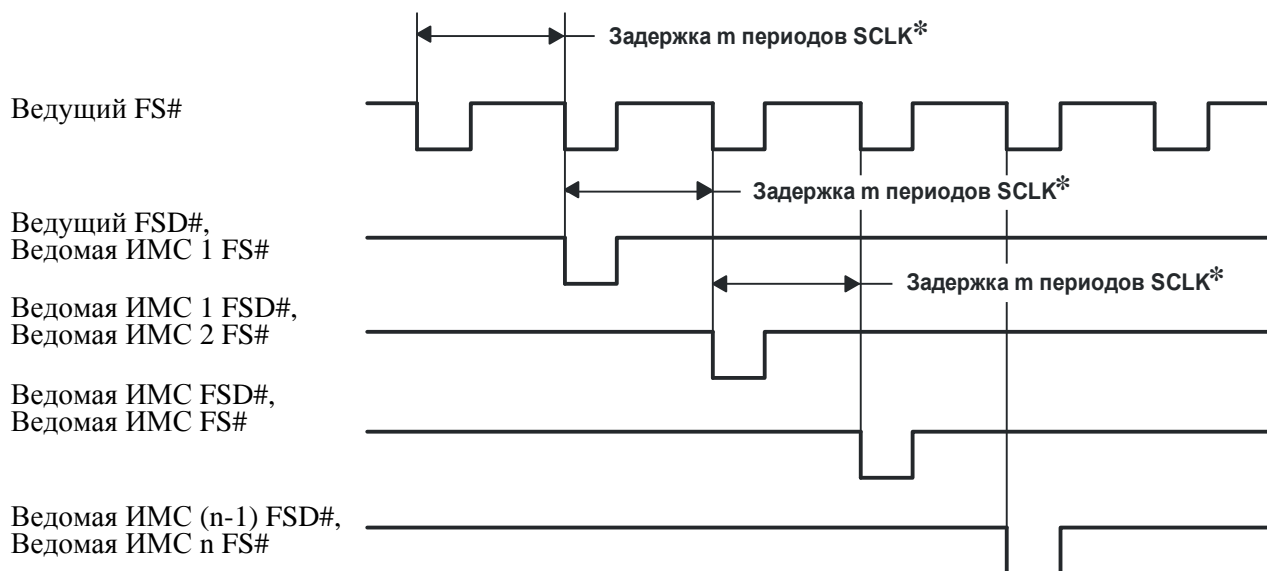
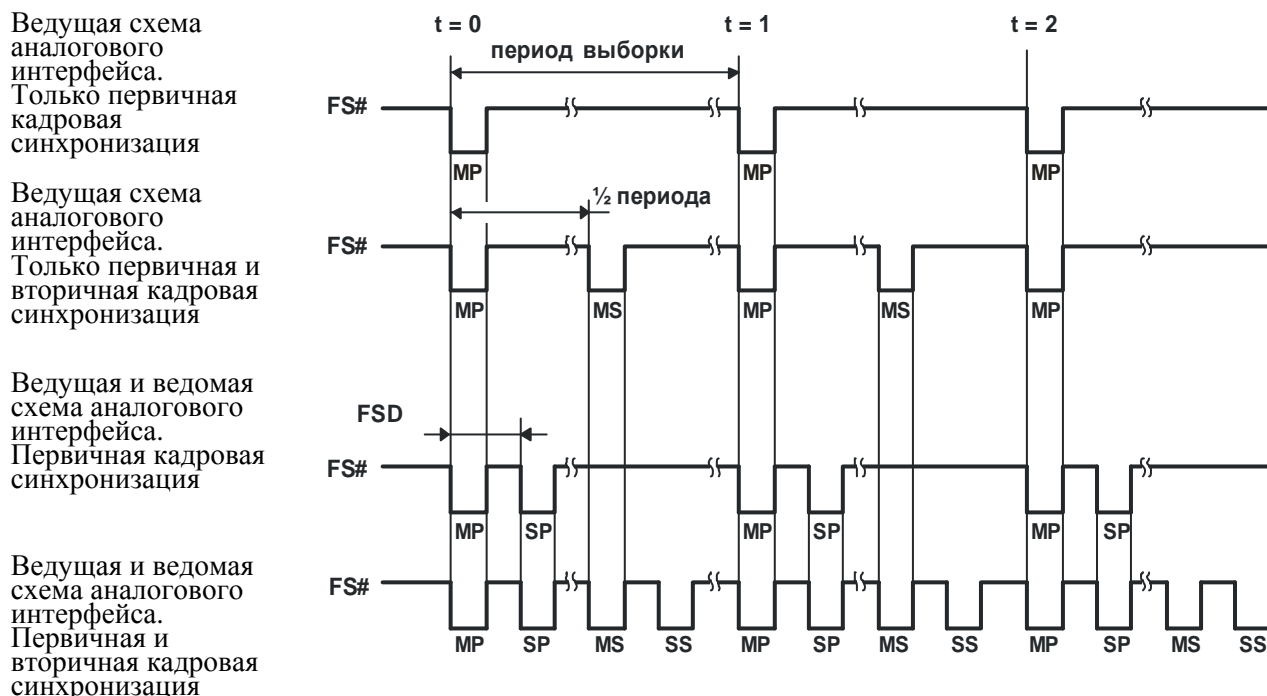


Рисунок 5.9 – Временные диаграммы кадра окончания преобразования



* Время задержки от любого сигнала FS# до формируемого сигнала FSD – это m периодов SCLK частоты с значением m , запрограммированном в регистре FSD. В режиме ведущий с ведомыми слова данных, программирующие ведущего и всех ведомых, имеют такие же задержки (ведущий до ведомого 1, ведомый 1 до ведомого 2, ведомый 2 до ведомого 3 и т. д.).

Рисунок 5.10 – Временные диаграммы кадровой синхронизации ведущий-ведомый после задержки программирования в регистры FSD



MP – ведущий первичный SP – ведомый первичный
 MS – ведущий вторичный SS – ведомый вторичный

Рисунок 5.11 – Ведущие и ведомые последовательности кадровой синхронизации с одним ведомым

5.5 Использование ИМС 1273ПП1Т совместно с процессорами цифровой обработки сигналов

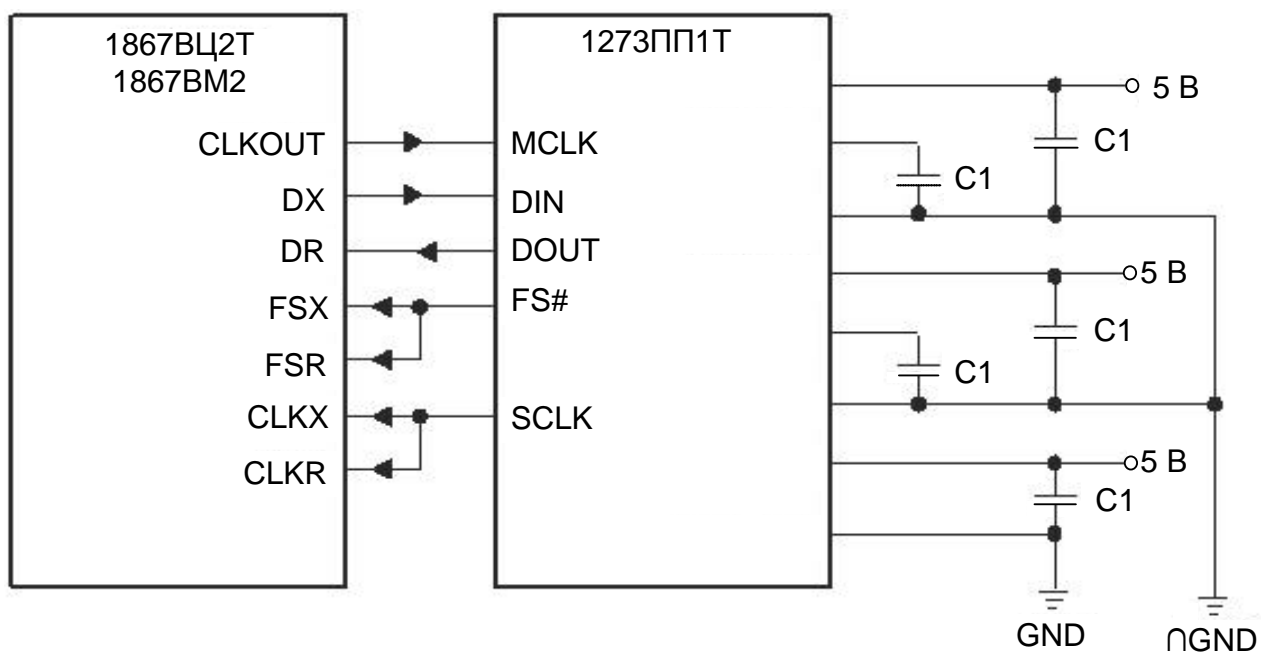
ИМС 1273ПП1Т являются функциональными аналогами ИМС TLC320AC02 фирмы Texas Instruments, США.

ФГУП «НИИЭТ» разработаны и серийно выпускаются процессоры цифровой обработки сигналов:

- 1867ВМ2 – аналог TMS320C25;
- 1867ВЦ2Т (1867ВЦ2ТА) – аналог TMS320C50;
- 1867ВЦ4Т – аналог TMS320C542.

При работе с ИМС 1273ПП1Т могут использоваться программно-аппаратные средства поддержки фирмы Texas Instruments, США, разработанные для TLC320AC02.

На рисунках 5.12 – 5.14 приведены варианты использования ИМС 1273ПП1Т совместно с процессорами цифровой обработки сигналов.



$C1 = 0,1 \text{ мкФ}$.

Рисунок 5.12 – Автономный режим (к интерфейсу ПЦОС)

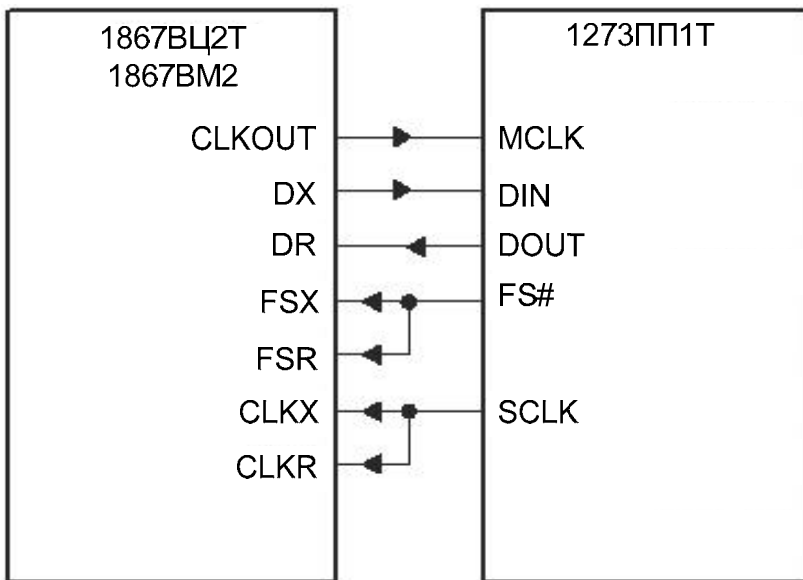


Рисунок 5.13 – Режим кодирования (к интерфейсу ПЦОС)

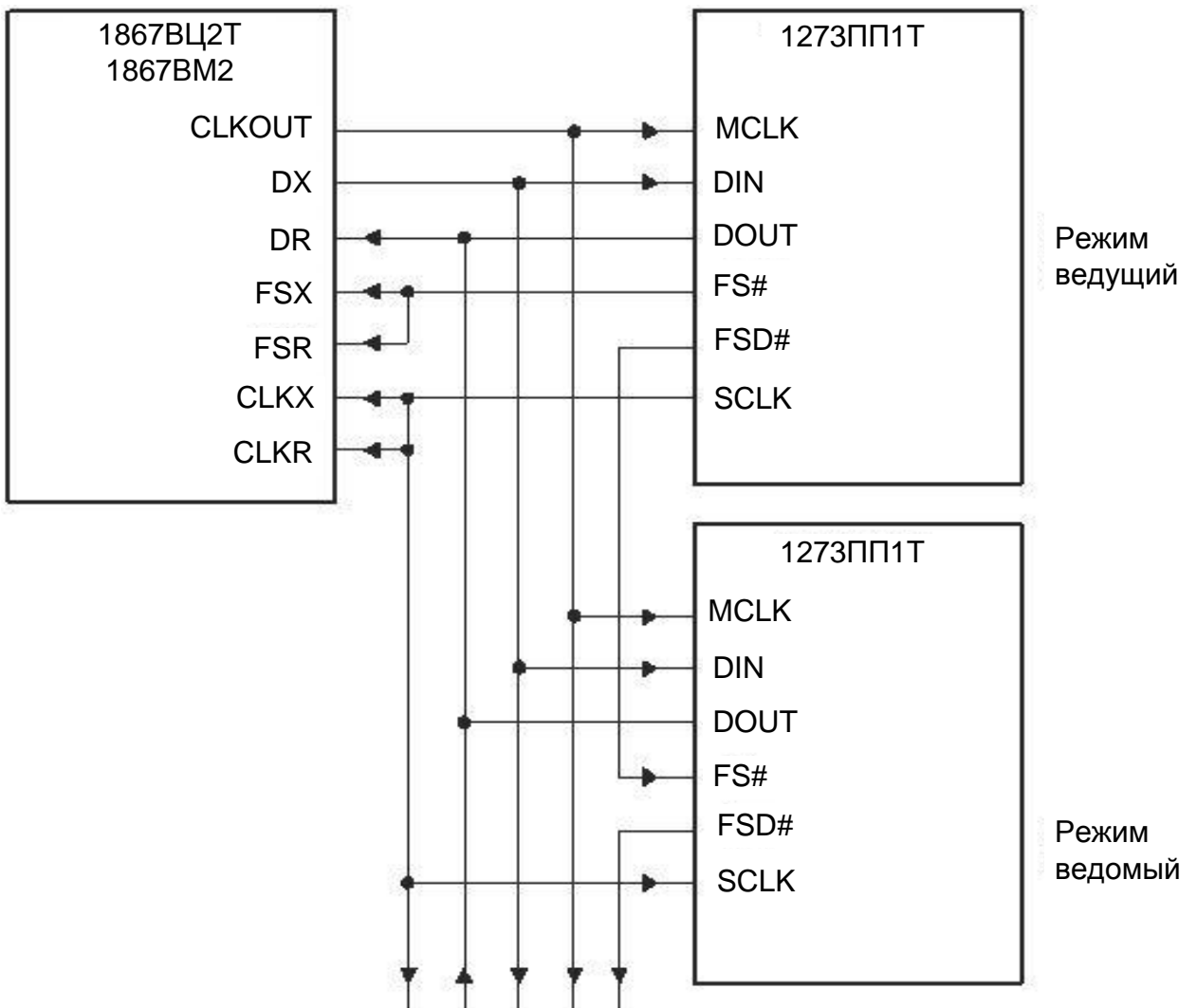


Рисунок 5.14 – Ведущий с ведомым (к интерфейсу ПЦОС)

6 Заключение

В настоящем руководстве КФДЛ.431324.009 рассмотрены архитектура, функциональное построение и особенности применения микросхемы 1273ПП1Т, которая представляет собой микросхему аналогового интерфейса.

Все значения электрических параметров микросхемы приведены в технических условиях на изделие АЕЯР.431320.666. Значения параметров, приведенные в настоящем руководстве, являются справочными.

Данное руководство может служить практическим пособием по применению ЦАП для разработчиков систем на основе микросхем 1273ПП1Т.

Применение разработанных микросхем в системах цифровой обработки сигналов, встроенных цифровых системах управления, связи, в системах автоматизации технологических процессов, вычислительной технике, телекоммуникационной технике и т. д. позволит создавать более совершенные в техническом отношении и надежные в эксплуатации изделия.

Приложение А

(обязательное)

Таблица А.1 – Термины, определения и буквенные обозначения параметров, не установленные действующими стандартами

Наименование параметра	Буквенное обозначение параметра	Определение параметра
1	2	3
Отношение сигнал/искажения АЦП	N_{ADC}	Отношение среднеквадратичного значения амплитуды основной составляющей выходного сигнала к среднеквадратичному значению суммы амплитуд гармоник, исключая первую, выраженное в децибелах. Определяется по формуле:
Отношение сигнал/искажения ЦАП	N_{DAC}	$N_{ADC} (N_{DAC}) = 10 \lg(V_1^2 / (V_2^2 + V_3^2 + \dots + V_i^2)), \quad (Б.1)$ где V_1^2 – среднеквадратичное значение амплитуды основной составляющей; $(V_2^2 + V_3^2 + \dots + V_i^2)$ – среднеквадратичное значение суммы амплитуд гармоник от второй до i -той
Коэффициент ослабления второй гармоники в канале АЦП	K_{ADC2}	Отношение среднеквадратичного значения амплитуды основной составляющей выходного сигнала к среднеквадратичному значению амплитуды второй гармоники, выраженное в децибелах. Определяется по формуле:
Коэффициент ослабления второй гармоники в канале ЦАП	K_{DAC2}	$K_{ADC2} (K_{DAC2}) = 10 \lg(V_1^2 / V_2^2), \quad (Б.2)$ где V_1^2 – среднеквадратичное значение амплитуды основной составляющей; V_2^2 – среднеквадратичное значение амплитуды второй гармоники
Коэффициент ослабления третьей и высших гармоник в канале АЦП	K_{ADC3}	Отношение среднеквадратичного значения амплитуды основной составляющей выходного сигнала к среднеквадратичному значению суммы амплитуд третьей и высших гармоник, выраженное в децибелах. Определяется по формуле:
Коэффициент ослабления третьей и высших гармоник в канале ЦАП	K_{DAC3}	$K_{ADC3} (K_{DAC3}) = 10 \lg(V_1^2 / (V_3^2 + V_4^2 + \dots + V_i^2)), \quad (Б.3)$ где V_1^2 – среднеквадратичное значение амплитуды основной составляющей; $(V_3^2 + V_4^2 + \dots + V_i^2)$ – среднеквадратичное значение суммы амплитуд третьей и высших гармоник
Коэффициент усиления	A_V	Отношение напряжения на выходе ИС к входному напряжению, выражается в децибелах. Определяется по формуле:
		$A_V = 20 \lg(U_{\text{ВЫХ}} / U_{\text{ВХ}}) \quad (Б.4)$

Окончание таблицы А.1

1	2	3
Амплитуда входного сигнала относительно полной шкалы	V_I	Амплитуда входного сигнала относительно полной шкалы; выражается в децибелах
Амплитуда выходного сигнала относительно полной шкалы	V_O	Амплитуда выходного сигнала относительно полной шкалы; выражается в децибелах
Внутренняя частота микросхемы	f_{CLK}	Внутренняя частота микросхемы, получаемая делением частоты f_{MCLK} , предназначенная для тактирования фильтра нижних частот и фильтра коррекции $\sin x/x$
Частота дискретизации ЦАП, АЦП	f_S	Частота выборки ЦАП, АЦП

