

МАКЕТНО-ОТЛАДОЧНОЕ УСТРОЙСТВО
ДЛЯ МИКРОКОНТРОЛЛЕРА K1874BE10AT

Руководство по эксплуатации

КФДЛ.441461.014РЭ

Инв. № подл.	Подп. и дата
Взам. инв. №	Инв. № дубл.
Подп. и дата	Подп. и дата

Содержание

1 НАЗНАЧЕНИЕ И УСЛОВИЯ ПРИМЕНЕНИЯ.....	3
2 ТЕХНИЧЕСКИЕ ХАРАКТЕРИСТИКИ.....	3
3 СОСТАВ МАКЕТНО-ОТЛАДОЧНОЙ ПЛАТЫ.....	4
4 УСТРОЙСТВО И ПРИНЦИП ДЕЙСТВИЯ.....	6
5 КОМПЛЕКТ ПОСТАВКИ.....	16
6 РАЗРАБОТКА ПРИКЛАДНЫХ ПРОГРАММ.....	16
7 УКАЗАНИЯ ПО ЭКСПЛУАТАЦИИ.....	17
ПРИЛОЖЕНИЕ А (ОБЯЗАТЕЛЬНОЕ).....	18
СХЕМЫ ЭЛЕКТРИЧЕСКИЕ И РАСПОЛОЖЕНИЕ ЭЛЕМЕНТОВ НА ПЕЧАТНЫХ ПЛАТАХ.....	18
ЛИСТ РЕГИСТРАЦИИ ИЗМЕНЕНИЙ.....	36

Перв. примен.

Справ. №

Подп. и дата

Инв. № дубл.

Взам. инв. №

Подп. и дата

Инв. № подл.

КФДЛ.441461.014РЭ

Изм.	Лист	№ докум.	Подп.	Дата
Разраб.				
Пров.				
Г. контр.				
Н. контр.				
Утв.		—		

Макетно-отладочное устройство
для микроконтроллера
К1874ВЕ10АТ

Руководство по эксплуатации

Лит.	Лист	Листов
А	2	36

1 Назначение и условия применения

Плата макетно-отладочная для ИС K1874BE10AT предназначена для освоения и изучения 32-разрядных микроконтроллеров K1874BE10AT, а также для макетирования и отладки систем пользователя на ее основе. С использованием платы возможно подключение внешних элементов к портам микроконтроллера, работа с внешними интерфейсами, программирование встроенной памяти, отладка и оценка работы прикладных программ.

Оценка работоспособности отлаживаемой системы на основе макетно-отладочной платы в режиме реального времени осуществляется в процессе работы управляющей программы, размещенной во внутренней или внешней памяти ИС.

На макетно-отладочной плате установлены интерфейсные разъемы портов UART0, SpaceWire0, SpaceWire1, USB micro (для преобразователя USB-UART CP2102, подключенного к UART1), МПИ0, МПИ1, ARINC0 – ARINC3, ARINC5, обеспечен доступ ко всем портам ввода-вывода, возможно подключение отдельного модуля внешней памяти. Имеются пользовательские переключатели для конфигурирования системы, установки режима работы и подключаемые к портам светодиоды.

Макетно-отладочная плата имеет развитую систему коммутации, которая позволяет выборочно подключать к линиям портов микроконтроллера устройства ввода-вывода и формировать аппаратную конфигурацию отлаживаемой системы в соответствии с требованиями проекта.

На плате размещается макетное поле, где можно добавить компоненты в схему и отладить систему в режиме реального времени.

2 Технические характеристики

Макетно-отладочная плата имеет следующие характеристики и конструктивные особенности:

- размер платы 285 × 211 мм;
- внешняя тактовая частота микроконтроллера 24 МГц;
- кнопки сброса микроконтроллера, пользовательские кнопки;
- возможность подключения внешних устройств ко всем портам микроконтроллера;
- встроенный источник питания (питание от одного внешнего источника +12 В);
- интерфейсные разъемы последовательного порта UART0, SpaceWire1, SpaceWire2, USB micro (UART1), МПИ0, МПИ1, ARINC0 – ARINC3, ARINC5;
- на плате размещены поясняющие надписи, знаки и обозначения элементов, соответствующие схемам электрическим, см. рисунки А.1 – А.3 приложения А.

Плата макетно-отладочная питается от внешнего источника с потреблением до 1,0 А.

Все линии портов микроконтроллера и все управляющие сигналы на плате выведены на штыревые разъемы, к которым возможно подключение внешних элементов и плат. Для отображения информации на плате имеются подключаемые светодиоды (с возможностью их отключения) на линиях портов микроконтроллера (РА.0 – РА.7),

Для программирования и отладки программ на плате расположен 14-ти выводной разъем ХР23 для подключения аппаратного отладчика JEM-96 по интерфейсу JTAG.

Изм.	Лист	N документа	Подпись	Дата	КФДЛ.441461.014РЭ	Лист 3	
Взам. Инв. №	Инв. № дубл.						
Подп. и дата	Подп. и дата						

Плата макетно-отладочная ИС K1874BE10AT позволяет осуществлять оценку работы прикладных программ в режиме реального времени, кроме того, сама плата может использоваться в качестве контроллера конкретной управляющей системы.

3 Состав макетно-отладочной платы

В состав устройства входят следующие элементы:

- основная плата с установленным микроконтроллером K1874BE10AT, разъемами портов ввода-вывода и макетным полем;
- плата внешней памяти (ОЗУ, ПЗУ);
- источник питания.

Общий вид основной платы приведен на рисунке 1.

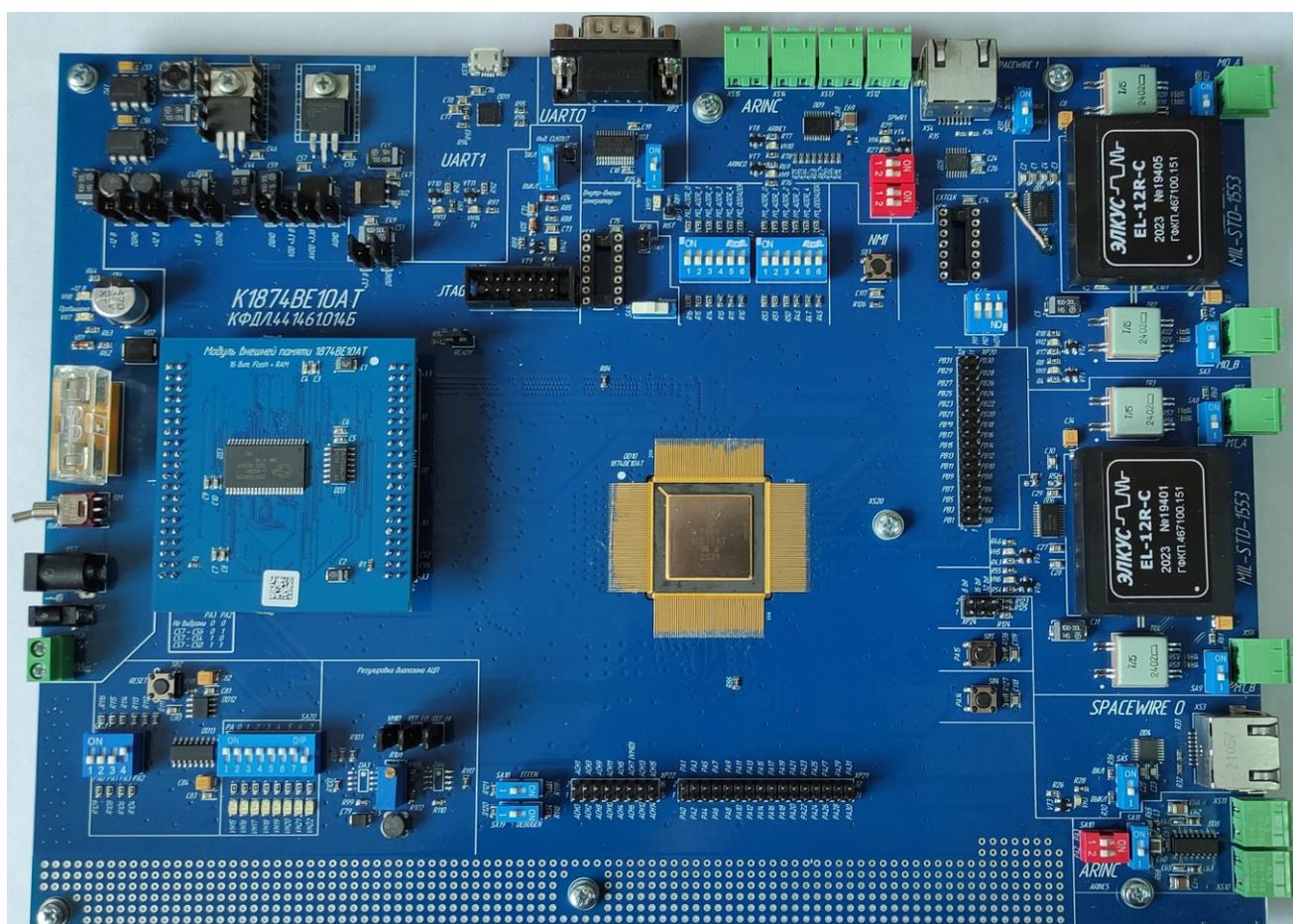


Рисунок 1 – Общий вид платы макетно-отладочной в сборе

Инв. № подл.	Подп. и дата
Взам. Инв. №	Инв. № дубл.
Подп. и дата	Подп. и дата

Изм.	Лист	N документа	Подпись	Дата
------	------	-------------	---------	------

КФДЛ.441461.014РЭ

Лист
4

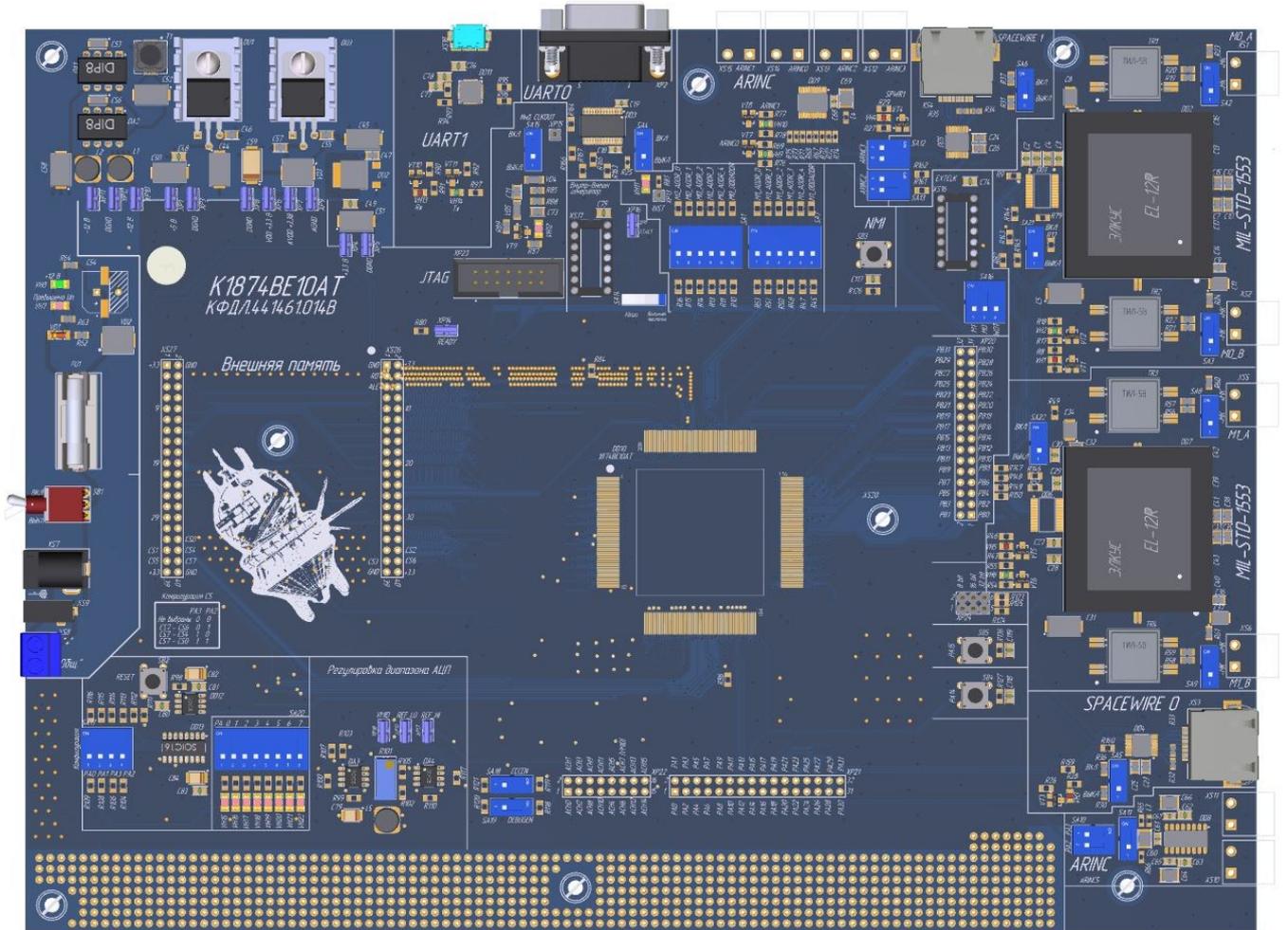


Рисунок 2 – Общий вид основной платы



Рисунок 4 – Общий вид платы внешней памяти

Инв. № подл.	Подл. и дата
Взам. Инв. №	Инв. № дубл.
Подл. и дата	Подп. и дата

Изм.	Лист	N документа	Подпись	Дата
------	------	-------------	---------	------

КФДЛ.441461.014РЭ

Лист
5

Таблица 7 – Назначение выводов разъема XP21 основной платы

Номер вывода	Вывод микроконтроллера	Альтернативная функция		
		1	2	3
1	PA.0	CS0	ARINC_D4	HSO0
2	PA.1	CS1	ARINC_S4	HSO1
3	PA.2	CS2	ARINC_D5	HSO2
4	PA.3	CS3	ARINC_S5	HSO3
5	PA.4	CS4	ARINC_D6	HSO4
6	PA.5	CS5	ARINC_S6	HSO5
7	PA.6	CS6	ARINC_D7	HSO6
8	PA.7	CS7	ARINC_S7	HSO7
9	PA.8	UART0_TX	UART0_SIROUT	HSO8
10	PA.9	UART0_RX		HSO9
11	PA.10	UART0_CTS	SPI1_MOSI	HSO10
12	PA.11	UART0_DSR	SPI1_MISO	HSO11
13	PA.12	UART0_RTS	SPI1_SCK	HSO12
14	PA.13	UART0_DTR	SPI1_SS	HSO13
15	PA.14	UART0_DCD	UART0_OUT1	HSO14
16	PA.15	UART0_RI	UART0_OUT2	HSO15
17	PA.16	UART1_TX	UART1_SIROUT	HSI0
18	PA.17	UART1_RX		HSI1
19	PA.18	UART2_TX	UART2_SIROUT	HSI2
20	PA.19	UART2_RX		HSI3
21	PA.20	UART3_TX	UART3_SIROUT	HSI4
22	PA.21	UART3_RX		HSI5
23	PA.22	SPI0_MOSI	QEP1_A	HSI6
24	PA.23	SPI0_MISO	QEP1_B	HSI7
25	PA.24	SPI0_SCK	QEP1_I	HSI8
26	PA.25	SPI0_SS	QEP1_S	HSI9
27	PA.26	SPWR0_SIN		HSI10
28	PA.27	SPWR0_DIN		HSI11
29	PA.28	SPWR0_SOUT		HSI12
30	PA.29	SPWR0_DOUT		HSI13
31	PA.30	I2C_SDA		HSI14
32	PA.31	I2C_SCL		HSI15

Таблица 8 – Назначение выводов разъема XP22 основной платы

Номер вывода	Вывод микроконтроллера
1	ACH0
2	ACH1
3	ACH2
4	ACH3
5	ACH4
6	ACH5
7	ACH6

Инв. № подл. Подп. и дата
 Инв. № дубл.
 Взам. Инв. №
 Подп. и дата
 Инв. № подл.

Изм.	Лист	N документа	Подпись	Дата	КФДЛ.441461.014РЭ	Лист
						10

Окончание таблицы 8

Номер вывода	Вывод микроконтроллера
8	ACH7
9	ACH8
10	ACH9
11	ACH10
12	ACH11
13	ACH12
14	ACH13
15	ACH14
16	ACH15

Таблица 9 – Назначение выводов разъема XP20 основной платы

Номер вывода	Вывод микроконтроллера	Альтернативная функция		
		1	2	3
1	PB.0	M1_TxD0	PWM0_A	-
2	PB.1	M1_TxDn0	PWM0_B	-
3	PB.2	M1_TxD1	PWM1_A	-
4	PB.3	M1_TxDn1	PWM1_B	-
5	PB.4	M0_TxD0	-	-
6	PB.5	M0_TxDn0	-	-
7	PB.6	M0_TxD1	-	-
8	PB.7	M0_TxDn1	-	-
9	PB.8	M1_RxD0	PWM2_A	-
10	PB.9	M1_RxDn0	PWM2_B	-
11	PB.10	M1_RxD1	PWM_TZ0	-
12	PB.11	M1_RxDn1	PWM_TZ1	-
13	PB.12	M0_RxD0	-	-
14	PB.13	M0_RxDn0	-	-
15	PB.14	M0_RxD1	-	-
16	PB.15	M0_RxDn1	-	-
17	PB.16	M1_BLOCK0	PWM_TZ2	-
18	PB.17	M1_BLOCK1	-	-
19	PB.18	M0_BLOCK0	-	-
20	PB.19	M0_BLOCK1	-	-
21	PB.20	M1_EXTCLK	-	-
22	PB.21	M0_EXTCLK	-	-
23	PB.22	ARINC_D0	QEP0_A	-
24	PB.23	ARINC_S0	QEP0_B	-
25	PB.24	ARINC_D1	QEP0_I	-
26	PB.25	ARINC_S1	QEP0_S	-
27	PB.26	ARINC_D2	SPWR1_SIN	-
28	PB.27	ARINC_S2	SPWR1_DIN	-
29	PB.28	ARINC_D3	SPWR1_SOUT	-
30	PB.29	ARINC_S3	SPWR1_DOUT	-
31	PB.30	WDT_EXTCLK	-	-
32	PB.31	-	-	-

Подп. и дата
Инв. № дубл.
Взам. Инв. №
Подп. и дата
Инв. № подл.

Изм.	Лист	N документа	Подпись	Дата	КФДЛ.441461.014РЭ	Лист
						11

Таблица 10 – Назначение выводов разъема ХР24 основной платы

Номер вывода	Функциональное назначение вывода разъема
1	+3.3В
2	-
3	+3.3В
4	BW_0
5	+3.3В
6	BW_1

Примечания: 1. При подключении 8-разрядной внешней памяти переключки не устанавливаются (допускается установка переключки в позиции 1-2).
 2. При подключении 16-разрядной внешней памяти переключка устанавливается в позицию 3-4.
 3. При подключении 32-разрядной внешней памяти переключка устанавливается в позицию 5-6.

Таблица 11 – Назначение выводов разъема внешней памяти XS26 основной платы

Номер вывода	Функциональное назначение вывода разъема	Описание
1	DGND	-
2	+3.3 В	-
3	RD	Выход «чтение»
4	DGND	-
5	ALE	Выход «разрешение записи адреса»
6	IEML0	Вход/выход «адрес/данные, 0 разряд»
7	IEML8	Вход/выход «адрес/данные, 8 разряд»
8	IEML2	Вход/выход «адрес/данные, 2 разряд»
9	IEML10	Вход/выход «адрес/данные, 10 разряд»
10	IEML4	Вход/выход «адрес/данные, 4 разряд»
11	IEML12	Вход/выход «адрес/данные, 12 разряд»
12	DGND	-
13	IEML6	Вход/выход «адрес/данные, 6 разряд»
14	IEML14	Вход/выход «адрес/данные, 14 разряд»
15	IEMH0	Вход/выход «адрес/данные, 16 разряд»
16	IEMH8	Вход/выход «адрес/данные, 24 разряд»
17	IEMH2	Вход/выход «адрес/данные, 18 разряд»
18	IEMH10	Вход/выход «адрес/данные, 26 разряд»
19	IEMH4	Вход/выход «адрес/данные, 20 разряд»
20	IEMH12	Вход/выход «адрес/данные, 28 разряд»
21	DGND	-
22	DGND	-
23	IEMH6	Вход/выход «адрес/данные, 22 разряд»
24	IEMH14	Вход/выход «адрес/данные, 30 разряд»
25	WR3	Выход «запись 3-го байта»
26	WR1	Выход «запись 1-го байта»
27	IEMECC_14	Вход/выход «адрес/данные кода Хемминга, 14 разряд»
28	IEMECC_6	Вход/выход «адрес/данные кода Хемминга, 6

Изм.	Лист	N документа	Подпись	Дата
------	------	-------------	---------	------

Изм.	Лист	N документа	Подпись	Дата	КФДЛ.441461.014РЭ	Лист
						12

		разряд»
29	IEMЕСС_12	Вход/выход «адрес/данные кода Хемминга, 12 разряд»
30	IEMЕСС_4	Вход/выход «адрес/данные кода Хемминга, 4 разряд»
31	DGND	-
32	IEMЕСС_10	Вход/выход «адрес/данные кода Хемминга, 10 разряд»
33	IEMЕСС_2	Вход/выход «адрес/данные кода Хемминга, 2 разряд»
34	IEMЕСС_8	Вход/выход «адрес/данные кода Хемминга, 8 разряд»
35	IEMЕСС_0	Вход/выход «адрес/данные кода Хемминга, 0 разряд»
36	CS2	Выход CS2 (альтернативная функция PA.2)
37	CS3	Выход CS3 (альтернативная функция PA.3)
38	CS6	Выход CS6 (альтернативная функция PA.6)
39	DGND	-
40	+3.3 В	-

Таблица 12 – Назначение выводов разъема внешней памяти XS27 основной платы

Номер вывода	Функциональное назначение вывода разъема	Описание
1	+3.3 В	-
2	DGND	-
3	WR0	Выход «запись 0-го байта»
4	WR2	Выход «запись 2-го байта»
5	IEML1	Вход/выход «адрес/данные, 1 разряд»
6	IEML9	Вход/выход «адрес/данные, 9 разряд»
7	IEML3	Вход/выход «адрес/данные, 3 разряд»
8	IEML11	Вход/выход «адрес/данные, 11 разряд»
9	IEML5	Вход/выход «адрес/данные, 5 разряд»
10	IEML13	Вход/выход «адрес/данные, 13 разряд»
11	READY	Вход «готовность»
12	DGND	-
13	IEML7	Вход/выход «адрес/данные, 7 разряд»
14	IEML15	Вход/выход «адрес/данные, 15 разряд»
15	IEMH1	Вход/выход «адрес/данные, 17 разряд»
16	IEMH9	Вход/выход «адрес/данные, 25 разряд»
17	IEMH3	Вход/выход «адрес/данные, 19 разряд»
18	IEMH11	Вход/выход «адрес/данные, 27 разряд»
19	IEMH5	Вход/выход «адрес/данные, 21 разряд»
20	IEMH13	Вход/выход «адрес/данные, 29 разряд»
21	DGND	-
22	DGND	-
23	IEMH7	Вход/выход «адрес/данные, 23 разряд»
24	IEMH15	Вход/выход «адрес/данные, 31 разряд»
25	IEMЕСС_15	Вход/выход «адрес/данные кода Хемминга, 15 разряд»

Изм.	Лист	N документа	Подпись	Дата
------	------	-------------	---------	------

				КФДЛ.441461.014РЭ		Лист
						13

26	IEMЕСС_7	Вход/выход «адрес/данные кода Хемминга, 7 разряд»
27	IEMЕСС_13	Вход/выход «адрес/данные кода Хемминга, 13 разряд»
28	IEMЕСС_5	Вход/выход «адрес/данные кода Хемминга, 5 разряд»
29	IEMЕСС_11	Вход/выход «адрес/данные кода Хемминга, 11 разряд»
30	IEMЕСС_3	Вход/выход «адрес/данные кода Хемминга, 3 разряд»
31	DGND	-
32	IEMЕСС_9	Вход/выход «адрес/данные кода Хемминга, 9 разряд»
33	IEMЕСС_1	Вход/выход «адрес/данные кода Хемминга, 1 разряд»
34	CS0	Выход CS0 (альтернативная функция PA.0)
35	CS1	Выход CS1 (альтернативная функция PA.1)
36	CS4	Выход CS4 (альтернативная функция PA.4)
37	CS5	Выход CS5 (альтернативная функция PA.5)
38	CS7	Выход CS7 (альтернативная функция PA.7)
39	+3.3 В	-
40	DGND	-

Таблица 13 – Назначение выводов разъема XS18 (USB micro) основной платы

Номер вывода	Функциональное назначение вывода разъема	Вывод микроконтроллера
1	VCC	+5В
2	DATA-	ИМС CP2102
3	DATA+	ИМС CP2102
4	ID	
5	GND	GND
6	Корпус	GND

Светодиоды, подключаемые к портам ввода-вывода, на плате имеют обозначения, соответствующие обозначению конкретного порта ввода-вывода.

Индикатор питания VH8, непосредственно подключенный на входе к источнику питания, светится после включения тумблера устройства, а индикатор VH7 – при превышении входного напряжения питания более 12В.

Нажатие на кнопку RESET приводит к сбросу микроконтроллера, установленного на основной плате. Сброс осуществляется с использованием установленного на плате супервизора питания типа TLC7733.

Нажатие на кнопку «NMI» приводит к формированию прерывания NMI микроконтроллера. Расположенный на основной плате разъем XP2 с маркировкой «UART0» можно использовать для связи микроконтроллера с компьютером через его последовательный порт RS-232 (COM-порт).

Разъемы XS3, XS4 используется для обмена данными по интерфейсу SPACEWIRE0 и SPACEWIRE1, а разъемы XS1- XS2 (МПИ0) и XS5 – XS6 (МПИ1) - для обмена данными по интерфейсу ГОСТ Р 52070-2003.

Подп. и дата
Инв. № дубл.
Взам. Инв. №
Подп. и дата
Инв. № подл.

					КФДЛ.441461.014РЭ	Лист
Изм.	Лист	N документа	Подпись	Дата		14

Модуль внешней Flash памяти с 16-разрядной шиной выполнен на микросхемах SST39LF200A-55-4C-EKE (микросхемы Flash памяти емкостью 512K × 16) и CY62126ESL (микросхема SRAM памяти емкостью 256K × 16). На плате модуля внешней памяти сигнал CS ИС SST39LF200A подключен к сигналу CS7, а сигнал CS ИС CY62126ESL подключен к сигналу CS6. При использовании его в качестве внешней памяти переключатель разъема XP24 (коммутация сигнала «BW») должна быть установлена в положении 2 (соединять выводы 3 и 4).

Разъемы расширения позволяют подключить макеты приложений к основной плате, а также подключать модули памяти другого объема. В поставляемое изделие могут вноситься незначительные изменения, не влияющие на качество продукции.

Инв. № подл.	Подп. и дата	Взам. Инв. №	Инв. № дубл.	Подп. и дата	КФДЛ.441461.014РЭ	Лист
						15
						Изм.

5 Комплект поставки

В комплект поставки устройства входят компоненты, приведенные в таблице 13.

Таблица 14 – Комплект поставки макетно-отладочной платы ИС К1874ВЕ10АТ

Наименование	Кол-во, шт.
1 Основная плата с микроконтроллером К1874ВЕ10АТ	1
2 Плата внешней памяти (16-разрядные ИС ОЗУ, ПЗУ)	1
3 Источник питания БПС 12-1,0	1
4 Руководство по эксплуатации	1

6 Разработка прикладных программ

Для создания ПО рекомендуется использование программного продукта «CodeMaster28++».

Программный продукт «CodeMaster28++» – набор программно-аппаратных средств, предназначенный для разработки и отладки систем на базе микроконтроллеров К1874ВЕ10АТ ОАО «НИИЭТ».

Отладка программ осуществляется аппаратным отладчиком JEM-96, подключенным к разъему ХР23 по интерфейсу JTAG.

Программирование микросхем памяти, установленных на плате внешнего ОЗУ/ПЗУ возможно с помощью аппаратного отладчика JEM-96 по интерфейсу JTAG микроконтроллера.

Изм.	Лист	N документа	Подпись	Дата	КФДЛ.441461.014РЭ	Лист
						16

7 Указания по эксплуатации

7.1 Все подключения к контактам разъемов портов ввода-вывода, монтаж и подключение элементов на макетном поле осуществлять только при отключенном напряжении питания контроллера.

7.2 Подключение RS232-интерфейса между PC-совместимым компьютером и контроллером осуществлять только при отключенном напряжении питания контроллера, так как между общим проводом компьютера и общим проводом источника питания может быть высокое напряжение. Наличие высокого напряжения может привести к отказу выходных портов RS232-интерфейса компьютера или контроллера.

Подключение RS232-интерфейсов:

UART0 (XP2) – помимо сигналов RxD (PA.9) и TxD (PA.8) модуля UART0 подключены сигналы управления модемом: DCD (PA.14), DTR (PA.13), DSR(PA.11), RTS (PA.12), CTS (PA.10), RI (PA.15).

7.3 Из-за особенностей конструкции разъемов внешней памяти установку модулей памяти рекомендуется осуществлять в последовательности слева направо.

7.4 При подключении источника питания БПС 12-1,0 к электрической сети и при работе с устройством соблюдать требования техники безопасности.

7.4 При работе макетно-отладочной платы с источником питания БПС 12-1,0 суммарный ток потребления внешних устройств, подключаемых к GPIO микроконтроллера, не должен превышать 200 мА.

7.5 При превышении тока потребления макетно-отладочной платы свыше 1А происходит оплавление предохранителя FU1. После устранения причины превышения тока потребления необходима его замена.

7.6 После выключения макетно-отладочной платы необходимо отключить источник питания от сети.

Инд. № подл.	Подп. и дата
Взам. Инв. №	Инв. № дубл.
Подп. и дата	

					КФДЛ.441461.014РЭ	Лист
						17
Изм.	Лист	N документа	Подпись	Дата		

Приложение А (обязательное)

Схемы электрические и расположение элементов на печатных платах

Инв. № подл.	Подл. и дата	Взам. Инв. №	Инв. № дубл.	Подл. и дата

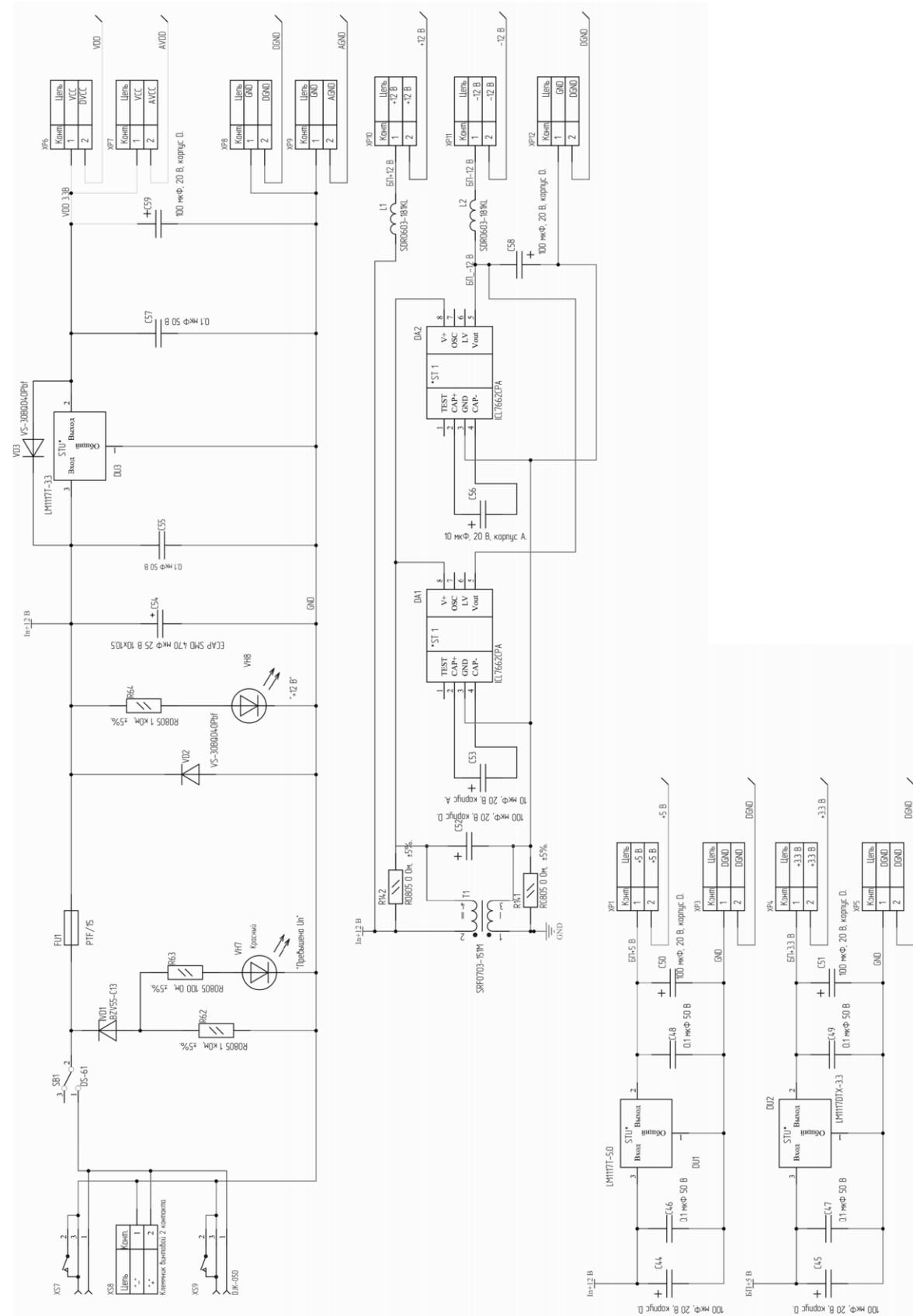


Рисунок А.1, лист 1 – Схема электрическая основной платы

Инв. № подл.	Подл. и дата	Взам. Инв. №	Инв. № дубл.	Подл. и дата

КФДЛ.441461.014РЭ

Лист
18

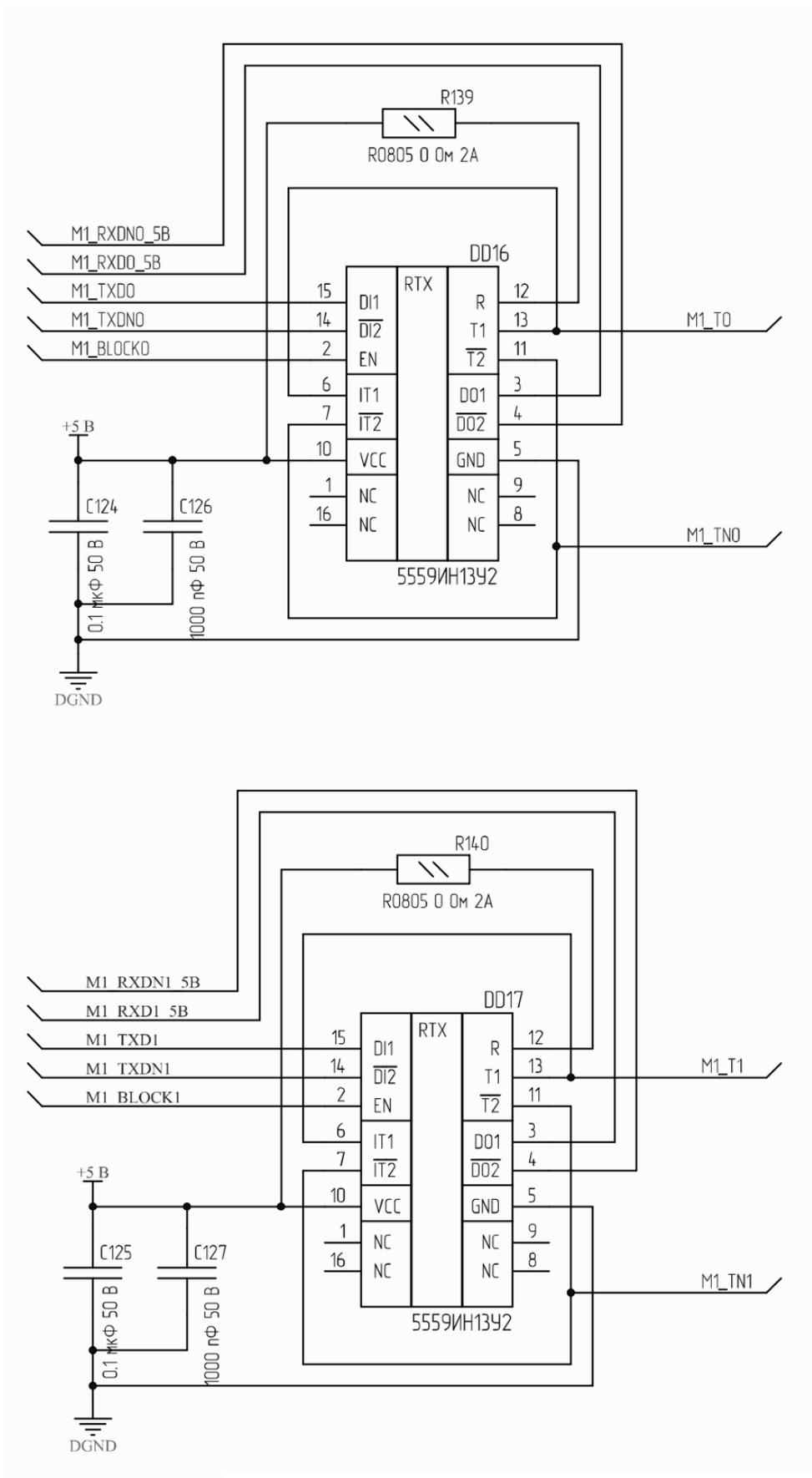


Рисунок А.1, лист 2 – Схема электрическая основной платы

Инов. № подл.	Подп. и дата
Взам. Инов. №	Инов. № дубл.
Подп. и дата	

Изм.	Лист	N документа	Подпись	Дата

КФДЛ.441461.014РЭ

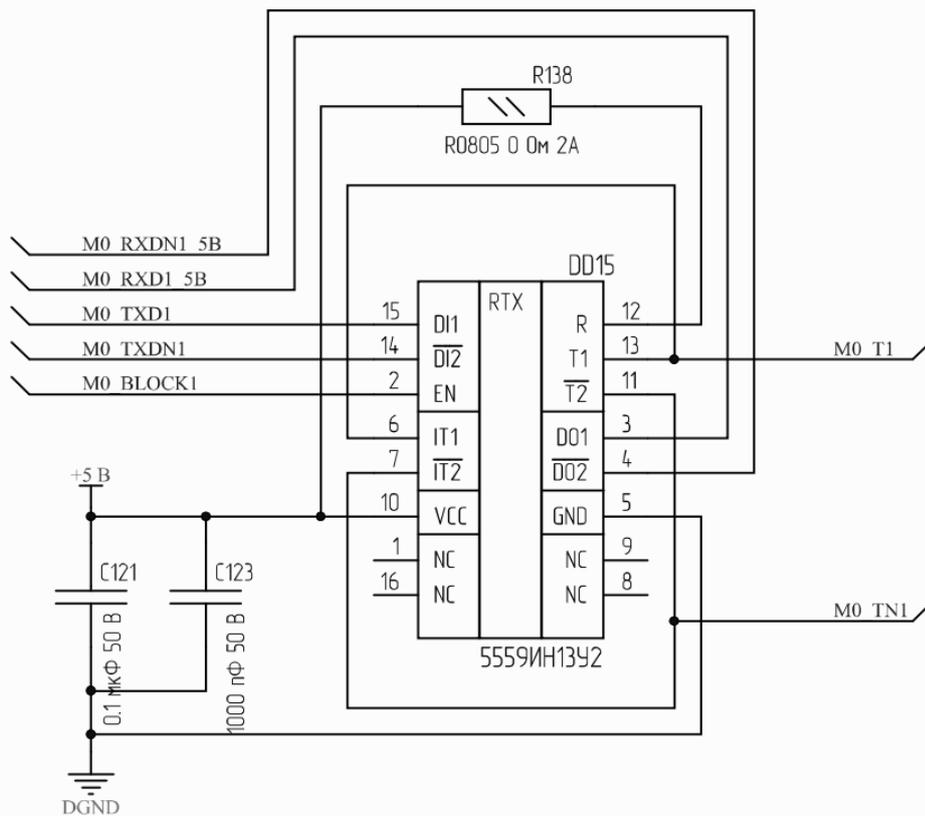
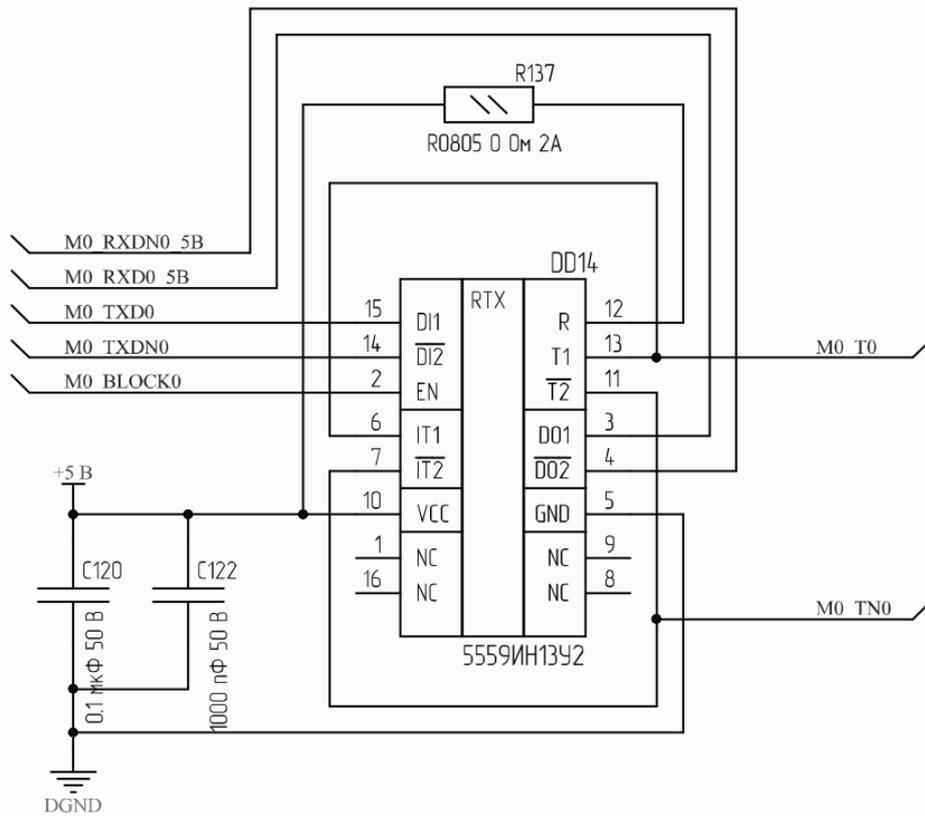


Рисунок А.1, лист 3 – Схема электрическая основной платы

Инва. № подл.	Подп. и дата
Взам. Инв. №	Инв. № дубл.
Подп. и дата	Подп. и дата

Изм.	Лист	N документа	Подпись	Дата
------	------	-------------	---------	------

КФДЛ.441461.014РЭ

Лист
20

Инв. № подл.	Подп. и дата	Взам. Инв. №	Инв. № дубл.	Подп. и дата

Изм.	Лист	N документа	Подпись	Дата

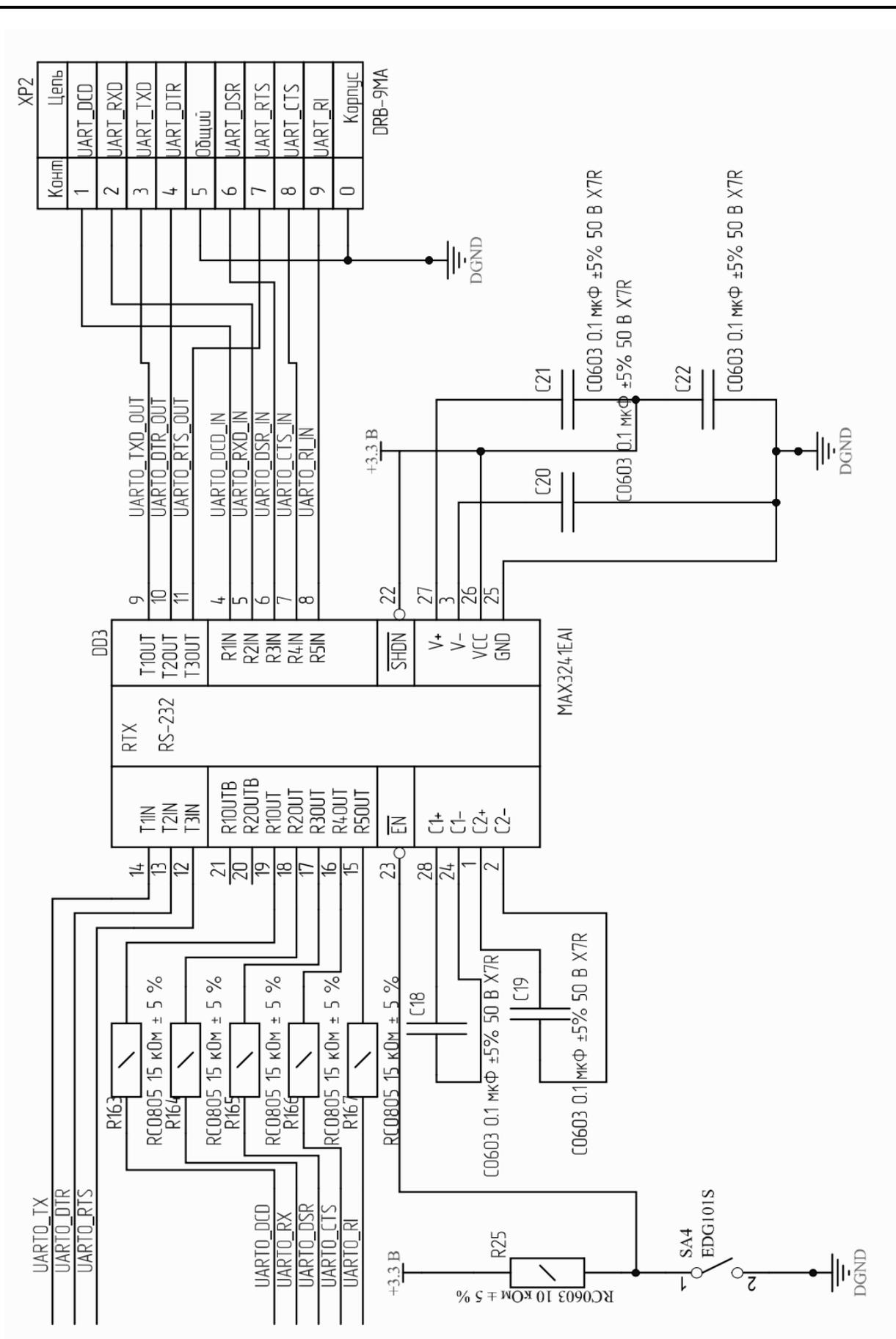


Рисунок А.1, лист 4 – Схема электрическая основной платы

КФДЛ.441461.014РЭ

Лист
21

Инв. № подл.	Подп. и дата	Взам. Инв. №	Инв. № дубл.	Подп. и дата

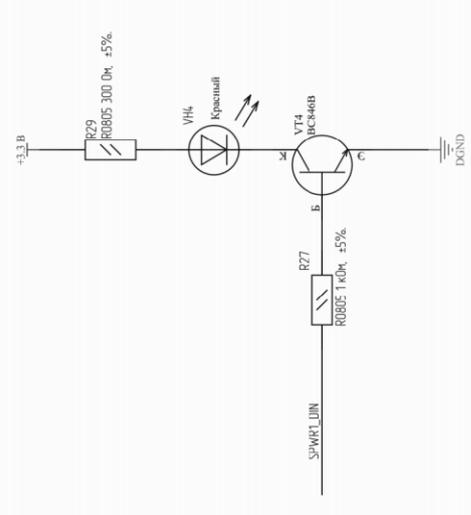
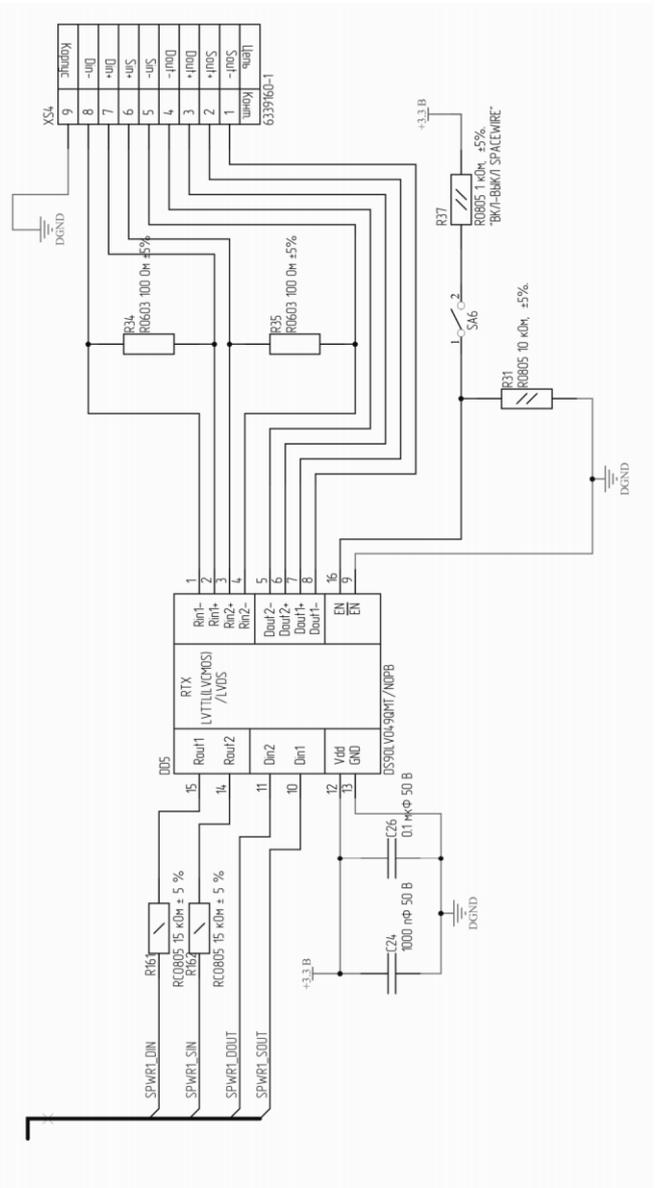
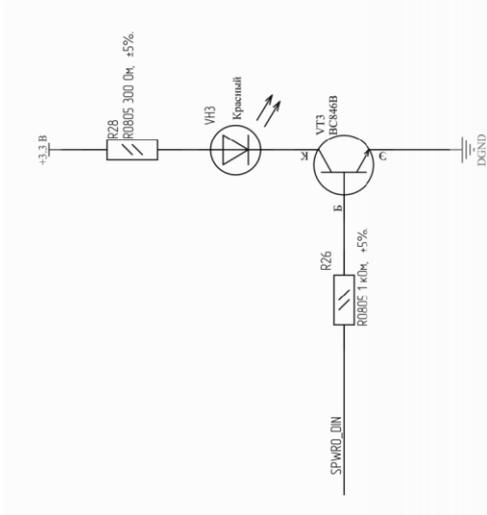
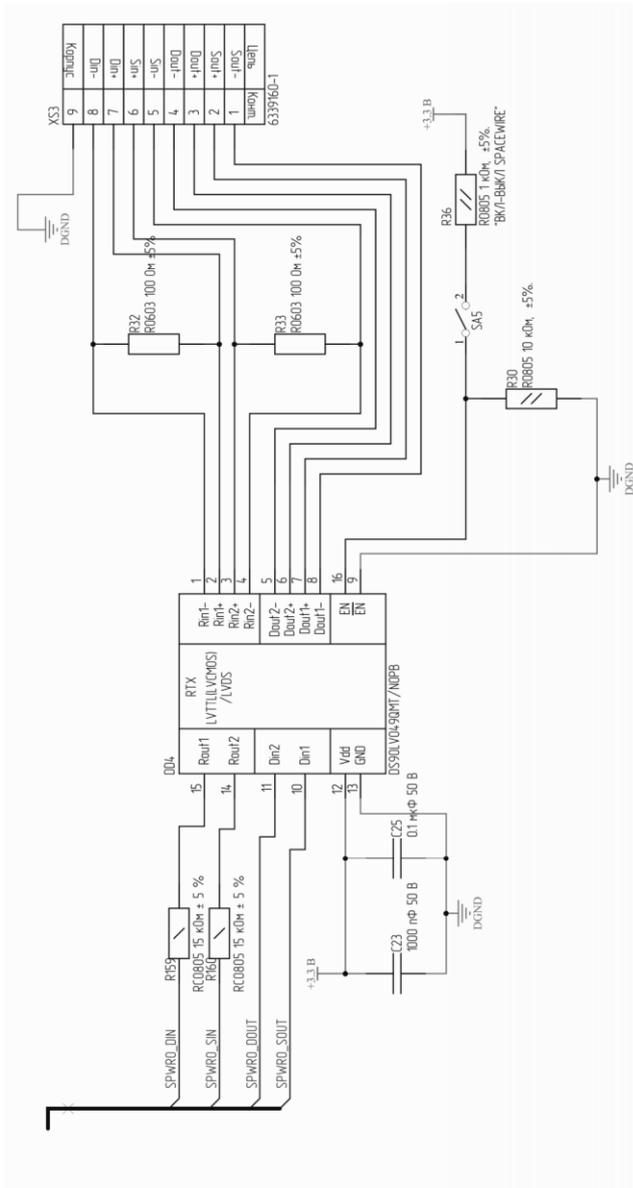


Рисунок А.1, лист 5 – Схема электрическая основной платы

Изм.	Лист	N документа	Подпись	Дата

КФДЛ.441461.014РЭ

Инв. № подл.	Подп. и дата	Взам. Инв. №	Инв. № дубл.	Подп. и дата

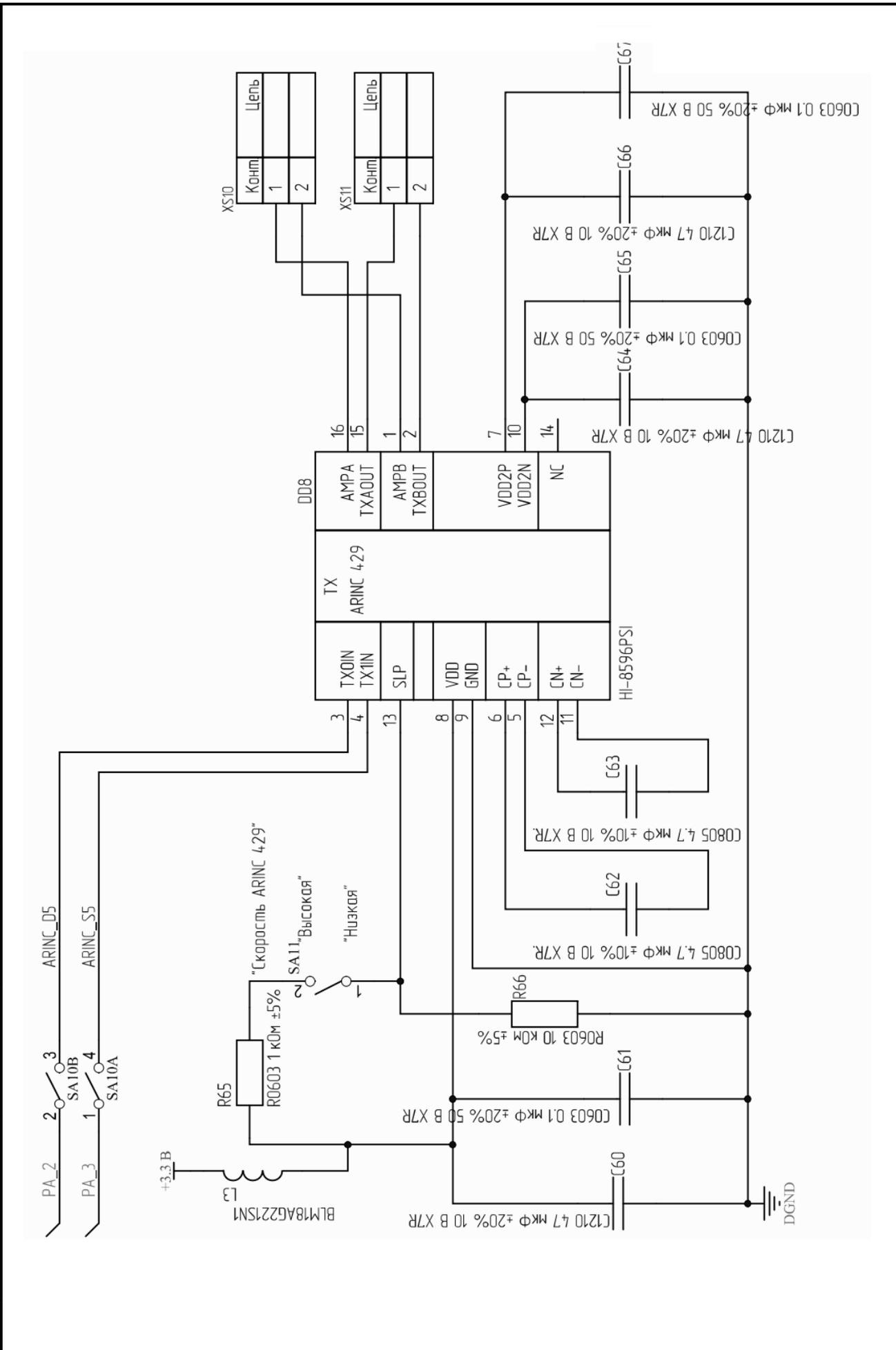


Рисунок А.1, лист 6 – Схема электрическая основной платы

Инв. № подл.	Подп. и дата	Взам. Инв. №	Инв. № дубл.	Подп. и дата

КФДЛ.441461.014РЭ

Лист
23

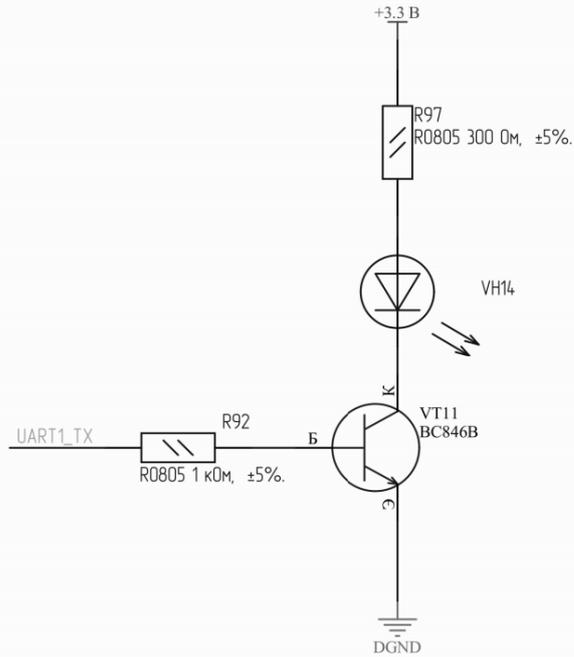
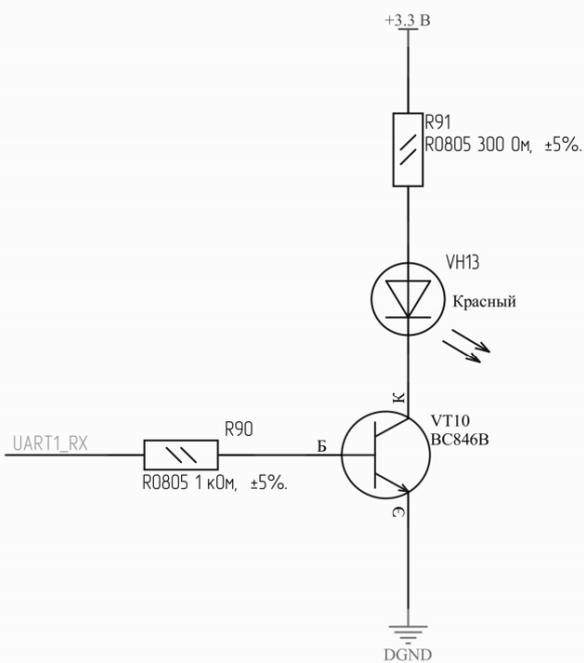
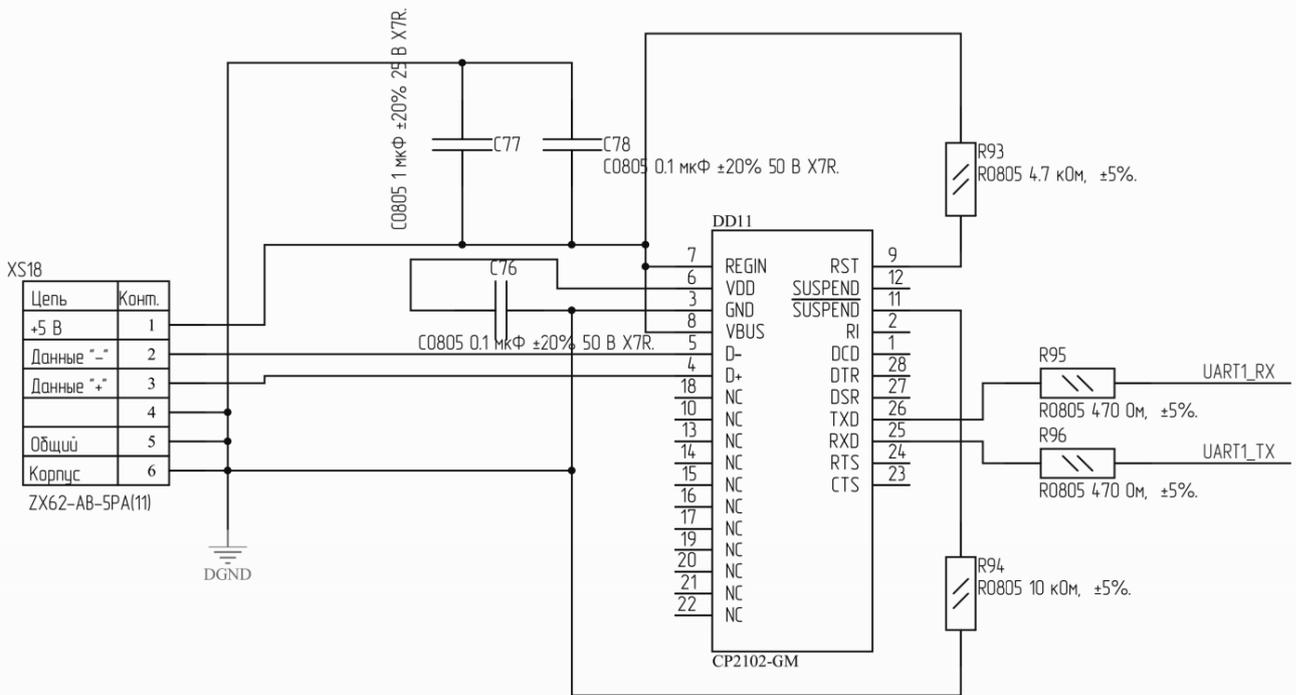


Рисунок А.1, лист 8 – Схема электрическая основной платы

Инв. № подл.	Подп. и дата
Взам. Инв. №	Инв. № дубл.
Подп. и дата	
Инв. № подл.	

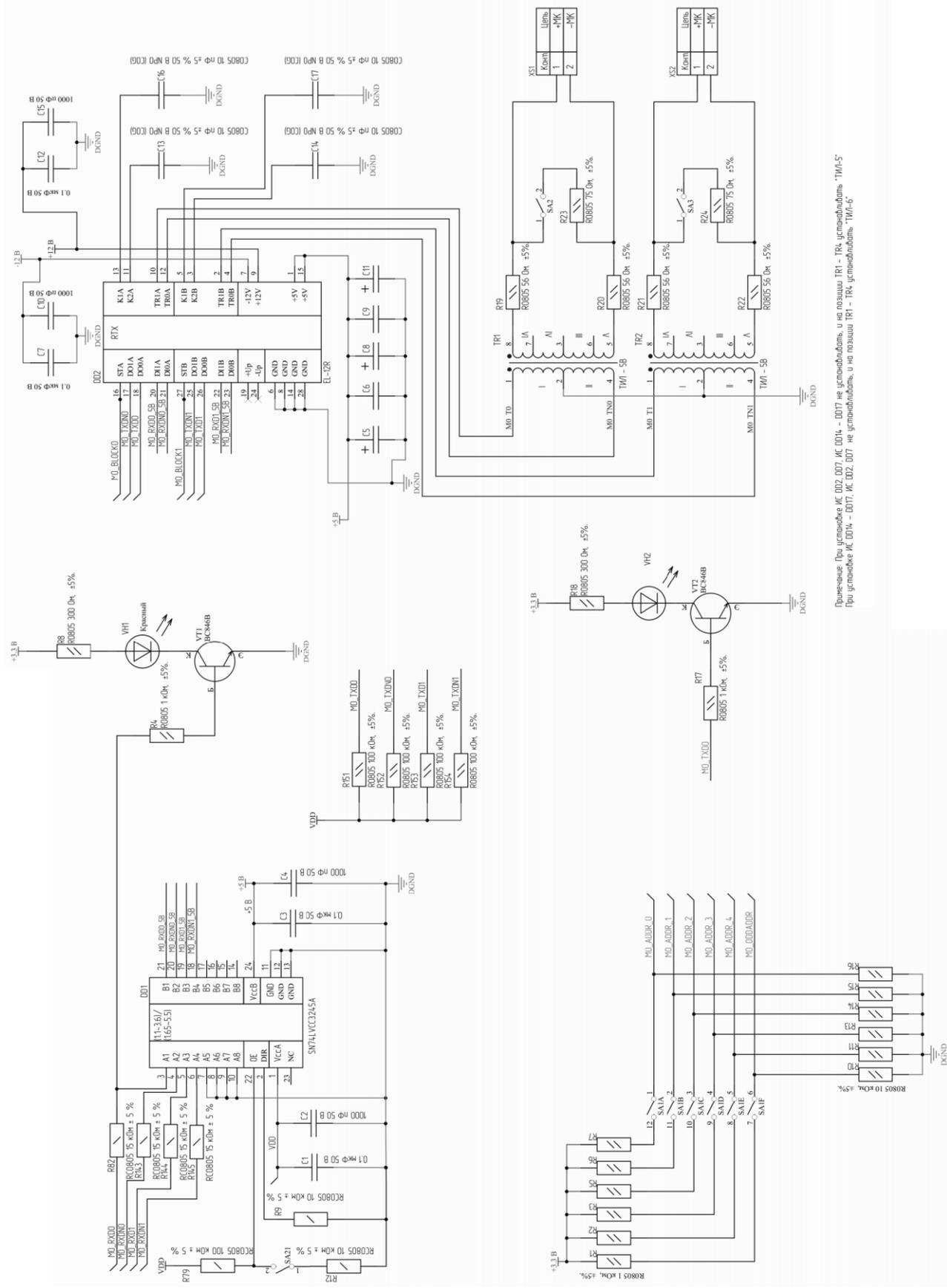
Изм.	Лист	N документа	Подпись	Дата

КФДЛ.441461.014РЭ

Лист
25

Инв. № подл.	Подл. и дата	Взам. Инв. №	Инв. № дубл.	Подп. и дата

Изм.	Лист	N документа	Подпись	Дата



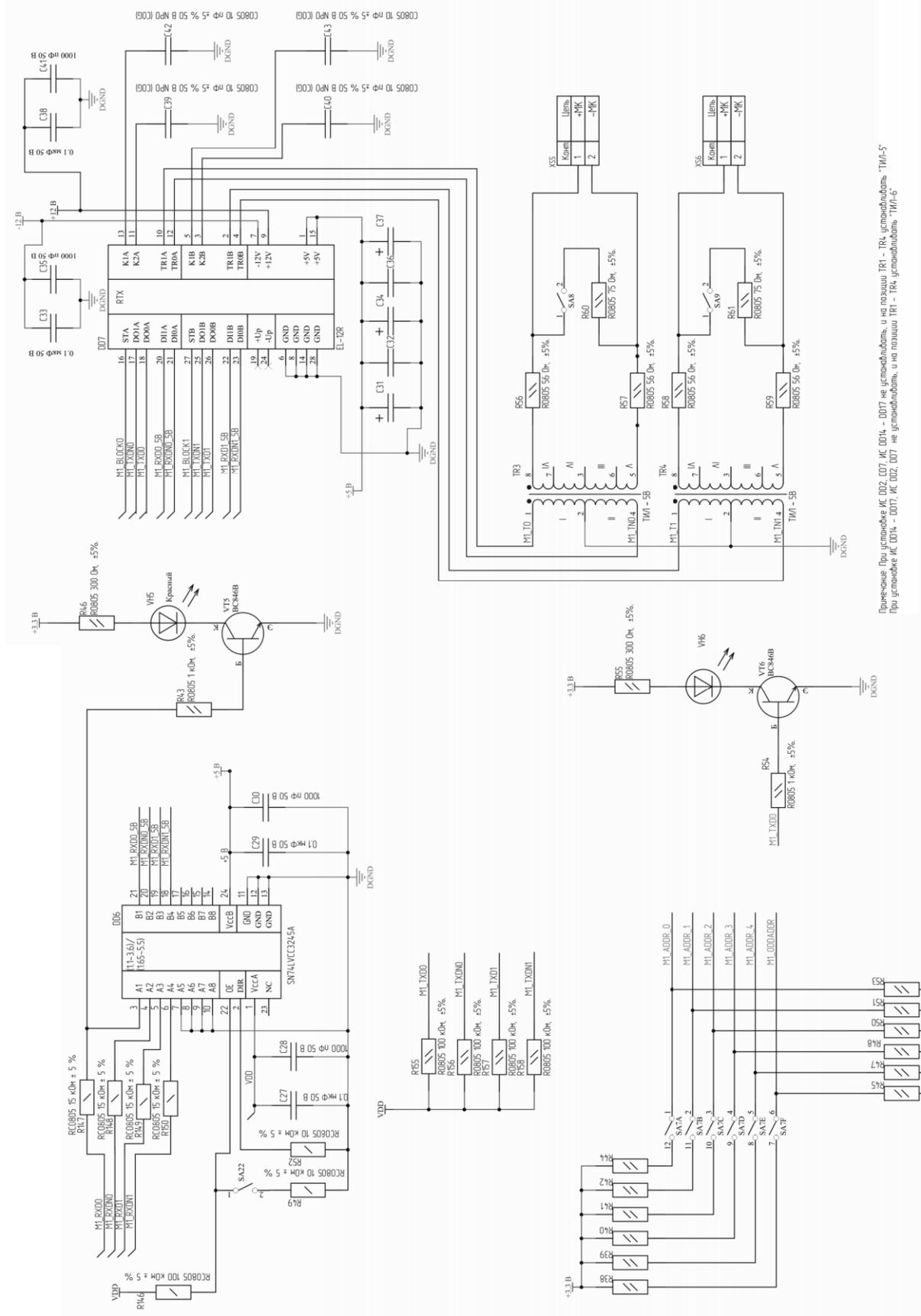
Примечание. При установке ИС DD2, DD7, ИС DD14 - DD17 не устанавливать, и на платки TR1 - TR4 устанавливать "ТМ-5".
 При установке ИС DD14 - DD17, ИС DD2, DD7 не устанавливать, и на платки TR1 - TR4 устанавливать "ТМ-6".

Рисунок А.1, лист 9 – Схема электрическая основной платы

КФДЛ.441461.014РЭ

Инв. № подл.	Подл. и дата	Взам. Инв. №	Инв. № дубл.	Подл. и дата

Изм.	Лист	N документа	Подпись	Дата



Примечание. При установке ИС 002, 007, ИС 0014 - 0017 не устанавливать, и на позиции TR1 - TR4 устанавливать "ТМ1-5".
 При установке ИС 0014 - 0017, ИС 002, 007 не устанавливать, и на позиции TR1 - TR4 устанавливать "ТМ1-5".

Рисунок А.1, лист 10 – Схема электрическая основной платы

КФДЛ.441461.014РЭ

Инв. № подл.	Подп. и дата	Взам. Инв. №	Инв. № дубл.	Подп. и дата
Изм.	Лист	N документа	Подпись	Дата

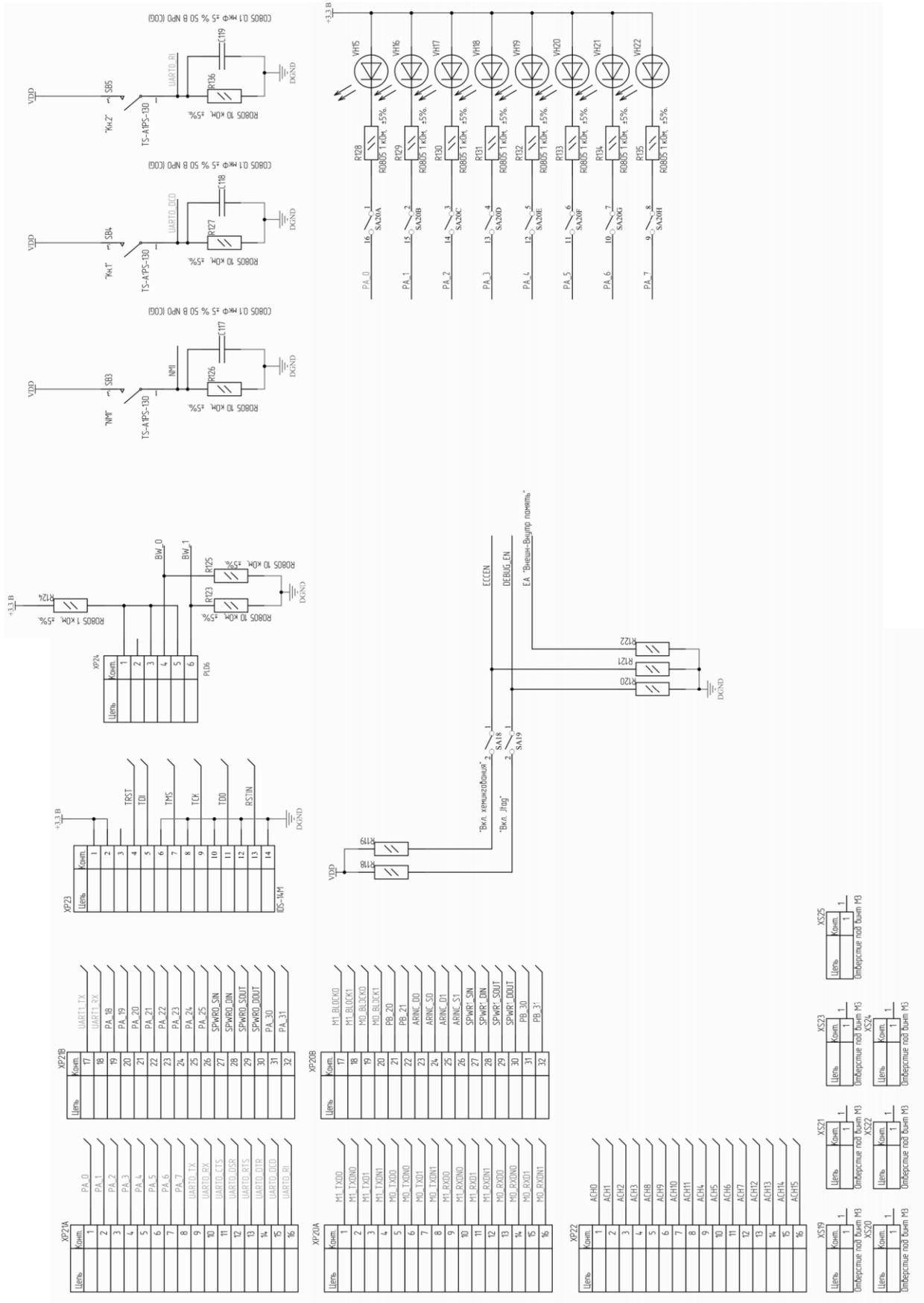


Рисунок А.1, лист 11 – Схема электрическая основной платы

Инв. № подл.	Подп. и дата	Взам. Инв. №	Инв. № дубл.	Подп. и дата

Инв. № подл.	Подп. и дата	Взам. Инв. №	Инв. № дубл.	Подп. и дата

Изм.	Лист	N документа	Подпись	Дата

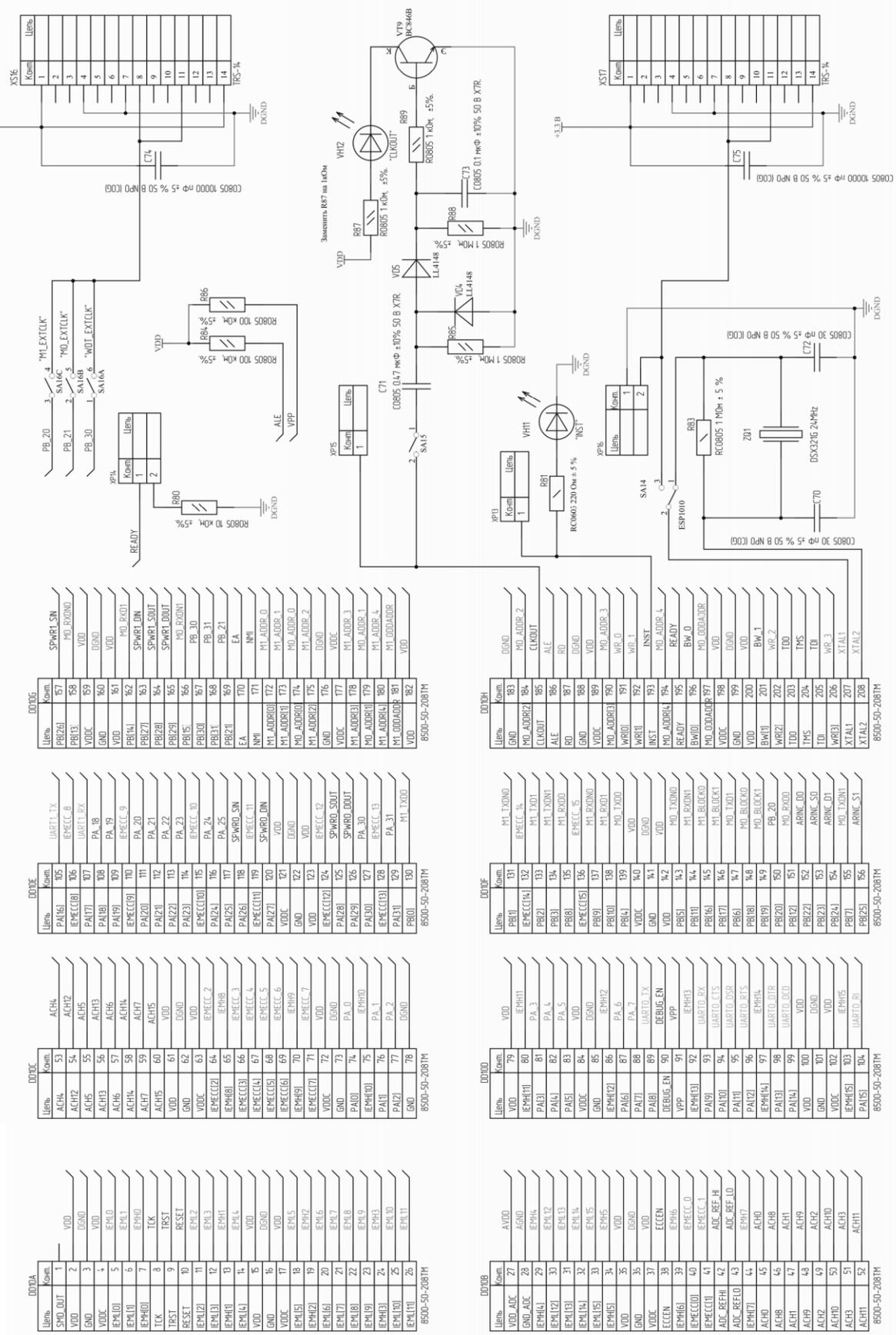


Рисунок А.1, лист 12 – Схема электрическая основной платы

КФДЛ.441461.014РЭ

Цель	Комп.	
SMD_OUT	1	
VDD	2	VDD
GND	3	DGND
VDDC	4	VDD
IEMLI0	5	IEMLI0
IEMLI1	6	IEMLI1
IEMHI0	7	IEMHI0
TCK	8	TCK
TRST	9	TRST
RESET	10	RESET
IEMLI2	11	IEMLI2
IEMLI3	12	IEMLI3
IEMHI1	13	IEMHI1
IEMLI4	14	IEMLI4
VDD	15	VDD
GND	16	DGND
VDDC	17	VDD
IEMLI5	18	IEMLI5
IEMHI2	19	IEMHI2
IEMLI6	20	IEMLI6
IEMLI7	21	IEMLI7
IEMLI8	22	IEMLI8
IEMLI9	23	IEMLI9
IEMHI3	24	IEMHI3
IEMLI10	25	IEMLI10
IEMLI11	26	IEMLI11

CGFP208

Цель	Комп.	
ACH4	53	ACH4
ACH12	54	ACH12
ACH5	55	ACH5
ACH13	56	ACH13
ACH6	57	ACH6
ACH14	58	ACH14
ACH7	59	ACH7
ACH15	60	ACH15
VDD	61	VDD
GND	62	DGND
VDDC	63	VDD
IEMCCI2	64	IEMCCI_2
IEMHI8	65	IEMHI8
IEMCCI3	66	IEMCCI_3
IEMCCI4	67	IEMCCI_4
IEMCCI5	68	IEMCCI_5
IEMCCI6	69	IEMCCI_6
IEMHI9	70	IEMHI9
IEMCCI7	71	IEMCCI_7
VDDC	72	VDD
GND	73	DGND
PA0	74	PA_0
IEMHI10	75	IEMHI10
PA1	76	PA_1
PA2	77	PA_2
GND	78	DGND

CGFP208

Цель	Комп.	
PA16	105	UART1_TX
IEMCCI8	106	IEMCCI_8
PA17	107	UART1_RX
PA18	108	PA_18
PA19	109	PA_19
IEMCCI9	110	IEMCCI_9
PA20	111	PA_20
PA21	112	PA_21
PA22	113	PA_22
PA23	114	PA_23
IEMCCI10	115	IEMCCI_10
PA24	116	PA_24
PA25	117	PA_25
PA26	118	SPWRO_SIN
IEMCCI11	119	IEMCCI_11
PA27	120	SPWRO_DIN
VDDC	121	VDD
GND	122	DGND
VDD	123	VDD
IEMCCI12	124	IEMCCI_12
PA28	125	SPWRO_SOUT
PA29	126	SPWRO_DOUT
PA30	127	PA_30
IEMCCI13	128	IEMCCI_13
PA31	129	PA_31
PB0	130	M1_TXDD

CGFP208

Цель	Комп.	
PB126	157	SPWR1_SIN
PB13	158	MO_RXD0
VDDC	159	VDD
GND	160	DGND
VDD	161	VDD
PB14	162	MO_RXD1
PB127	163	SPWR1_SOUT
PB128	164	SPWR1_SOUT
PB129	165	SPWR1_SOUT
PB15	166	MO_RXD0N1
PB30	167	PB_30
PB31	168	PB_31
PB121	169	PB_21
EA	170	EA
NMI	171	NMI
M1_ADDR0	172	M1_ADDR_0
M1_ADDR1	173	M1_ADDR_1
MO_ADDR0	174	MO_ADDR_0
M1_ADDR2	175	M1_ADDR_2
GND	176	DGND
VDDC	177	VDDC
M1_ADDR3	178	M1_ADDR_3
MO_ADDR1	179	MO_ADDR_1
M1_ADDR4	180	M1_ADDR_4
M1_ODDADDR	181	M1_ODDADDR
VDD	182	VDD

CGFP208

Цель	Комп.	
VDD_ADC	27	AVDD
GND_ADC	28	AGND
IEMHI4	29	IEMHI4
IEMLI12	30	IEMLI12
IEMLI13	31	IEMLI13
IEMLI14	32	IEMLI14
IEMLI15	33	IEMLI15
IEMHI5	34	IEMHI5
VDD	35	VDD
GND	36	DGND
VDDC	37	VDD
ECCEN	38	ECCEN
IEMHI6	39	IEMHI6
IEMCCI0	40	IEMCCI_0
IEMCCI1	41	IEMCCI_1
ADC_REFHI	42	ADC_REF_HI
ADC_REFLO	43	ADC_REF_LO
IEMHI7	44	IEMHI7
ACH0	45	ACH0
ACH8	46	ACH8
ACH1	47	ACH1
ACH9	48	ACH9
ACH2	49	ACH2
ACH10	50	ACH10
ACH3	51	ACH3
ACH11	52	ACH11

CGFP208

Цель	Комп.	
VDD	79	VDD
IEMHI11	80	IEMHI11
PA3	81	PA_3
PA4	82	PA_4
PA5	83	PA_5
VDDC	84	VDD
GND	85	DGND
IEMHI12	86	IEMHI12
PA6	87	PA_6
PA7	88	PA_7
PA8	89	UART0_TX
DEBUG_EN	90	DEBUG_EN
VPP	91	VPP
IEMHI13	92	IEMHI13
PA9	93	UART0_RX
PA10	94	UART0_CTS
PA11	95	UART0_DSR
PA12	96	UART0_RTS
IEMHI14	97	IEMHI14
PA13	98	UART0_DTR
PA14	99	UART0_DCD
VDD	100	VDD
GND	101	DGND
VDDC	102	VDD
IEMHI15	103	IEMHI15
PA15	104	UART0_RI

CGFP208

Цель	Комп.	
PB1	131	M1_TXD0
IEMCCI14	132	IEMCCI_14
PB2	133	M1_TXD1
PB3	134	M1_TXD0N1
PB8	135	M1_RXD0
IEMCCI15	136	IEMCCI_15
PB9	137	M1_RXD0
PB10	138	M1_RXD1
PB4	139	MO_TXDD
VDDC	140	VDD
GND	141	DGND
VDD	142	VDD
PB5	143	MO_TXD0
PB11	144	M1_RXD0N1
PB16	145	M1_BLOCK0
PB17	146	M1_BLOCK1
PB6	147	MO_TXD1
PB18	148	MO_BLOCK0
PB19	149	MO_BLOCK1
PB20	150	PB_20
PB12	151	MO_RXD0
PB22	152	ARINC_D0
PB23	153	ARINC_S0
PB24	154	ARINC_D1
PB7	155	MO_TXD0N1
PB25	156	ARINC_S1

CGFP208

Цель	Комп.	
GND	183	DGND
MO_ADDR2	184	MO_ADDR_2
CLKOUT	185	CLKOUT
ALE	186	ALE
RD	187	RD
GND	188	DGND
VDDC	189	VDD
MO_ADDR3	190	MO_ADDR_3
WR0	191	WR_0
WR1	192	WR_1
INST	193	INST
MO_ADDR4	194	MO_ADDR_4
READY	195	READY
BW0	196	BW_0
MO_ODDADDR	197	MO_ODDADDR
VDDC	198	VDD
GND	199	DGND
VDD	200	VDD
BW1	201	BW_1
WR2	202	WR_2
TDD	203	TDD
TMS	204	TMS
TDI	205	TDI
WR3	206	WR_3
XTAL1	207	XTAL1
XTAL2	208	XTAL2

CGFP208

Рисунок А.1, лист 13 – Схема электрическая основной платы

Инв. № подл.	Взам. Инв. №	Подп. и дата	Инв. № дубл.	Подп. и дата

Изм.	Лист	N документа	Подпись	Дата	КФДЛ.441461.014РЭ	Лист 30

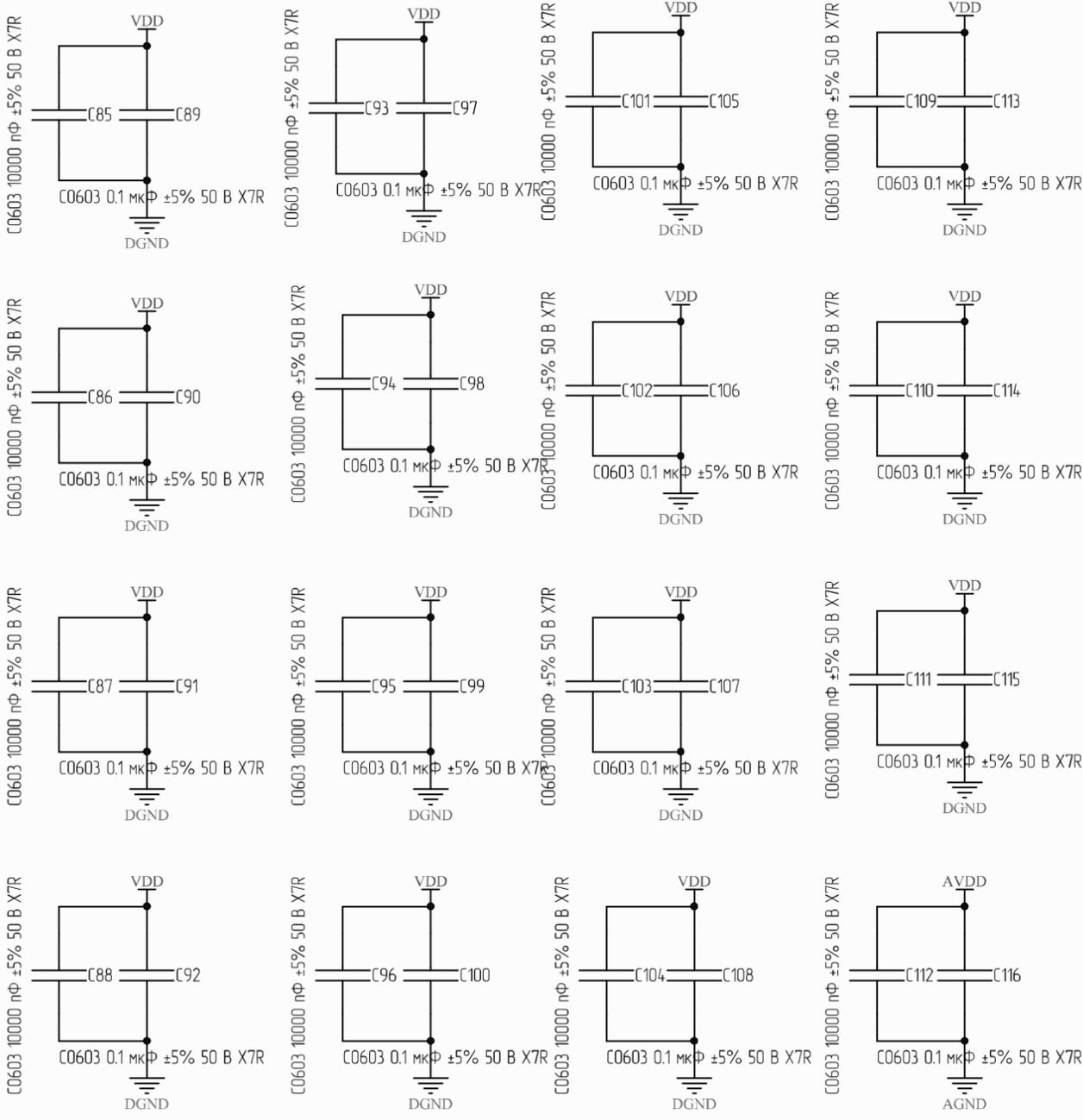


Рисунок А.1, лист 14 – Схема электрическая основной платы

Инв. № подл.	Подп. и дата
Взам. Инв. №	Инв. № дубл.
Подп. и дата	
Инв. № подл.	

Изм.	Лист	N документа	Подпись	Дата

КФДЛ.441461.014РЭ

Лист
31

Инв. № подл.	Подп. и дата	Взам. Инв. №	Инв. № дубл.	Подп. и дата
Изм.	Лист	N документа	Подпись	Дата

1 - 40

XS26A

Цель	Конп.
	1
	2
	3
	4
	5
	6
	7
	8
	9
	10
	11
	12
	13
	14
	15
	16
	17
	18
	19
	20

XS26B

Цель	Конп.
	21
	22
	23
	24
	25
	26
	27
	28
	29
	30
	31
	32
	33
	34
	35
	36
	37
	38
	39
	40

41 - 80

XS27A

Цель	Конп.
	1
	2
	3
	4
	5
	6
	7
	8
	9
	10
	11
	12
	13
	14
	15
	16
	17
	18
	19
	20

XS27B

Цель	Конп.
	21
	22
	23
	24
	25
	26
	27
	28
	29
	30
	31
	32
	33
	34
	35
	36
	37
	38
	39
	40

КФДЛ.441461.014РЭ

Рисунок А.1, лист 15 – Схема электрическая основной платы

Инв. № подл.	Подп. и дата	Взам. Инв. №	Инв. № дубл.	Подп. и дата

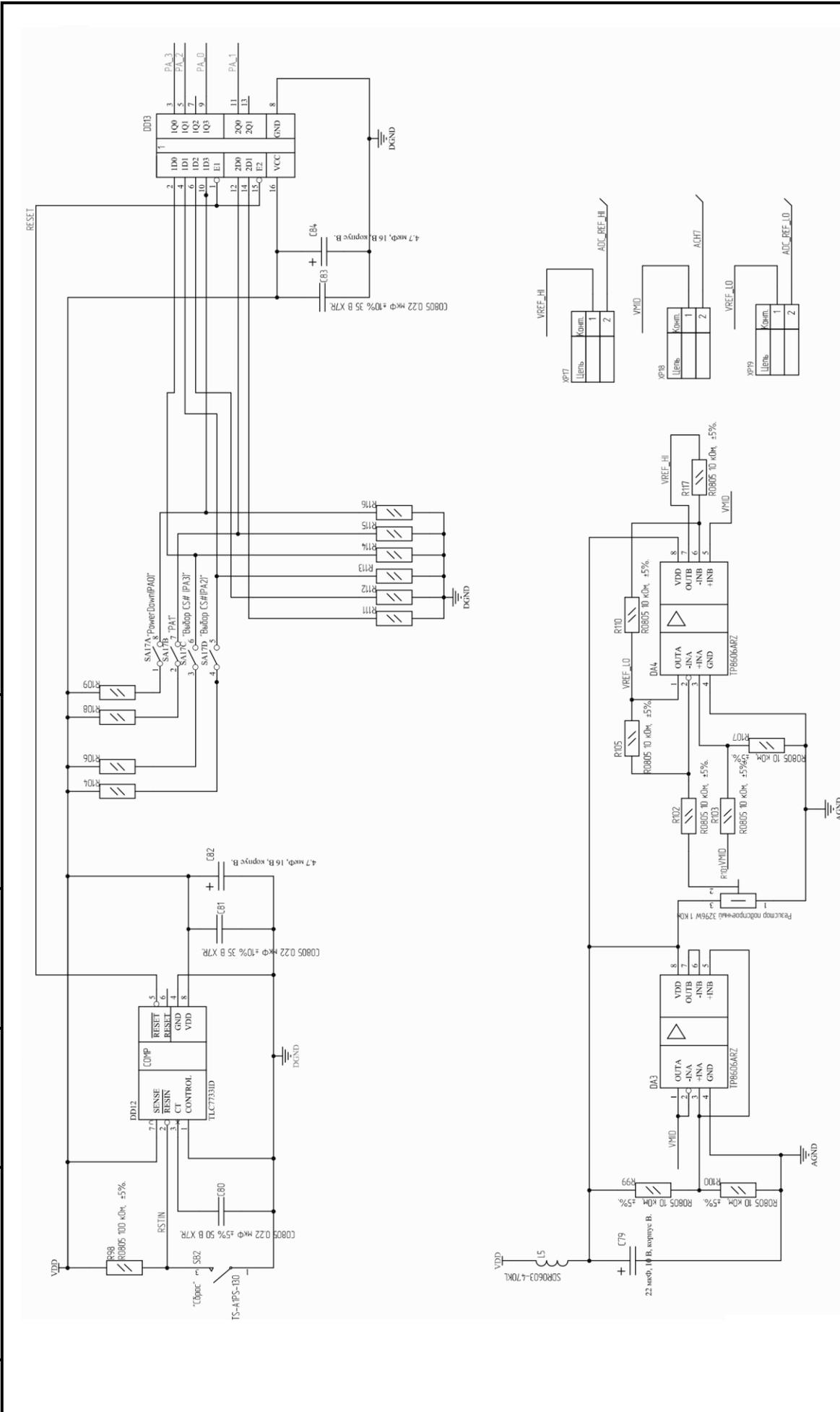


Рисунок А.1, лист 16 – Схема электрическая основной платы

Инв. № подл.	Подп. и дата	Взам. Инв. №	Инв. № дубл.	Подп. и дата

КФДЛ.441461.014РЭ

Лист
33

Инв. № подл.	Подп. и дата	Взам. Инв. №	Инв. № дубл.	Подп. и дата

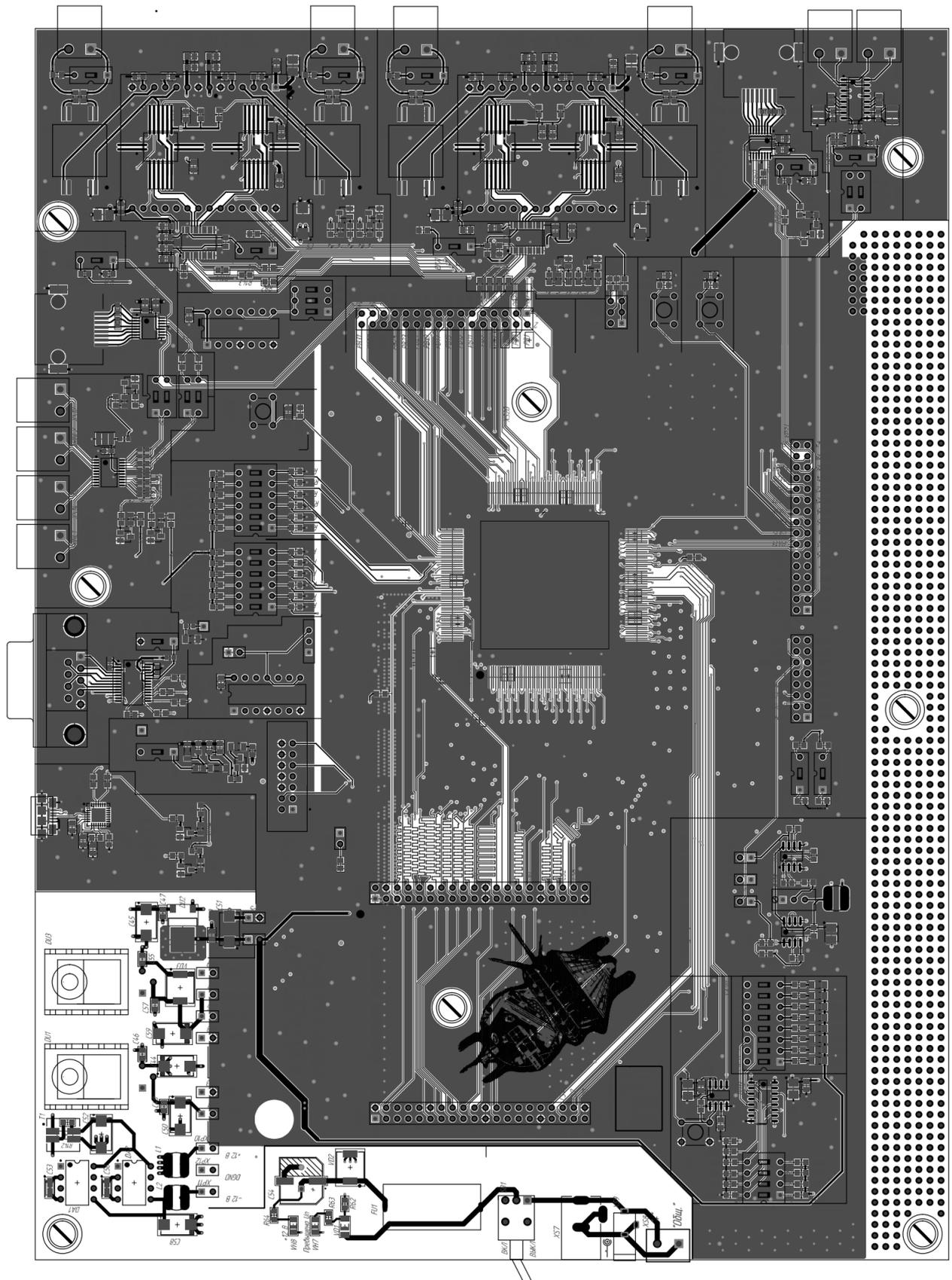


Рисунок А.2, лист 1 – Расположение элементов на основной плате

Изм.	Лист	N документа	Подпись	Дата

КФДЛ.441461.014РЭ

Лист
34

