

ОКПД2 26.11.30.000.02930.1

УТВЕРЖДАЮ
Технический директор
И.В. Семейкин
« ____ » _____ 2021 г.

МИКРОСХЕМА ИНТЕГРАЛЬНАЯ
К1946ВК035
Справочный лист
КФДЛ.431295.072Д1

СОГЛАСОВАНО

Генеральный директор
АО «ЦКБ «Дейтон»
Ю.В. Рубцов

« ____ » _____ 2021 г.

Начальник отдела 35

В.А. Смерек

« ____ » _____ 2021 г.

Начальник отдела 49

Ф.В. Макаренко

« ____ » _____ 2021 г.

Инв. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инв. № дубл.	Подп. и дата

Пример обозначения микросхем при заказе (в договоре на поставку):

Микросхема К1946ВК035 – АДКБ.431290.407ТУ.

Условное графическое обозначение, структурная схема микросхемы и функциональное назначение выводов приведены в схеме электрической структурной КФДЛ.431295.072Э1, прилагаемой к техническим условиям АДКБ.431290.407ТУ.

Конструктивное исполнение микросхемы приведено на рисунке 1.

Микросхема выполняется в металлополимерном (пластмассовом) корпусе LQFP48.

Содержание драгоценных металлов (на 1 000 шт.) в микросхемах, согласно данным поставщиков корпусов, составляет:

- золото – г;
- серебро – г.

Точное значение содержания драгоценных металлов (на 1 000 шт.) в микросхемах указывается в этикетке при поставке изделий потребителю.

Масса микросхемы – не более 1 г.

Инд. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Изм.	Лист	№ докум.	Подп.	Дата	КФДЛ.431295.072Д1	Лист
						3

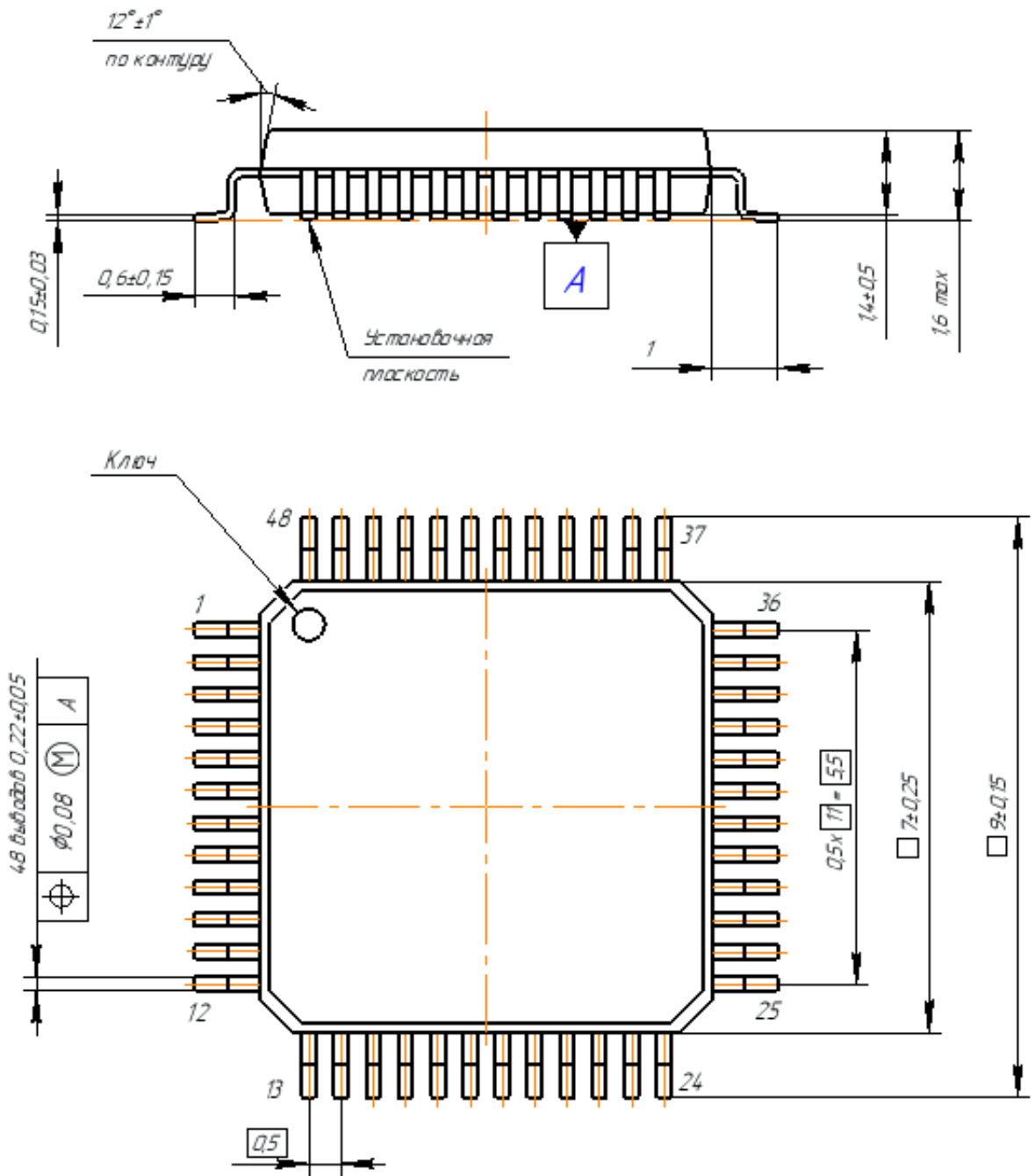


Рисунок 1 – Конструктивное исполнение микросхемы

Инв. № подл.	Подп. и дата
Взам. инв. №	Инв. № дубл.
Подп. и дата	Подп. и дата
Изм.	Лист
№ докум.	Подп.
Дата	Дата

Краткое описание работы

Микроконтроллер содержит следующие функциональные элементы:

- 32-разрядное процессорное ядро;
- основную Flash память объемом 64 Кбайт;
- загрузочную Flash память емкостью 4 Кбайт;
- кэш команд и данных объемом 1 Кбайт каждый;
- ОЗУ объемом 16 Кбайт;
- сторожевой таймер;
- синтезатор частоты на основе PLL;
- четыре 32-битных таймера;
- многоканальный ШИМ генератор (три двухканальных модуля, включая три канала высокого разрешения);
- четырехканальный 12-разрядный АЦП;
- один порт последовательного интерфейса SPI;
- два порта последовательного интерфейса UART;
- один квадратурный декодер (QEP);
- модуль CAN (протокол 2.0b) с двумя портами ввода-вывода;
- два 16-разрядных порта ввода-вывода вывода с отдельно программируемыми мультиплексированными выводами общего назначения.

Структура и описание микроконтроллера

Микроконтроллер предназначен для применения в промышленных и потребительских приложениях, таких как системы дистанционного мониторинга, контрольно-измерительные приборы, сетевые устройства, системы автоматизации производственных процессов, автомобильная электроника, авиационная электроника, системы управления электродвигателями.

Инт. № подл.	Подп. и дата	Взам. инв. №	Инт. № дубл.	Подп. и дата
Изм.	Лист	№ докум.	Подп.	Дата

Микроконтроллер структурно представляет собой мультистадийный RISC-процессор. Ядро поддерживает большой набор DSP-инструкций, а в совокупности с модулем операций с плавающей запятой существенно ускоряется обработка потоковых данных, что в свою очередь делает микроконтроллер весьма привлекательным для использования в системах управления и обработки информации. Микроконтроллер способен параллельно выполнять четыре операции сложения/вычитания с 8-разрядными операндами или две операции сложения/вычитания с 16-разрядными операндами. Также реализовано умножение за один цикл, при этом для 16-разрядных чисел возможно параллельное исполнение двух операций. Из особенностей следует упомянуть аппаратное умножение 32-разрядных чисел за один цикл, а также деление 32-разрядных чисел, занимающее от 2 до 12 циклов.

Подсистема памяти

Микроконтроллер имеет в своем составе флэш-память объемом 64 Кбайта. Присутствует блок предвыборки и кэш-память по 1 Кбайт на каждую из шин – данных (D-code) и инструкций (I-code). ОЗУ размером 16 Кбайт, поддерживается исполнение кода из него. Расположение блоков в адресном пространстве представлено в таблице 1.

Таблица 1 – Организация памяти микроконтроллера

Адресное пространство	Название блока	Описание
0000_0000h – 0001_FFFFh	Основная флэш (I-Code)	Шина выборки инструкций
	Основная флэш (D-Code)	Шина данных, расположенных в коде программы
2000_0000h – 2000_3FFFh	ОЗУ 16 Кбайт (S-Code)	ОЗУ
4000_0000h – 4FFF_FFFFh	SFR	Регистры управления периферийными блоками
8000_0000h – 8FFF_FFFFh	Внешняя память	Область обращения к внешней памяти
E000_0000h – FFFF_FFFFh	Системные регистры	Область системных регистров

Изн. № подл.	Подп. и дата	Взам. инв. №	Изн. № дубл.	Подп. и дата
Изн. № подл.	Подп. и дата	Взам. инв. №	Изн. № дубл.	Подп. и дата

Блок коммутации микроконтроллера

Все устройства микроконтроллера соединены между собой через блок коммутации. Все устройства-мастера в системе имеют доступ к ОЗУ, флэш-памяти и внешней памяти. Ядро через шины I-code и D-code может обращаться к флэш-памяти и одному из регионов ОЗУ и по System-шине к любой другой периферии, подключенной напрямую или через мосты. Контроллер прямого доступа к памяти (DMA) также имеет доступ к любой другой периферии, подключенной напрямую или через мосты. На рисунке 2 приведена схема соединения основных и периферийных блоков микроконтроллера внутри блока коммутации для микроконтроллера.

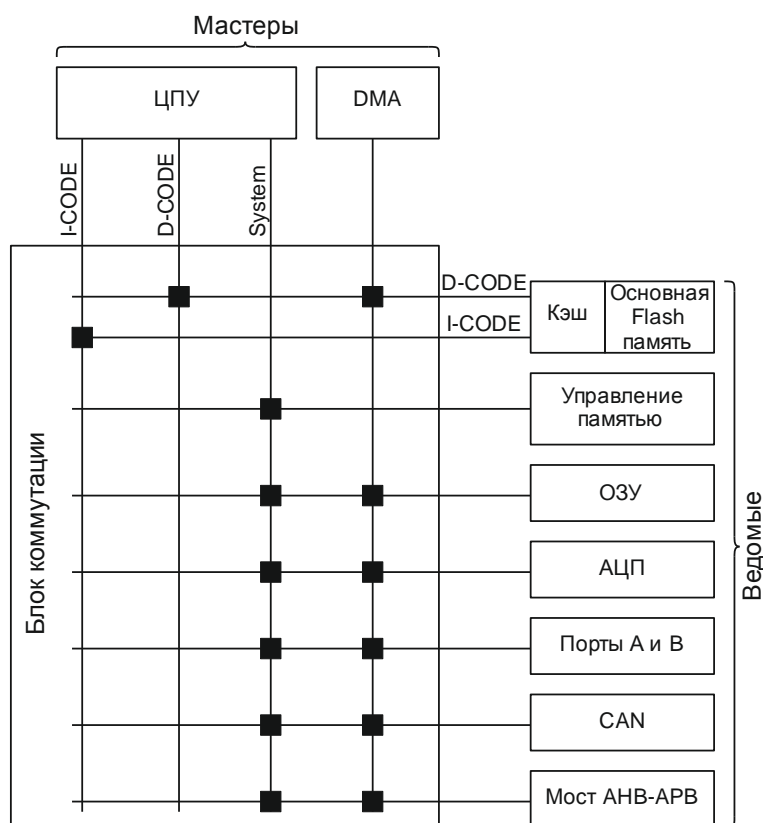


Рисунок 2 – Схема соединения блоков внутри блока коммутации

Система тактирования микроконтроллера

В контроллере предусмотрена развитая подсистема управления тактовыми сигналами. Источником тактирования для PLL может быть внутренний RC-генератор или внешний генератор. Далее путем настройки коэффициентов, на выходе PLL может быть получено желаемое значение частоты. Тактирование всех периферийных блоков, портов ввода-вывода может включаться отдельно. Для приемо-передающих интерфейсов есть возможность не только выборочно

Инв. № подл.	Подп. и дата
Взам. инв. №	Инв. № дубл.
Подп. и дата	Подп. и дата

Изм.	Лист	№ докум.	Подп.	Дата
------	------	----------	-------	------

включать или отключать тактовый сигнал, но и выбирать источник тактирования. Среди вариантов выбора присутствуют внешние и внутренние источники тактирования, а также сигналы с выхода PLL. Частоту любого из сигналов можно дополнительно уменьшить индивидуальным для каждого блока делителем. Таким образом, обеспечивается гибкая настройка тактирования периферийных блоков в зависимости от требуемых частотных характеристик в широком диапазоне рабочих частот.

Другой отличительной особенностью системы тактирования является наличие системы слежения за тактовым сигналом, которая осуществляет контроль источников тактовых сигналов и позволяет обрабатывать исключительные ситуации, связанные с их пропаданием (срыв генерации PLL, ненадежный контакт с внешним резонатором и т. п.). Для этого один из источников выбирается в качестве опорного, и все остальные источники отслеживаются относительно него. Кроме слежения за каждым из источников тактового сигнала по отдельности, система отслеживания позволяет контролировать текущий системный тактовый сигнал. При переходе контроллера в аварийное состояние по тактированию будет осуществлен аварийный переход системной частоты на частоту, выбранную в качестве опорной и будет выработано соответствующее прерывание. В обработке прерывания можно перейти на любой стабильный источник тактирования, для которого установлены соответствующие биты статусных регистров. Если аварийный источник возобновил тактирование, то можно снова перейти на него, но уже в ручном режиме, заново выбрав его.

Контроллер DMA

Контроллер DMA выполняет передачи 8-, 16- и 32-разрядных данных. Разрядность данных источника и приемника должны быть одинаковыми.

Контроллер DMA позволяет управлять инкрементом адреса при чтении данных из источника и при записи данных в приемник. Инкремент адреса зависит от разрядности передаваемых данных: минимальная величина инкремента адреса всегда соответствует разрядности передаваемых данных; максимальная величина —

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

										Лист
										8
Изм.	Лист	№ докум.	Подп.	Дата	КФДЛ.431295.072Д1					

одно слово. Контроллер DMA может быть настроен на работу с фиксированным адресом (например, для работы с FIFO).

Контроллер DMA имеет возможность обслуживать сигналы запроса на одиночный обмен и запроса на пакетный обмен.

Каждому каналу DMA соответствуют две структуры управляющих данных: первичная и альтернативная. В ОЗУ должна быть отведена область для хранения этих структур.

Основные свойства и отличительные особенности:

- 16 каналов DMA;
- каждый канал DMA имеет свои сигналы управления передачей данных и программируемый уровень приоритета;
- каждый уровень приоритета обрабатывается, исходя из уровня приоритета, определяемого номером канала DMA;
- поддержка различного типа передачи данных в пределах внутреннего ОЗУ: память – память, память – периферия, периферия – память;
- поддержка различных типов циклов DMA;
- поддержка передачи данных различной разрядности;
- каждому каналу DMA доступна первичная и альтернативная структура управляющих данных канала;
- все данные канала хранятся во внутреннем ОЗУ в структуре управляющих данных канала;
- разрядность данных приемника равна разрядности данных передатчика;
- количество передач в одном цикле DMA может программироваться от 1 до 1024;
- инкремент адреса передачи может быть больше, чем разрядность данных.

Инд. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Изм.	Лист	№ докум.	Подп.	Дата	КФДЛ.431295.072Д1	Лист
						9

Контроллер прерываний NVIC

Контроллер обеспечивает:

- программное задание уровня приоритета независимо для каждого прерывания в диапазоне от 0 до 7 (прерывание с уровнем 0 имеет наивысший приоритет);
- генерирование сигнала прерывания по фронту и по уровню сигнала;
- динамическое изменение приоритета прерываний;
- разделение по группам с одинаковым приоритетом и по подгруппам внутри одной группы;
- передача управления из одного обработчика в другой без восстановления контекста.

Процессор автоматически сохраняет в стеке свое состояние при входе в обработчик прерывания и восстанавливает свое состояние после завершения обработки прерывания, т. е. без необходимости программирования этих операций.

Обработчики прерываний можно динамически менять, но при этом обязательно следует располагать следующие элементы:

- начальное значение основного указателя стека;
- вектор сброса RESET;
- вектор NMI;
- вектор исключения HardFault.

Остальные прерывания не могут генерироваться, пока не будут разрешены.

Контроллер прерываний поддерживает прерывания, как по фронту, так и по уровню. Прерывание по фронту – импульсное прерывание, которое может иметь длительность большую или равную длительности такта системной частоты.

Прерывание по уровню возникает до тех пор, пока устройством удерживается заданный уровень сигнала. Если прерывание по уровню не было снято до завершения работы обработчика прерываний, то контроллер NVIC вновь начинает его обработку.

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
Изм.	Лист	№ докум.	Подп.	Дата

В случае прихода импульсного прерывания от любого источника в момент обработки предыдущего, в контроллере устанавливается флаг, сигнализирующий о приходе нового прерывания, которое будет обработано после завершения обработки текущего прерывания. В случае, если контроллер NVIC находится в состоянии ожидания и приходит импульсное прерывание от того же источника, обработка выполнится только один раз.

Для управления прерываниями используются пять групп регистров ISER, ICER, ISPR, ICPR и IABR.

Порты ввода-вывода

В состав микроконтроллера входят два 16-разрядных порта – порт А, порт В. Полученные данные сохраняются в регистре DATA порта. Данные для передачи записываются в регистр DATAOUT порта. Существует возможность модификации состояния регистра DATAOUT путем записи единиц в:

- регистр DATAOUTSET для установки соответствующих бит;
- регистр DATAOUTCLR для сброса бит.

На рисунке 3 приведена структурная схема нулевого вывода цифрового порта А микроконтроллера. Схемы всех выводов идентичны.

Схема состоит из двунаправленной площадки вывода, фильтра входных сигналов, мультиплексора выбора номера альтернативной функции, мультиплексора выбора режима работы (режим GPIO либо режим альтернативной функции).

Для каждого вывода задается режим работы, номер альтернативной функции, нагрузочная способность и быстродействие вывода, режим подтяжки, а также производится настройка порта на работу в режиме с открытым стоком/истоком. Входной сигнал может подаваться для дальнейшей обработки как напрямую (асинхронный вход), так и проходить обработку через фильтр.

Инд. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Изм.	Лист	№ докум.	Подп.	Дата	КФДЛ.431295.072Д1	Лист
						11

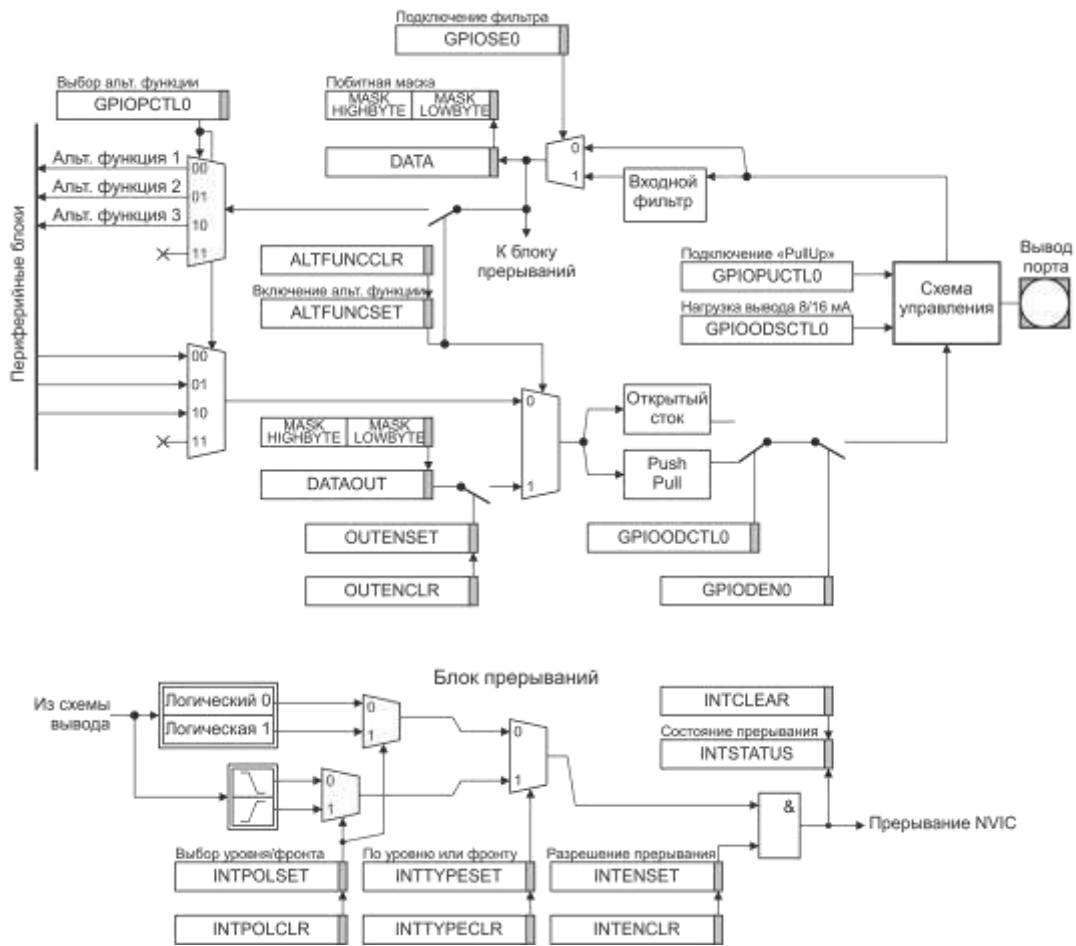


Рисунок 3 – Вывод цифрового порта микроконтроллера и управляющие регистры

После сброса все выходы неактивны и находятся в третьем состоянии. Перед тем как взаимодействовать с выводом как цифровым входом, выходом или альтернативной функцией необходимо разрешить цифровую работу вывода, записав единицы в соответствующие разряды регистра DENSET. Для сброса установленных бит следует записать единицы в регистр DENCLR. При использовании аналоговой входной функции необходимо запретить цифровую работу всех соответствующих выводов, мультиплексированных с каналами выбранного АЦП.

Выбор нагрузочной способности и быстродействия вывода определяется полями регистра DRIVEMODE, а режим подтяжки конфигурируется регистром PULLMODE.

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата	Лист
КФДЛ.431295.072Д1					12

Разрешение работы выходных каскадов определяется состоянием бит регистра OUTENSET (для сброса установленных бит следует записать единицы в регистр OUTENCLR), а их режим (пуш-пул, открытый сток/исток) состоянием полей в регистре OUTMODE. Режим работы входной цепи настраивается с помощью регистра INMODE.

Для микроконтроллера нет выбора номера альтернативной функции. Вывод может работать или в режиме порта или в режиме альтернативной функции.

Схема вывода позволяет также осуществлять гибкое управление прерываниями и задавать, по какому аппаратному событию генерировать прерывание (по какому фронту или уровню). При возникновении прерывания в регистре INTSTATUS устанавливается соответствующий флаг, и выставляется прерывание в контроллере прерываний NVIC. Прерывание может быть сгенерировано программно записью единицы в соответствующий бит регистра INTSTATUS.

Прерывание может быть сброшено программно записью единицы в соответствующий бит регистра INTCLEAR. Для разрешения прерывания вывода порта следует записать единицу в соответствующий выводу бит регистра INTENSET, а для запрета прерывания – единицу в бит регистра INTENCLR.

Для задания типа события (уровень или фронт), по которому генерируется прерывание, используется регистр INTTYPESET, для задания полярности (низкий/высокий уровень или положительный/отрицательный фронт) используется INTPOLSET, а для сброса настроек – INTTYPECLR и INTPOLCLR, соответственно.

Существует возможность организации прерывания по обоим фронтам – сначала необходимо задать тип прерывания – фронт (запись в INTTYPESET), а затем записать соответствующие единицы в INTEDGESET. В этом режиме состояние регистра полярности INTPOLSET игнорируется. Отключить режим генерации прерывания по обоим фронтам можно записью в INTEDGECLR, в таком случае для генерации в дальнейшем будет использована текущая настройка полярности (INTPOLSET).

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
Изм.	Лист	№ докум.	Подп.	Дата

В режиме прерываний по уровню состояние INTEDGESET не влияет на их генерацию.

Таймеры

Счетчик таймера работает по системному тактовому сигналу. Кроме этого таймер может управляться внешним сигналом, а также синхронизироваться по внешнему сигналу. На рисунке 4 представлена функциональная схема таймера.

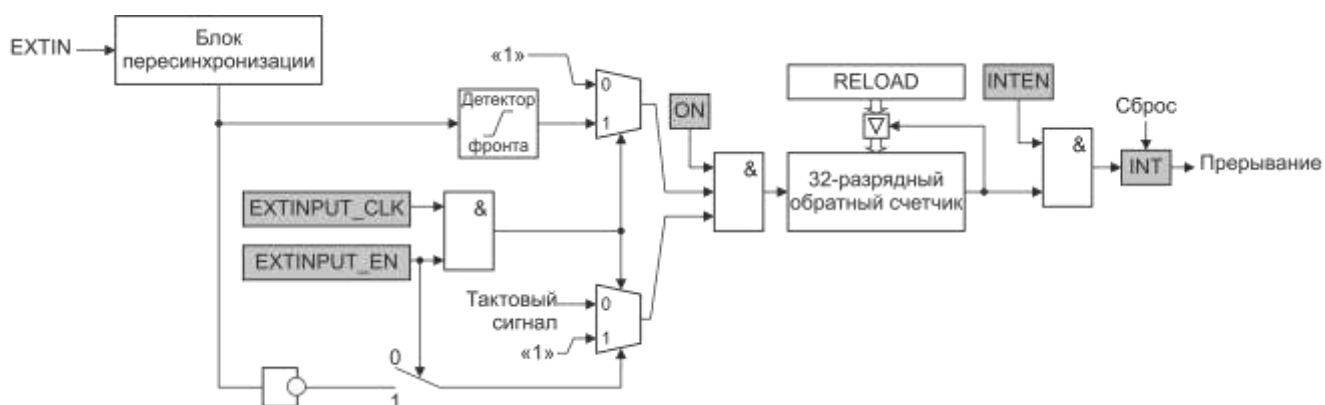


Рисунок 4 – Функциональная схема таймера

Управление таймером осуществляется посредством регистра CTRL. Начальное значение задается регистром VALUE. Для включения таймера нужно установить бит ON. Счетчик таймера декрементируется от значения, заданного регистром VALUE, до нуля на частоте тактового сигнала микроконтроллера. По достижении нуля счетчик таймера загружается значением, заданным регистром перезагрузки RELOAD, и если разрешено битом INTEN, генерируется прерывание. При возникновении прерывания устанавливается флаг INT в регистре INTSTATUS_INTCLEAR.

Если установлен бит EXTINPUT_EN, то счетчик таймера работает на частоте тактового сигнала микроконтроллера, только если сигнал на входе EXTIN имеет уровень логической единицы.

Инв. № подл.	Подп. и дата
Взам. инв. №	Инв. № дубл.
Подп. и дата	Подп. и дата
Изм.	Лист
№ докум.	Подп.
Дата	Дата

Если одновременно установлены биты EXTINPUT_EN и EXTINPUT_CLK, то тактирование счетчика таймера происходит по положительному фронту внешнего сигнала, приходящего на вход EXTIN. При этом частота внешнего сигнала должна быть как минимум в два раза меньше частоты системного тактового сигнала.

Для каждого таймера имеется свой внешний вход синхронизации EXTIN. Для таймера 0 это Timer_IN0, для таймеров 1 и 2 – Timer_IN1 и Timer_IN2, соответственно, которые являются альтернативными функциями различных выводов микроконтроллера.

Блоки захвата

В микроконтроллере реализованы три блока захвата. Блоки захвата используются для:

- вычисления скорости вращения вала ротора (с использованием датчиков Холла);
- вычисления промежутков времени между срабатыванием позиционных датчиков;
- вычисления периода и скважности импульсов.

Возможности блока захвата:

- 32-разрядный таймер, с разрешающей способностью 10 нс (на 100 МГц);
- четыре 32-разрядных регистра захвата времени;
- выбор полярности фронта для обработки каждого из четырех последовательных событий;
- источники прерываний по каждому из четырех событий;
- однократный захват значений времени до четырех событий;
- режим циклической работы по событиям, с переписыванием значений (кольцевой буфер);
- режимы захвата абсолютного и относительного значений времени;
- альтернативный режим работы, если не задействована функция захвата времени – одноканальный выход ШИМ.

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

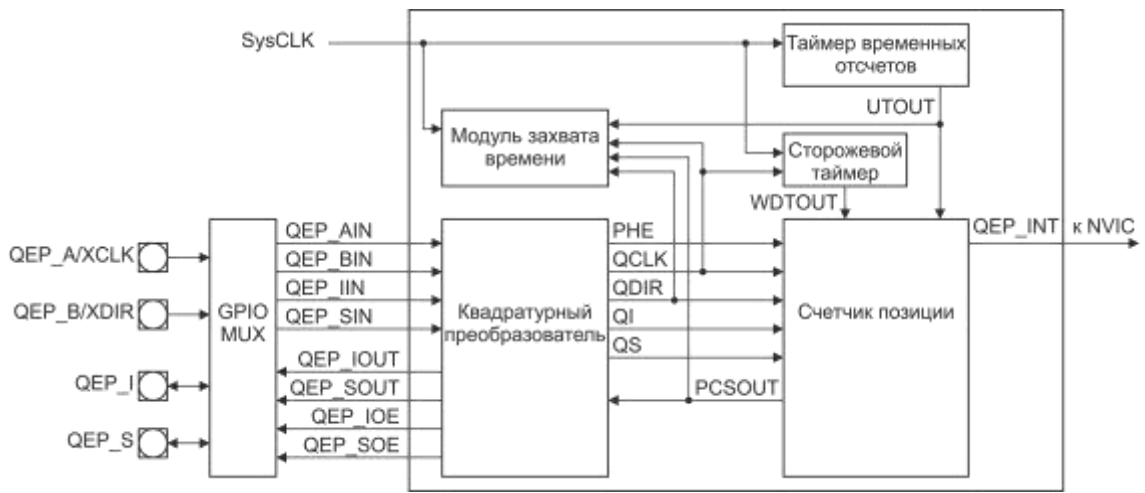


Рисунок 6 – Схема квадратурного декодера с мультиплексором
входных/выходных сигналов

Блоки ШИМ

Архитектура блока ШИМ разработана по принципу минимальной нагрузки на процессор, что достигается автоматизацией формирования выходных импульсов с настраиваемыми пользователем параметрами. Так, после минимальных настроек этот блок способен работать самостоятельно как выделенный канал ШИМ с собственным таймером, формируя выходные сигналы PWM_A и PWM_B.

Микроконтроллер содержит три блока ШИМ высокого разрешения.

Каждый блок ШИМ поддерживает следующую функциональность:

- 16-разрядный таймер;
- два вывода PWM_A и PWM_B, которые могут работать в режиме фронтальной и центрированной модуляции как полностью независимо, так и комплементарно с разделением генератором «мертвого времени»;
- выходы PWM_A и PWM_B могут управляться в зависимости от событий цифровых компараторов блока АЦП, а также от событий блока аналоговых компараторов, обеспечивая автоматический релейный режим поддержания заданной величины;
- программное управление выходами ШИМ;

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
Изм.	Лист	№ докум.	Подп.	Дата
КФДЛ.431295.072Д1				Лист
				17

- программное задание фазы счетчиков таймера для координации работы нескольких блоков ШИМ;
- аппаратный контроль фазы при координации работы нескольких блоков ШИМ;
- предотвращение наложения фронтов за счет генератора «мертвого времени» с независимой схемой задержки переднего и заднего фронтов выходного сигнала;
- сигнал аварии может переводить выходы PWM_A и PWM_B в высокое, низкое или третье (высокоимпедансное) состояние;
- однократная и циклическая обработка сигналов аварии;
- все события могут инициировать прерывания, а также запускать работу секвенсоров блока АЦП;
- программируемый предделитель событий позволяет снизить нагрузку на процессор при обработке прерываний;
- ШИМ-сигнал может модулироваться высокочастотным сигналом при использовании драйверов ключей с импульсным трансформатором.

Приемопередатчики UART

В состав микроконтроллера входят два идентичных универсальных асинхронных приемопередатчика UART0, UART1.

В состав приемопередатчика входят два буфера типа FIFO. Буфер приемника имеет разрядность 12, буфер передатчика – разрядность 8. Каждый буфер может хранить до 32 байт данных, и каждый буфер может быть сконфигурирован (программно) как 32-байтный или как однобайтный.

Приемопередатчик обеспечивает:

- независимое маскирование прерываний от буфера передатчика, буфера приемника, по таймауту приемника, по изменению линий состояния модема, а также в случае обнаружения ошибки;
- возможность деления тактовой частоты в диапазоне от 1 до 65 535 (допускается использование нецелых коэффициентов деления, что позволяет использовать любой опорный генератор с частотой более 3,6864 МГц);

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

										Лист
										18
Изм.	Лист	№ докум.	Подп.	Дата						

- поддержку прямого доступа к памяти.

Приемопередатчик реализует:

- передачу данных длиной от 5 до 8 бит со скоростью до 921 600 бит/с;
- контроль четности (проверочный бит выставляется по четности, нечетности, имеет фиксированное значение либо не передается);
- формирование одного или двух стоповых бит;
- обнаружение ложных стартовых битов;
- формирование и обнаружение сигнала разрыва линии.

Контроллер интерфейса SPI

Контроллер интерфейса SPI реализует интерфейс последовательной синхронной связи в режиме ведущего (мастера) и ведомого устройства и обеспечивает обмен данными с подключенным ведомым или ведущим периферийным устройством в соответствии с одним из трех протоколов фирм Motorola, National Semiconductor, Texas Instruments.

Последовательный синхронный интерфейс SPI фирмы Motorola обеспечивает полнодуплексный обмен данными по четырехпроводной линии и программное задание фазы и полярности тактового сигнала.

Интерфейс Microwire фирмы National Semiconductor обеспечивает полудуплексный обмен данными с использованием 8-битных управляющих последовательностей.

Интерфейс SSI фирмы Texas Instruments обеспечивает полнодуплексный обмен данными по четырехпроводной линии и возможность перевода линии передачи данных в третье (высокоимпедансное) состояние.

Выбор интерфейса осуществляется посредством поля FRF регистра SPI_CR0.

В режиме мастера и в режиме ведомого устройства контроллер SPI обеспечивает:

- передачу данных, размещенных в буфере передатчика (восемь 16-разрядных ячеек);

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
Изм.	Лист	№ докум.	Подп.	Дата

- прием данных и размещение их в буфере приемника (восемь 16-разрядных ячеек).

Контроллер формирует сигналы прерываний по следующим событиям:

- необходимость обслуживания буферов приемника и/или передатчика;
- переполнение буфера приемника;
- наличие данных в буфере приемника по истечении времени таймаута.

Основные характеристики:

- программное управление скоростью обмена;
- программируемая длительность информационного кадра от 4 до 16 бит;
- независимое маскирование прерываний от буферов передатчика и приемника;
- поддержка прямого доступа к памяти (DMA).

Контроллер интерфейса I2C

Модуль контроллера I2C обеспечивает полную поддержку двухпроводного последовательного синхронного интерфейса I2C/SMBus. Результат такой совместимости – легкое соединение со многими запоминающими устройствами и устройствами ввода-вывода, включая EEPROM, SRAM, счетчики, АЦП, ЦАП, периферийные устройства.

Функциональные возможности модуля:

- совместимость с протоколами SMBus 1.1 и SMBus 2.0, ACCESS.Bus, I2C 2.1;
- поддержка скоростного/стандартного (FS) и высокоскоростного (HS) режимов;
- программирование действий мастера/ведомого;
- возможность подключения к шине нескольких ведущих устройств, т. е. поддержка режима мультимастер (MM);
- один программно задаваемый адрес;
- 7- или 10-битная адресация ведомого;
- поддержка адреса общего вызова.

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
Изм.	Лист	№ докум.	Подп.	Дата

Особые возможности SMBus:

- отслеживание времени простоя линии SCL;
- наличие функции отслеживания ошибок в пакетах данных (PEC) с использованием метода расчета контрольной суммы (CRC);
- поддержка адреса отклика мастера;
- поддержка полинга и контроля прерываний.

Протокол CAN

Последовательный интерфейс CAN (Controller Area Network) – интерфейс связи, эффективно поддерживающий распределенное управление в масштабе реального времени с высокой помехозащищенностью. Протокол связи определен в спецификации CAN 2.0b.

Протокол CAN оптимизирован для систем, в которых должно передаваться относительно небольшое количество информации (по сравнению с Ethernet или USB) к любому или всем узлам сети. Множественный доступ с опросом состояния шины позволяет каждому узлу получить доступ к шине с учетом приоритетов. Неадресная структура сообщений позволяет организовать многоабонентскую доставку данных с сокращением трафика шины. Быстрая устойчивая передача информации с системой контроля ошибок позволяет отключать неисправные узлы от шины, что гарантирует доставку критических по времени сообщений.

Область применения протокола CAN: от высокоскоростных сетей связи до электропроводов в автомобиле. Высокая скорость передачи данных (до 1 Мбит/с), хорошая помехозащищенность протокола, защита от неисправности узлов – делают шину CAN подходящей для промышленных приложений управления типа Device Net.

CAN имеет асинхронную последовательную структуру шины с одним логическим сегментом сети. CAN сеть может состоять из двух или более узлов с возможностью подключения/отключения узлов от шины без перенастройки других устройств.

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

					КФДЛ.431295.072Д1	Лист
						21
Изм.	Лист	№ докум.	Подп.	Дата		

В состав контроллера CAN входят два идентичных независимых узла CAN0 и CAN1, ОЗУ для хранения сообщений, которое является общим для узлов, и система управления. Контроллер CAN имеет следующие функциональные особенности:

- соответствие ISO 11898;
- функционирование согласно спецификации CAN 2.0b (активная версия);
- отдельные управляющие регистры для каждого из двух узлов;
- программируемая скорость передачи информации до 1 Мбит/с;
- гибкий и полный контроль передачи сообщений и обработки ошибок.

Контроллер CAN реализует 16 линий прерываний и 256 объектов сообщений для хранения сообщений и их параметров в ОЗУ. Каждый объект сообщения может быть привязан к любому из узлов, сконфигурирован для передачи или приема как стандартных, так и расширенных сообщений и удаленных запросов. Каждый объект имеет индивидуальную маску для фильтрации принимаемых сообщений. Объекты сообщений могут объединяться в классы, с разными уровнями приоритета, могут объединяться для построения структур FIFO произвольных размеров (до 256 объектов в одной структуре). Кроме того, реализована возможность попарного соединения объектов для формирования шлюзов для автоматической передачи сообщений между узлами. Параллельно с вышеуказанными свойствами объекты сообщений могут организовываться в списки с постоянно доступной реорганизацией (совместимость с TwinCan-устройствами, которые не имеют списков).

Структура контроллера CAN приведена на рисунке 7.

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Изм.	Лист	№ докум.	Подп.	Дата

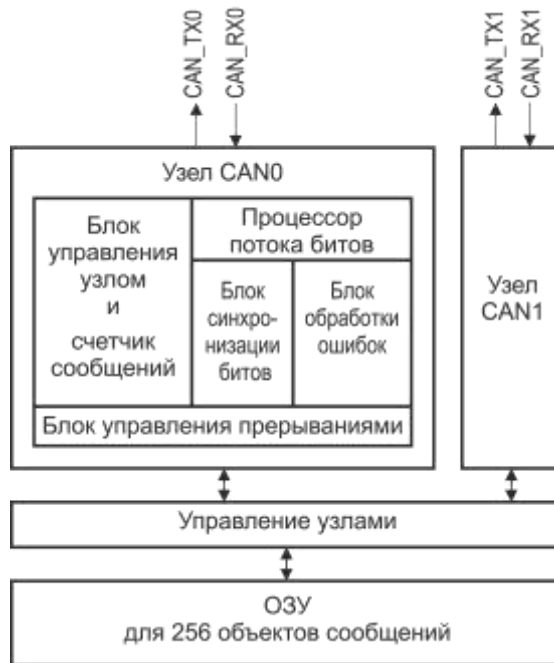


Рисунок 7 – Структура контроллера CAN

Блок АЦП

Блок АЦП объединяет один модуль АЦП последовательного приближения (архитектура SAR), схему управления, ОЗУ результатов измерений и схему управления прерываниями.

В блок АЦП входят:

- четырехканальный модуль АЦП разрядностью 12 бит и скоростью измерения по одному каналу до 1М измерений в секунду при рабочей частоте до 32 МГц;
- два секвенсора, каждый из которых позволяет независимо произвести запуск измерений по всем четырем каналам АЦП и по окончании выставить прерывание;
- четыре независимых цифровых компаратора, отслеживающих и сравнивающих измерения с пороговыми значениями для формирования прерываний и сигналов управления другими блоками микроконтроллера;
- два буфера результатов измерений (каждый организован по типу FIFO);
- блок управления прерываниями.

Инв. № подл.	Подп. и дата
Взам. инв. №	Инв. № дубл.
Подп. и дата	Подп. и дата
Изм.	Лист
№ докум.	Подп.
Дата	Дата

Структурная схема блока АЦП показана на рисунке 8.

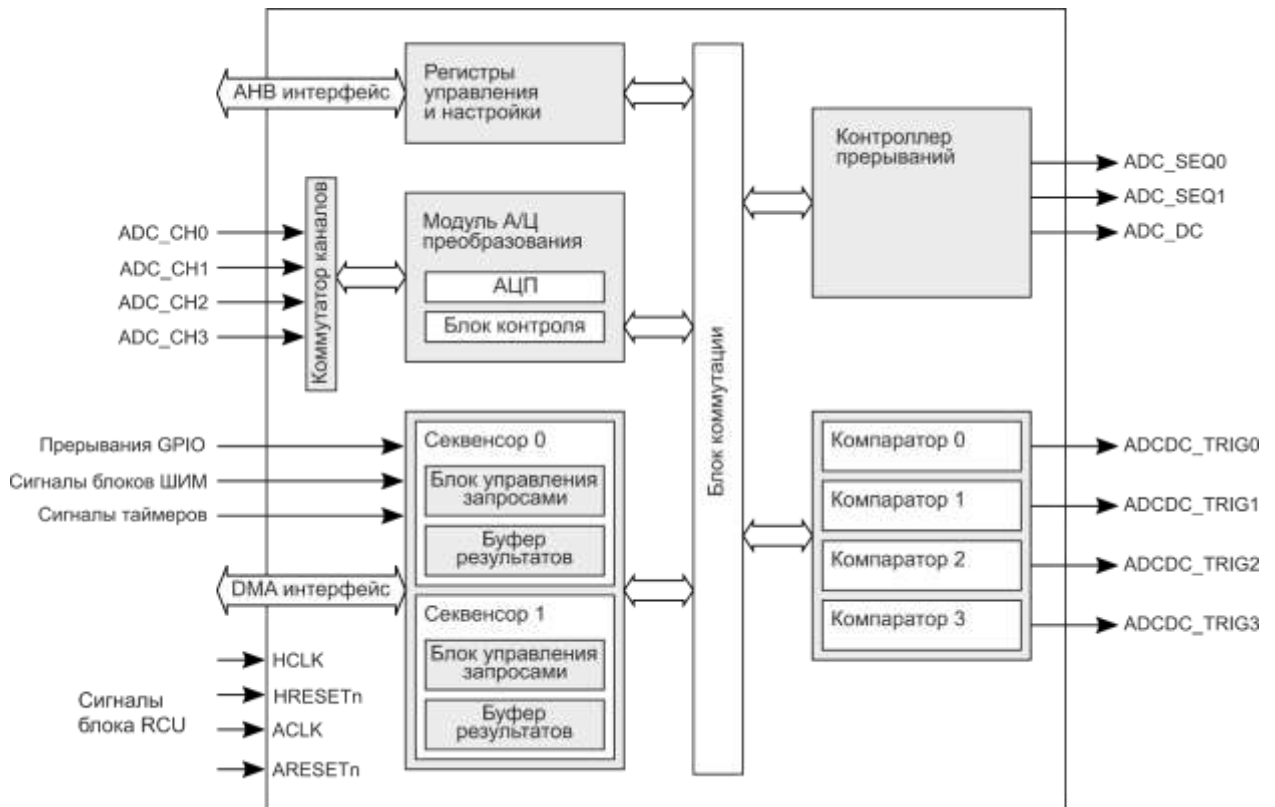


Рисунок 8 – Структурная схема блока АЦП

Блок АЦП имеет четыре входных канала.

Настройка тактирования и сброса блока АЦП и его модулей осуществляется посредством регистра ADCCFG блока управления тактовыми сигналами (RCU).

Для правильной работы необходимо обеспечить тактирование модулей АЦП частотой внутреннего сигнала ACLK от 300 кГц до 32 МГц.

Сторожевой таймер

Сторожевой таймер позволяет сбросить систему в случае отказа программного обеспечения. Пользователь может включать или выключать таймер по собственному усмотрению.

Сторожевой таймер представляет собой 32-битный обратный счетчик, который загружается значением из регистра LOAD.

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата	Лист
КФДЛ.431295.072Д1					24

Внешние воздействующие факторы

Синусоидальная вибрация:

диапазон частот, Гц.....	1 – 2 000
амплитуда ускорения, м/с ² (g).....	200 (20)

Механический удар одиночного действия:

пиковое ударное ускорение, м/с ² (g).....	1 500 (150)
длительность действия ударного ускорения, мс.....	0,1 – 2,0

Механический удар многократного действия:

пиковое ударное ускорение, м/с ² (g).....	1 500 (150)
длительность действия ударного ускорения, мс.....	1 – 5

Атмосферное пониженное давление, Па (мм рт. ст.)..... 26 664 (200)

Атмосферное повышенное рабочее давление, Па (кгс/см²)..... 294 199 (3)

Повышенная температура среды, °С:

рабочая	85
предельная	85

Пониженная температура среды, °С:

рабочая	минус 45
предельная	минус 60

Смена температур от пониженной предельной от минус 60

до повышенной предельной температуры, °С..... до плюс 85

Повышенная относительная влажность при 35 °С, %..... 98

Соляной туман

Плесневые грибы

Инв. № подл.		Подп. и дата		Взам. инв. №		Инв. № дубл.		Подп. и дата		
Изм.	Лист	№ докум.	Подп.	Дата	КФДЛ.431295.072Д1					Лист 25

Основные технические данные

Напряжение питания микросхем $U_{CC1} = (3,0 - 3,6) \text{ В}$, $U_{CC2} = (3,0 - 3,6) \text{ В}$.

Основные значения электрических параметров микросхем при приемке и поставке приведены в таблице 2.

Основные значения предельно допустимых и предельных электрических режимов эксплуатации микросхем в диапазоне рабочих температур среды представлены в таблице 3.

Таблица 2 – Электрические параметры микросхем при приемке и поставке

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра		Температура среды, °С
		не менее	не более	
1	2	3	4	5
1 Выходное напряжение низкого уровня по выводам А0 – А15, В0 – В15, В, $U_{CC1} = 3,0 \text{ В}$, $I_{OL} = 6 \text{ мА}$	U_{OL}	–	0,4	–45 ± 3 25 ± 10 85 ± 3
2 Выходное напряжение высокого уровня по выводам А0 – А15, В0 – В15, В, $U_{CC1} = 3,0 \text{ В}$, $I_{OH} = -6 \text{ мА}$	U_{OH}	2,1	–	
3 Ток утечки низкого уровня по входам А0 – А15, В0 – В15 с отключенными «pull-up» и «pull-down», мкА, $U_{CC1} = 3,6 \text{ В}$, $U_{IL} = 0 \text{ В}$	I_{ILL}	–10	–	
4 Ток утечки высокого уровня по входам А0 – А15, В0 – В15 с отключенными «pull-up» и «pull-down», мкА, $U_{CC1} = 3,6 \text{ В}$, $U_{IH} = U_{CC1}$	I_{ILH}	–	10	
5 Входной ток низкого уровня по выводам «pull-up» А0 – А15, В0 – В15, NMI#, RESET#, мкА, $U_{CC1} = 3,6 \text{ В}$, $U_{IL} = 0 \text{ В}$	I_{IL1}	–200	–	
6 Входной ток высокого уровня по выводам «pull-up» NMI#, RESET#, мкА, $U_{CC1} = 3,6 \text{ В}$, $U_{IH} = U_{CC1}$	I_{IH1}	–	10	
7 Входной ток низкого уровня по выводу «pull-down» SERVEN, мкА, $U_{CC1} = 3,6 \text{ В}$, $U_{IL} = 0 \text{ В}$	I_{IL2}	–10	–	
8 Входной ток высокого уровня по выводам «pull-down» А0 – А15, В0 – В15, SERVEN, мкА, $U_{CC1} = 3,6 \text{ В}$, $U_{IH} = U_{CC1}$	I_{IH2}	–	200	
9 Входной ток низкого уровня по выводу XI_OSC, мкА, $U_{CC1} = 3,6 \text{ В}$, $U_{IL} = 0 \text{ В}$	I_{IL3}	–40	–	
10 Входной ток высокого уровня по выводу XI_OSC, мкА, $U_{CC1} = 3,6 \text{ В}$, $U_{IH} = U_{CC1}$	I_{IH3}	–	40	

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата

Изм.	Лист	№ докум.	Подп.	Дата
------	------	----------	-------	------

КФДЛ.431295.072Д1

Лист
26

Окончание таблицы 2

1	2	3	4	5
11 Динамический ток потребления по выводам #VCC1 в активном режиме, мА, $U_{CC1} = 3,6 \text{ В}, U_{CC2} = 3,6 \text{ В}, f_{CI} = 100 \text{ МГц}$	I_{OCC1}	–	150	–45 ± 3 25 ± 10 85 ± 3
12 Интегральная нелинейность АЦП, МР, $U_{CC1} = 3,6 \text{ В}, U_{CC2} = 3,6 \text{ В}$	E_L	–3	3	
13 Дифференциальная нелинейность АЦП, МР, $U_{CC1} = 3,6 \text{ В}, U_{CC2} = 3,6 \text{ В}$	E_{LD}	–2	2	
14 Функциональный контроль $U_{CC1} = (3,0; 3,6) \text{ В}, U_{CC2} = (3,0; 3,6) \text{ В},$ $f_{CI} = (1; 100) \text{ МГц}$	ФК	–	–	
<p>Примечания</p> <p>1 Параметры $I_{ILL}, I_{ILH}, I_{IH1}, I_{IL2}$ при температуре минус 45 °С не измеряются, а гарантируются нормами при температуре (25 ± 10) °С.</p> <p>2 При функциональном контроле АЦП значения напряжений питания изменяются синхронно.</p>				

Таблица 3 – Значения предельно допустимых и предельных электрических режимов эксплуатации микросхем в диапазоне рабочих температур среды

Наименование параметра режима, единица измерения	Буквенное обозначение параметра	Предельно допустимый режим		Предельный режим		
		не менее	не более	не менее	не более	
1 Напряжение питания цифровой части микросхемы, В ¹⁾	U_{CC1}	3,0	3,6	–	5,2	
2 Напряжение питания аналоговой части микросхемы, В ¹⁾	U_{CC2}	3,0	3,6	–	5,2	
3 Входное напряжение низкого уровня, В ¹⁾	U_{IL}	–0,5	0,8	–0,6	–	
4 Входное напряжение высокого уровня, В ¹⁾	U_{IH}	2,1	U_{CC1}	–	$U_{CC1}+0,6$	
5 Входное напряжение высокого уровня по выводу XI_OSC, В ¹⁾	U_{IHC}	2,1	U_{CC1}	–	$U_{CC1}+0,6$	
6 Выходной ток низкого уровня, мА ¹⁾	I_{OL}	–	6	–	10	
7 Выходной ток высокого уровня, мА ¹⁾	I_{OH}	–6	–	–10	–	
8 Системная частота следования импульсов тактового сигнала процессорного ядра, МГц	f_{CI}	1	100	–	–	
9 Частота следования импульсов тактового сигнала по выводу XI_OSC, МГц	при работе с внешним тактовым генератором	f_C	1	40	–	–
			8	24	–	–
10 Емкость нагрузки, пФ	C_L	–	40	–	–	
<p>¹⁾ Время работы в одном из предельных режимов должно быть не более 5 с.</p>						

Имп. и дата	Подп. и дата
Взам. инв. №	Инв. № дубл.
Взам. инв. №	Инв. № дубл.
Имп. и дата	Подп. и дата
Имп. № подл.	Подп. и дата

Изм.	Лист	№ докум.	Подп.	Дата
------	------	----------	-------	------

Надежность

Гамма-процентная наработка до отказа T_γ при $\gamma = 99\%$ в режимах и условиях эксплуатации, допускаемых АДКБ.431290.407ТУ, при температуре среды не более 65°C должна быть не менее 50 000 ч и не менее 60 000 ч в облегченных режимах и условиях: $U_{CC1} = 3,0\text{ В}$, $U_{CC2} = 3,0\text{ В}$, температура окружающей среды – не более $(65 \pm 5)^\circ\text{C}$, ток нагрузки (по каждому выходу) – не более 30 % от значения предельно допустимого режима.

Гамма-процентный срок сохраняемости – 8 лет.

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
Изм.	Лист	№ докум.	Подп.	Дата

КФДЛ.431295.072Д1

Лист
28

Указания по применению и эксплуатации

1 Микросхемы должны использоваться в соответствии с указаниями по применению и эксплуатации микросхем по ОСТ В 11 0998-99 с дополнениями и уточнениями, приведенными в настоящем разделе.

2 Эксплуатация микросхем производится в соответствии с техническим описанием КФДЛ.431295.072ТО.

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
Изм.	Лист	№ докум.	Подп.	Дата

КФДЛ.431295.072Д1

	Лист
	29

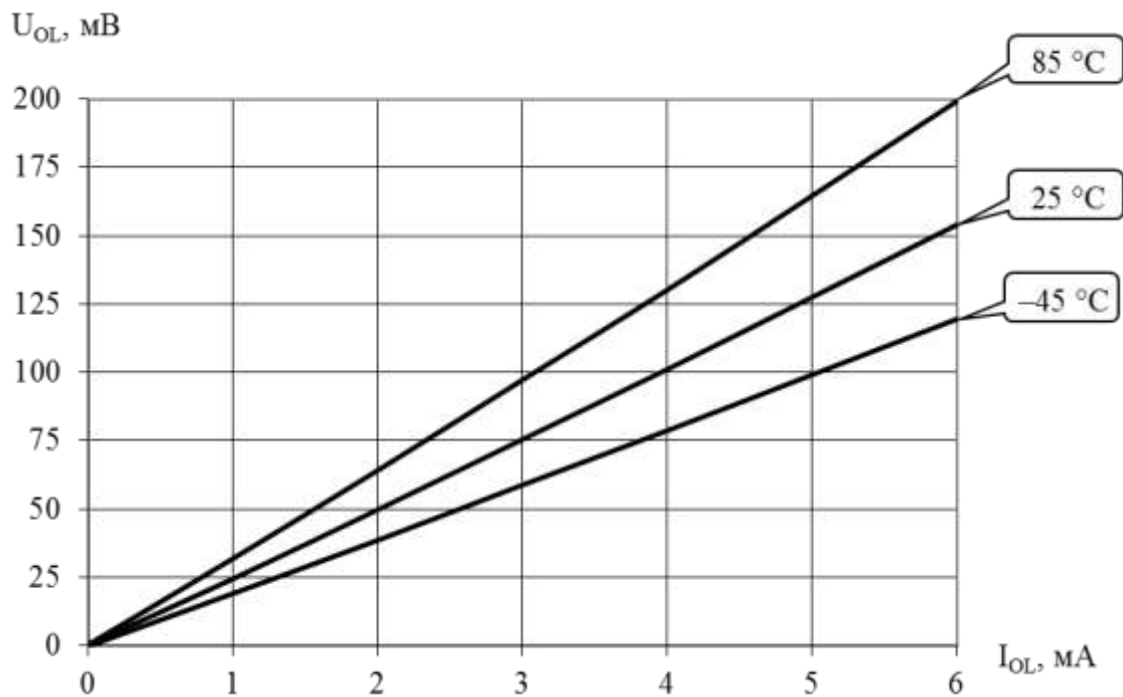


Рисунок 10 – Зависимость выходного напряжения низкого уровня от выходного тока низкого уровня при $U_{CC1} = U_{CC2} = 3,0$ В

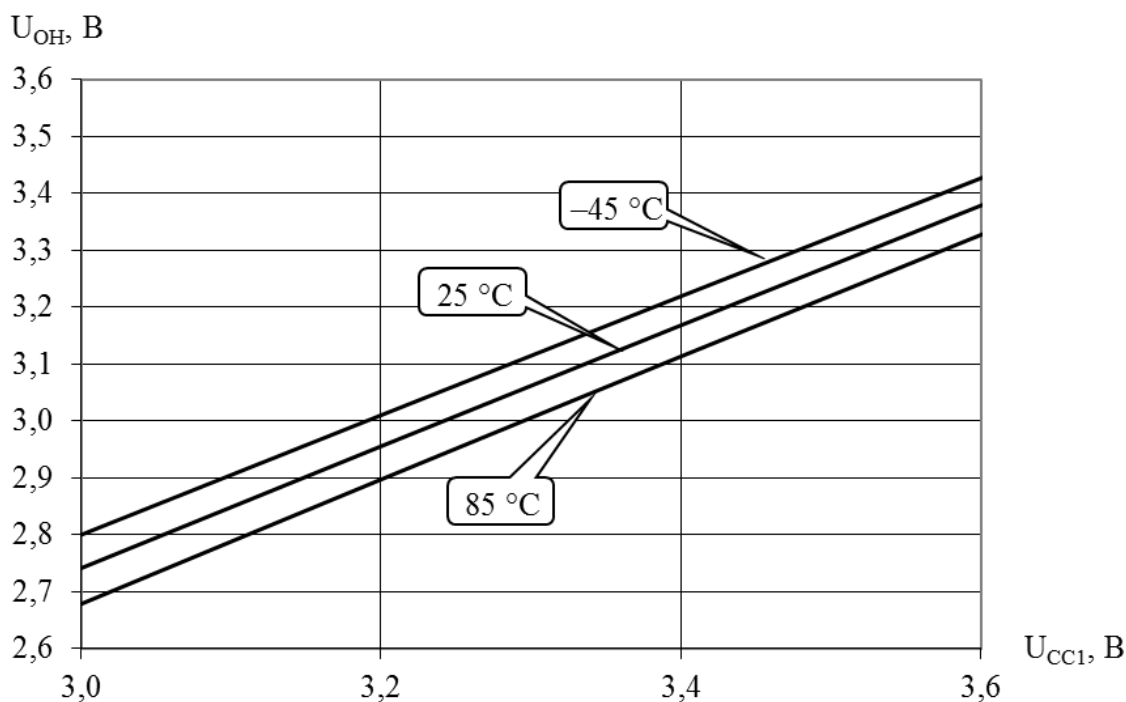


Рисунок 11 – Зависимость выходного напряжения высокого уровня от напряжения питания цифровой части при $I_{OH} = -6,0$ мА, $U_{CC2} = 3,0$ В

Инв. № подл.	Подп. и дата
Взам. инв. №	Инв. № дубл.
Подп. и дата	Подп. и дата

Изм.	Лист	№ докум.	Подп.	Дата
------	------	----------	-------	------

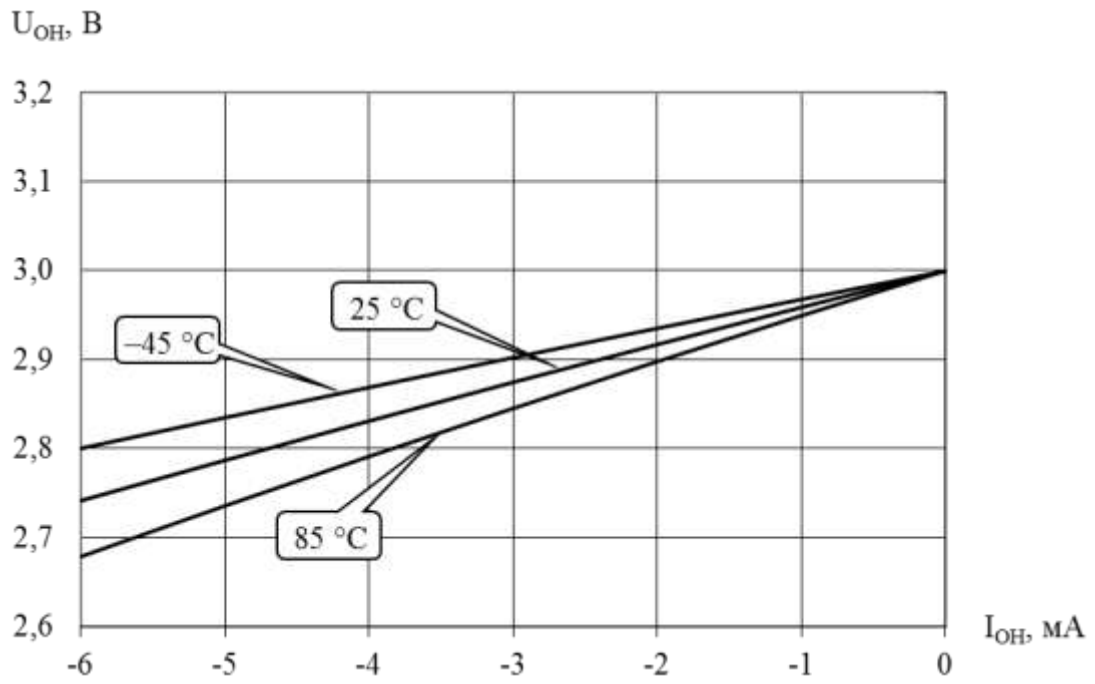


Рисунок 12 – Зависимость выходного напряжения высокого уровня от выходного тока высокого уровня при $U_{CC1} = U_{CC2} = 3,0$ В

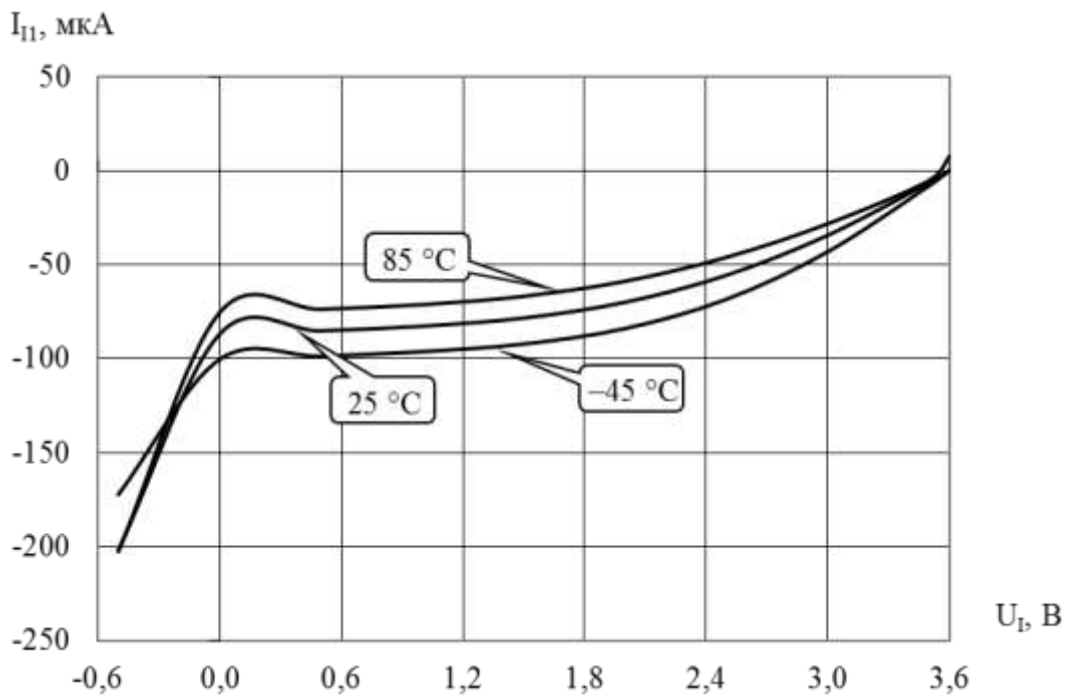


Рисунок 13 – Зависимость входного тока от входного напряжения по выводам «pull-up» при $U_{CC1} = U_{CC2} = 3,6$ В

Изм.	Лист	№ докум.	Подп.	Дата
Инд. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата

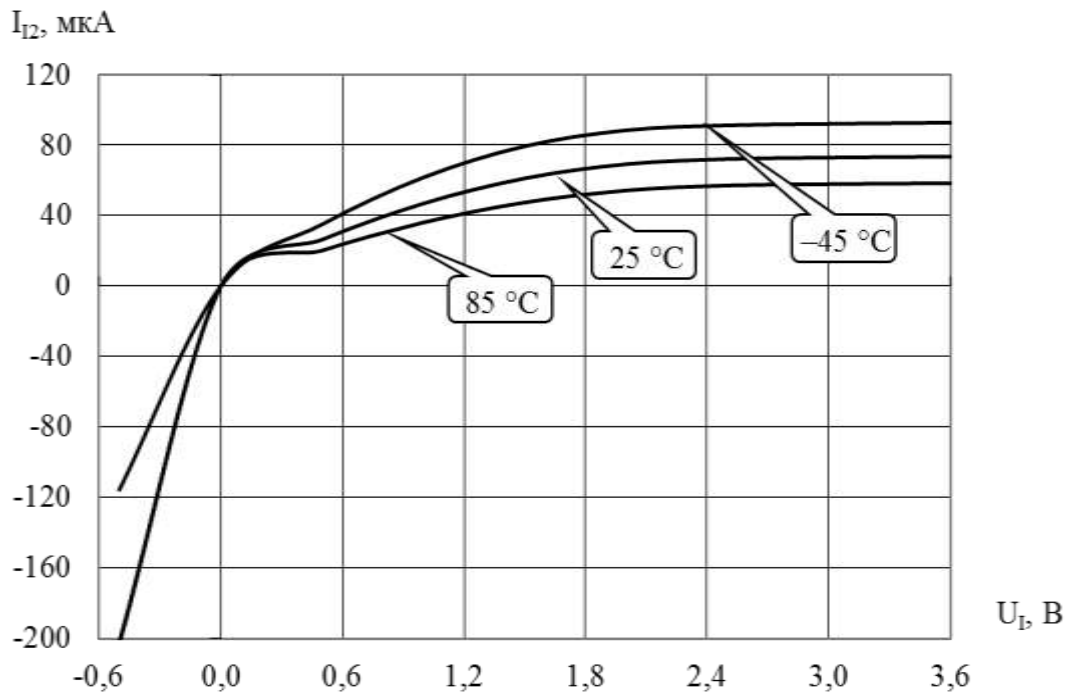


Рисунок 14 – Зависимость входного тока от входного напряжения по выводам «pull-down» при $U_{CC1} = U_{CC2} = 3,6$ В

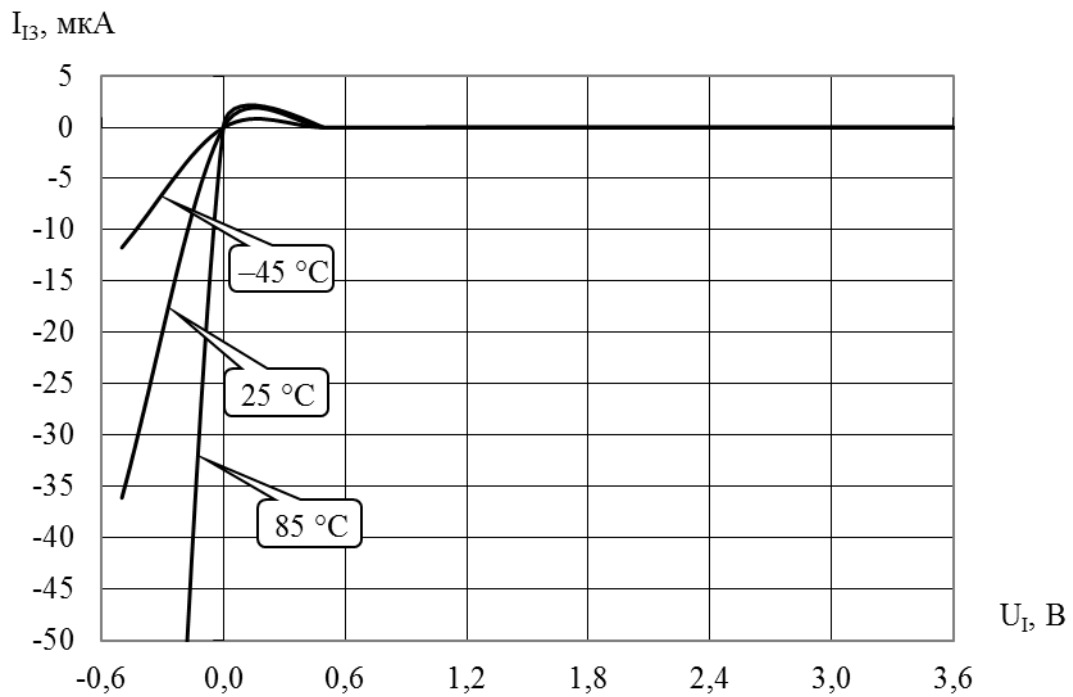


Рисунок 15 – Зависимость входного тока от входного напряжения по выводу XI_OSC при $U_{CC1} = U_{CC2} = 3,6$ В

Изм.	Лист	№ докум.	Подп.	Дата
Инд. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

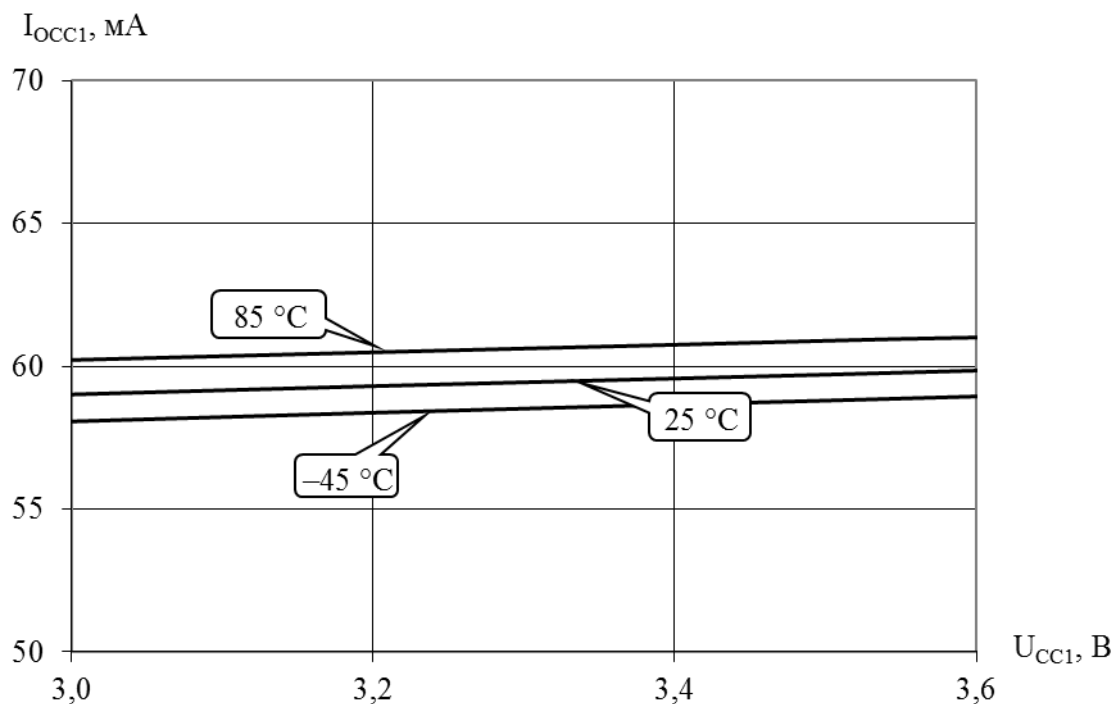


Рисунок 16 – Зависимость динамического тока потребления по выводам #VCC1 в активном режиме от напряжения питания цифровой части при $U_{CC1} = U_{CC2} = 3,6 \text{ В}$, $f_{CI} = 100 \text{ МГц}$

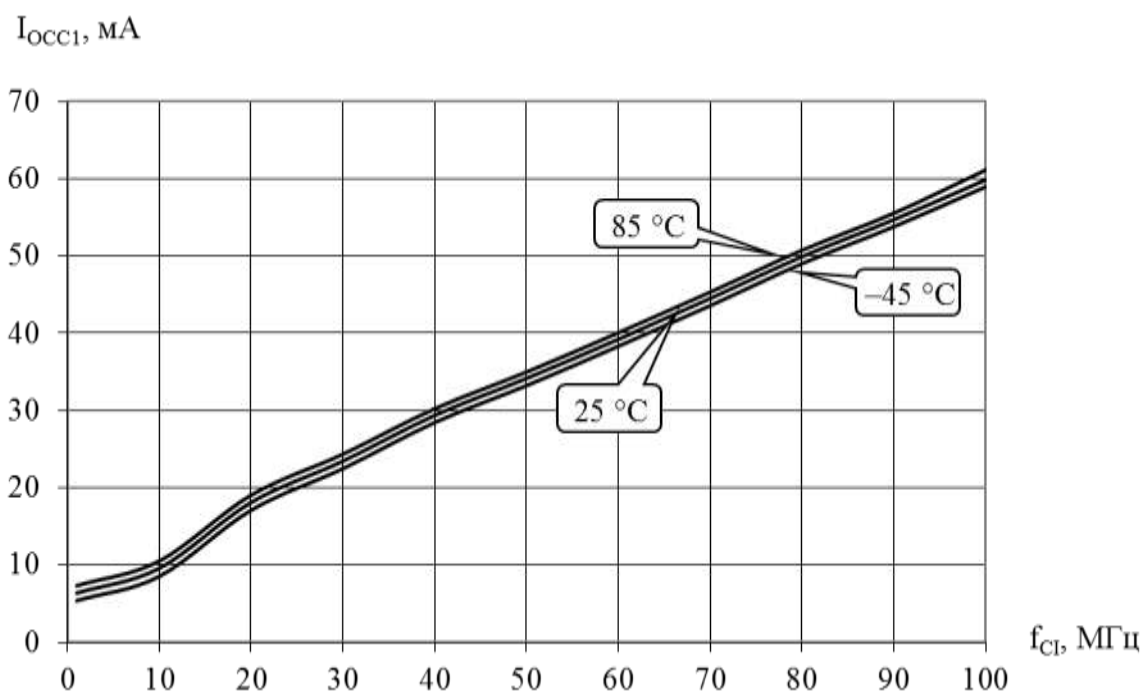


Рисунок 17 – Зависимость динамического тока потребления по выводам #VCC1 в активном режиме от частоты следования импульсов тактового сигнала при $U_{CC1} = U_{CC2} = 3,6 \text{ В}$

Инд. № подл.	Подп. и дата
Взам. инв. №	Инв. № дубл.
Подп. и дата	Подп. и дата

Изм.	Лист	№ докум.	Подп.	Дата
------	------	----------	-------	------

