Быстрый старт с микроконтроллерами К1921ВГ015, К1921ВГ1Т, К1921ВГ3Т, К1921ВГ5Т, К1921ВГ7Т

(версия от 29.08.2025г.)

Содержание

1 Описание микроконтроллеров 3
1.1 Состав микроконтроллера К1921ВГ015 3
1.2 Состав микроконтроллера К1921ВГ1Т 3
1.3 Состав микроконтроллера К1921ВГ3Т 5
1.4 Состав микроконтроллера К1921ВГ5Т 6
1.5 Состав микроконтроллера К1921ВГ7Т 6
2 Подготовка к работе 8
2.1 RISC-V toolchain 8
Флаг –march 8
Флаг –mabi 9
2.2 Аппаратные отладчики JTAG 10
3 Настройка среды Syntacore IDE 11
3.1 Подготовка среды Syntacore IDE для работы 11
Шаг 1 – Установка Syntacore Development Toolkit 11
Шаг 2 – Скачивание NIIET_RISCV SDK 11
Шаг 3 – Интеграция поддержки МК средой Syntacore IDE 13
Шаг 4 – Запуск и настройка среды Syntacore IDE 13
Шаг 5 – Сборка проекта 15
Шаг 6 – Установка драйверов JTAG-эмулятора под Widnows 17
Шаг 7 – Настройка и запуск отладочной сессии 21
Шаг 8 – Создание нового проекта 25
4 Работа с примерами проектов 32
4.1 Структура примеров проектов 32
4.2 Использование глобальных определений в примерах проектов 32
4.3 Выбор скрипта линкера 33
5 Сборка проекта в makefile 33

1 Описание микроконтроллеров

Микросхемы К1921ВГ015, К1921ВГ1Т, К1921ВГ3Т, К1921ВГ5Т, К1921ВГ7Т представляют собой СБИС 32-разрядного микроконтроллера на базе ядра RISC-V, предназначенного для промышленных и потребительских приложений.

1.1 Состав микроконтроллера К1921ВГ015

В состав микроконтроллера входят функциональные элементы:

- 32-разрядное ядро BM-310 архитектуры RISC-V с поддержкой системы команд RV32IMFCN_ZBA_ZBB_ZBC_ZBS (Zicsr), набора команд умножения, арифметических и логических команд, встроенным модулем обработки команд с плавающей запятой с одинарной точностью FPU, кэшем команд и поддержкой отладочного интерфейса JTAG;
- блок управления сбросом и синхронизацией RCU, имеющий в своем составе RC генератор (1 МГц), синтезатор частоты SYSPLL и блок управления системными тактовыми сигналами SCM;
- системный блок управления энергопотреблением PMUSYS;
- блок управления энергопотреблением в составе с RTC модулем (PMURTC);
- блок коммутации AXI AHB;
- Flash-память объемом 1 Мбайт;
- SRAM0 (ОЗУ0) объемом 256 Кбайт;
- SRAM1 (ОЗУ1), подключенное к домену батарейного питания, объемом 64 Кбайт;
- 24-канальный контроллер прямого доступа к памяти DMA;
- блок часов реального времени RTC со входами контроля целостности;
- датчик температуры TSENSOR;
- сторожевой таймер WDT;
- независимый сторожевой таймер IWDT;
- один 8-канальный 12-разрядный быстродействующий АЦП с режимами цифрового компаратора для каждого из каналов (ADCSAR);
- один 8-канальный 16-разрядный сигма-дельта АЦП (ADCSD);
- три 16-разрядных порта ввода-вывода A, B, C;
- восемь аналоговых входов, подключенных к каналам АЦП (ADCSD и ADCSAR);
- один 32-разрядный таймер TMR32;
- три 16-разрядных таймеров TMR0 – TMR2;
- пять приемопередатчиков UART0 – UART4;
- блок криптографии CRYPTO;
- два блока вычисления CRC (CRC0, CRC1);
- генератор случайных чисел (TRNG);
- HASH процессор;
- контроллеры интерфейсов:
- CAN 2.0b;
- USB 2.0 FullSpeed (Device);
- один контроллер I2C;
- один контроллер QSPI;
- два контроллера SPI (SPI0 – SPI1).

1.2 Состав микроконтроллера К1921ВГ1Т

В состав микроконтроллера входят функциональные элементы:

- двухъядерное 32-разрядное ЦПУ SCR5 архитектуры RISC-V с поддержкой системы команд RV32IMAFDCP (Zicsr), поддержкой DSP инструкций, поддержкой набора одноцикловых команд умножения с накоплением, команд централизованного управления

потоком данных, арифметических и логических команд, встроенным модулем обработки команд с плавающей запятой с одинарной точностью FPU, поддержкой отладочного интерфейса JTAG;

- блок управления сбросом и синхронизацией RCU, имеющий в своем составе RC-генератор (4 МГц) и 3 синтезатора частоты PLL;
- блок управления системой SIU;
- основная FlashM-память объемом 4 Мбайт с кодом коррекции ECC для хранения кода программ (FLASHM);
- дополнительная FlashD-память объемом 512 Кбайт с кодом коррекции ECC для хранения кода программ (FLASHD);
- однократно программируемая (OTP) память объемом 16 Кбайт для хранения данных;
- кэш команд и кэш данных первого уровня объемом по 32 Кбайт каждый;
- общий кэш второго уровня 128 Кбайт;
- ОЗУ объемом 512 Кбайт с кодом коррекции ECC;
- контроллер внешней памяти (EMC), поддерживающий SRAM, ROM и NOR Flash;
- контроллер внешней памяти (SDRAM);
- 32-канальный контроллер прямого доступа к памяти (DMA);
- семь 16-разрядных портов ввода-вывода A, B, C, D, E, F, G (GPIOA – GPIOG);
- шестнадцать 32-разрядных таймеров с блоком захвата/сравнения и возможностью генерации ШИМ (TMR0 – TMR15);
- шестнадцать двухканальных ШИМ-модуляторов (PWM0 – PWM15);
- интерфейс подключения внешних устройств питания (MSC);
- 48-канальный 12-разрядный быстродействующий АЦП с режимами цифрового компаратора (ADC);
- два 12-разрядных блока ЦАП (DAC0 – DAC1);
- датчик температуры TSENSOR, подключаемый к одному из входов АЦП;
- четыре аналоговых компаратора ACMP (ACMP0 – ACMP3);
- аппаратный истинный генератор случайных чисел (TRNG);
- HASH–процессор (HASH);
- аппаратный блок для подсчёта циклического избыточного кода (CRC);
- модуль поддержки криптографических вычислений (CRYPTO);
- сторожевой таймер (WDT);
- блок RTC с батарейным питанием, тактированием от внешнего генератора 32,768 кГц, контролем генерации и автоматическим переходом на внутренний генератор в случае сбоев (RTC);
- супервизоры (POR/BOR) и мониторы питания;
- контроллеры интерфейсов:
  - восемь приемопередатчиков UART (UART0 – UART7);
  - восемь контроллеров SPI (SPI0 – SPI7);
  - два контроллера QSPI (QSPI0 – QSPI1);
  - два контроллера I2S (I2S0 – I2S1);
  - восемь контроллеров LIN (LIN0 – LIN7);
  - два контроллера I2C (I2C0 – I2C1);
  - два контроллера USB 2.0 FullSpeed с интерфейсом UTMI+ (USBDC–Device, USBHC–Host);
  - блок физического уровня USB 1.1 PHY;
  - контроллер CAN 2.0b, содержащий 4 узла (CAN);
  - четыре контроллера CANFD (CANFD0 – CANFD3), по одному узлу в каждом;
  - контроллер Ethernet 10/100/1000 с блоком физического уровня PHY (ETH).

1.3 Состав микроконтроллера К1921ВГ3Т

В состав микроконтроллера входят функциональные элементы:

- 32-разрядное ядро SCR4 архитектуры RISC-V с поддержкой системы команд RV32IMFDC (Zicsr), поддержкой набора одноцикловых команд умножения с накоплением, команд централизованного управления потоком данных, арифметических и логических команд, встроенным модулем обработки команд с плавающей запятой с одинарной точностью FPU, поддержкой отладочного интерфейса JTAG;
- блок ОЗУ с выделенным для ядра портом доступа (TCM) на 64 Кбайт;
- блок управления сбросом и синхронизацией RCU, имеющий в своем составе RC-генератор (4 МГц) и 3 синтезатора частоты PLL;
- блок управления системой SIU;
- основная Flash-память объемом 1 Мбайт с кодом коррекции ECC для хранения кода программ (FLASH);
- кэш команд и кэш данных объемом по 32 Кбайт каждый;
- ОЗУ объемом 256 Кбайт с кодом коррекции ECC;
- контроллер внешней памяти (EMC), поддерживающий SRAM, ROM, NOR Flash;
- контроллер внешней памяти (SDRAM);
- 24-канальный контроллер прямого доступа к памяти (DMA);
- восемь 16-разрядных порта ввода-вывода A, B, C, D, E, F, G, H (GPIOA – GPIOH);
- шестнадцать 32-разрядных таймеров с блоком захвата/сравнения и возможностью генерации ШИМ (TMR0 – TMR15);
- девять двухканальных ШИМ-модуляторов (PWM0 – PWM8);
- 32-канальный 12-разрядный быстродействующий АЦП с режимами цифрового компаратора (ADC);
- два 12-разрядных блока ЦАП (DAC0 – DAC1);
- датчик температуры TSENSOR, подключаемый к одному из входов АЦП;
- три аналоговых компаратора (ACMP0 – ACMP2);
- шесть блоков захвата/сравнения (CAP0 - CAP5);
- два блока импульсных квадратурных декодеров (QEP0 – QEP1);
- аппаратный истинный генератор случайных чисел (TRNG);
- HASH–процессор (HASH);
- аппаратный блок для подсчёта циклического избыточного кода (CRC);
- модуль поддержки криптографических вычислений (CRYPTO);
- сторожевой таймер (WDT);
- блок RTC с батарейным питанием, тактированием от внешнего генератора 32,768 кГц, контролем генерации и автоматическим переходом на внутренний генератор в случае сбоев (RTC);
- супервизор питания POR/BOR;
- контроллеры интерфейсов:
  - шесть приемопередатчиков UART (UART0 – UART5);
  - четыре контроллера SPI (SPI0 – SPI3);
  - контроллер QSPI (QSPI);
  - четыре контроллера LIN (LIN0 – LIN3);
  - два контроллера I2C (I2C0 – I2C1);
  - контроллер USB 2.0 FullSpeed с интерфейсом UTMI+ (USBDC – Device, USBHC – Host);
  - блок физического уровня USB 1.1 PHY;
  - контроллер CAN 2.0b содержащий 4 узла (CAN);
  - два контроллера CANFD (CANFD0 – CANFD1), содержащие по одному узлу в каждом;

- контроллер Ethernet 10/100/1000 с блоком физического уровня Ethernet PHY (ETH).

1.4 Состав микроконтроллера К1921ВГ5Т

В состав микроконтроллера входят функциональные элементы:

- 32-разрядное ядро SCR4 архитектуры RISC-V с поддержкой системы команд RV32IMFC (Zicsr), с поддержкой набора одноцикловых команд умножения с накоплением, команд централизованного управления потоком данных, арифметических и логических команд, встроенным модулем обработки команд с плавающей запятой с одинарной точностью FPU, поддержкой отладочного интерфейса JTAG;
- блок ОЗУ с выделенным для ядра портом доступа (TCM) на 32 Кбайт;
- блок управления сбросом и синхронизацией RCU, имеющий в своем составе RC-генератор (4 МГц) и синтезатор частоты PLL;
- блок управления системой SIU;
- основная Flash-память объемом 512 Кбайт (FLASH);
- кэш команд и кэш данных объемом по 4 Кбайт каждый;
- ОЗУ объемом 16 Кбайт;
- 16-канальный контроллер прямого доступа к памяти (DMA);
- один 16-разрядный порт ввода-вывода A (GPIOA);
- один 15-разрядный порт ввода-вывода B (GPIOB);
- четыре 32-разрядных таймера с блоком захвата/сравнения и возможностью генерации ШИМ (TMR0 – TMR3);
- три двухканальных ШИМ-модулятора (PWM0 – PWM2);
- 4-канальный 12-разрядный быстродействующий АЦП с режимами цифрового компаратора (ADC);
- три блока захвата/сравнения (CAP);
- импульсный квадратурный декодер (QEP);
- сторожевой таймер (WDT);
- блок RTC с батарейным питанием, тактированием от внешнего генератора 32,768 кГц, контролем генерации и автоматическим переходом на внутренний генератор в случае сбоев (RTC);
- супервизор питания POR/BOR;
- контроллеры интерфейсов:
  - два приемопередатчика UART (UART0 – UART1);
  - два контроллера SPI (SPI0 – SPI1);
  - контроллер I2C;
  - контроллер CAN 2.0b (CAN).

1.5 Состав микроконтроллера К1921ВГ7Т

В состав микроконтроллера входят функциональные элементы:

- 32-разрядное ядро SCR4 архитектуры RISC-V с поддержкой системы команд RV32IMFC (Zicsr), поддержкой набора одноцикловых команд умножения с накоплением, команд централизованного управления потоком данных, арифметических и логических команд, встроенным модулем обработки команд с плавающей запятой с одинарной точностью FPU, поддержкой отладочного интерфейса JTAG;
- блок ОЗУ с выделенным для ядра портом доступа (TCM) на 32 Кбайт;
- блок управления сбросом и синхронизацией RCU, имеющий в своем составе RC-генератор (4 МГц) и синтезатор частоты PLL;
- блок управления системой SIU;

- основная Flash-память объемом 512 Кбайт (FLASH);
- кэш команд и кэш данных объемом по 4 Кбайт каждый (по 1 Кбайт на путь);
- ОЗУ объемом 32 Кбайт;
- 8-канальный контроллер прямого доступа к памяти (DMA);
- один 16-разрядный порт ввода-вывода A (GPIOA);
- один 15-разрядный порт ввода-вывода B (GPIOB);
- два 32-разрядных таймера с блоком захвата/сравнения и возможностью генерации ШИМ (TMR32_0 – TMR32_1);
- три 16-разрядных таймера с блоком захвата/сравнения и возможностью генерации ШИМ (TMR16_0 – TMR16_2);
- 8-канальный 12-разрядный быстродействующий АЦП с режимами цифрового компаратора (ADC);
- 12-разрядный блок ЦАП (DAC);
- датчик температуры TSENSOR, подключаемый к одному из входов АЦП;
- сторожевой таймер (WDT);
- блок часов реального времени RTC с батарейным питанием (RTC);
- супервизор питания POR/BOR;
- контроллеры интерфейсов:
    - два приемопередатчика UART (UART0 – UART1);
    - три контроллера SPI (SPI0 – SPI2) с возможностью подключения внешних модулей радиосвязи RF Tx/Rx;
    - два контроллера I2C (I2C0 – I2C1);
    - контроллер CAN 2.0b (CAN).

2 Подготовка к работе

Для запуска Bare Metal кода на RISC-V понадобится:
• RISC-V toolchain: xpack-riscv-none-elf-gcc;
• Система сборки: make, cmake, platformio, Eclipse и тп.;
• startup файл;
• Скрипт компоновщика (.ld).

2.1 RISC-V toolchain

Флаг –march

Флаг **–march** определяет набор расширений, поддерживаемый текущим процессором.

Существующие расширения:

• **RV32I**: Стандартный набор целочисленных инструкций. Содержит набор из 32 регистров 32-бит.

• **RV32E**: ISA для встраиваемых систем. Совпадает с RV32I, но содержит только 16 регистров.

• **RV64I**: 64-бит версия RV32I.

• **M** - целочисленное умножение/деление.

• **A** - атомарные операции с памятью.

• **F/D** - вычисления с плавающей точкой одинарной/двойной точности.

• **C** - сжатый формат команд 16-бит.

• **P** - расширение для DSP/SIMD инструкции.

• **Zicsr** – Инструкции доступа к Control and Status Register (CSR).

• **zb*** - битовые операции.

Флаги **–march** для К1921ВГ015, К1921ВГ1Т, К1921ВГ3Т, К1921ВГ5Т, К1921ВГ7Т приведены в таблице 2.1.

Таблица 2.1 – Флаги –march

Микроконтроллер	Флаг **–march**
К1921ВГ015	–march=rv32imfc_zba_zbb_zbc_zbs_zicsr
К1921ВГ1Т	–march=rv32imafdcp
К1921ВГ3Т	–march=rv32imfdc
К1921ВГ5Т	–march=rv32imfc
К1921ВГ7Т	–march=rv32imfc

Флаг –mabi

Флаг **–mabi** определяет используемый ABI:

• **ilp32** - int, long, и указатели имеют длину 32-бит. long long длину 64-бит, char длину 8-бит, и short длину 16-бит.

• **Lp64** - long и указатели имеют длину 64-бит, но int длину 32-бит. Остальные типы такие же как в ilp32.

• **””** (пустая) – Целочисленные аргументы функций передаются в регистрах, с плавающей точкой через стек.

• **f**: 32-бит и меньше аргументы с плавающей точкой передаются через регистры FPU. Данная ABI требует поддержку F расширения.

• **d**: 64-бит и меньше аргументы с плавающей точкой передаются через регистры FPU. Данная ABI требует поддержку D расширения

Флаги **–mabi** для К1921ВГ015, К1921ВГ1Т, К1921ВГ3Т, К1921ВГ5Т, К1921ВГ7Т приведены в таблице 2.2.

Таблица 2.2 – Флаги –mabi

Микроконтроллер	Флаг **–mabi**
К1921ВГ015	–mabi=ilp32f
К1921ВГ1Т	–mabi=ilp32d
К1921ВГ3Т	–mabi=ilp32d
К1921ВГ5Т	–mabi=ilp32f
К1921ВГ7Т	–mabi=ilp32f

На рисунке ниже приведены установки флагов –**march** и **–mabi** в среде Syntacore IDE.

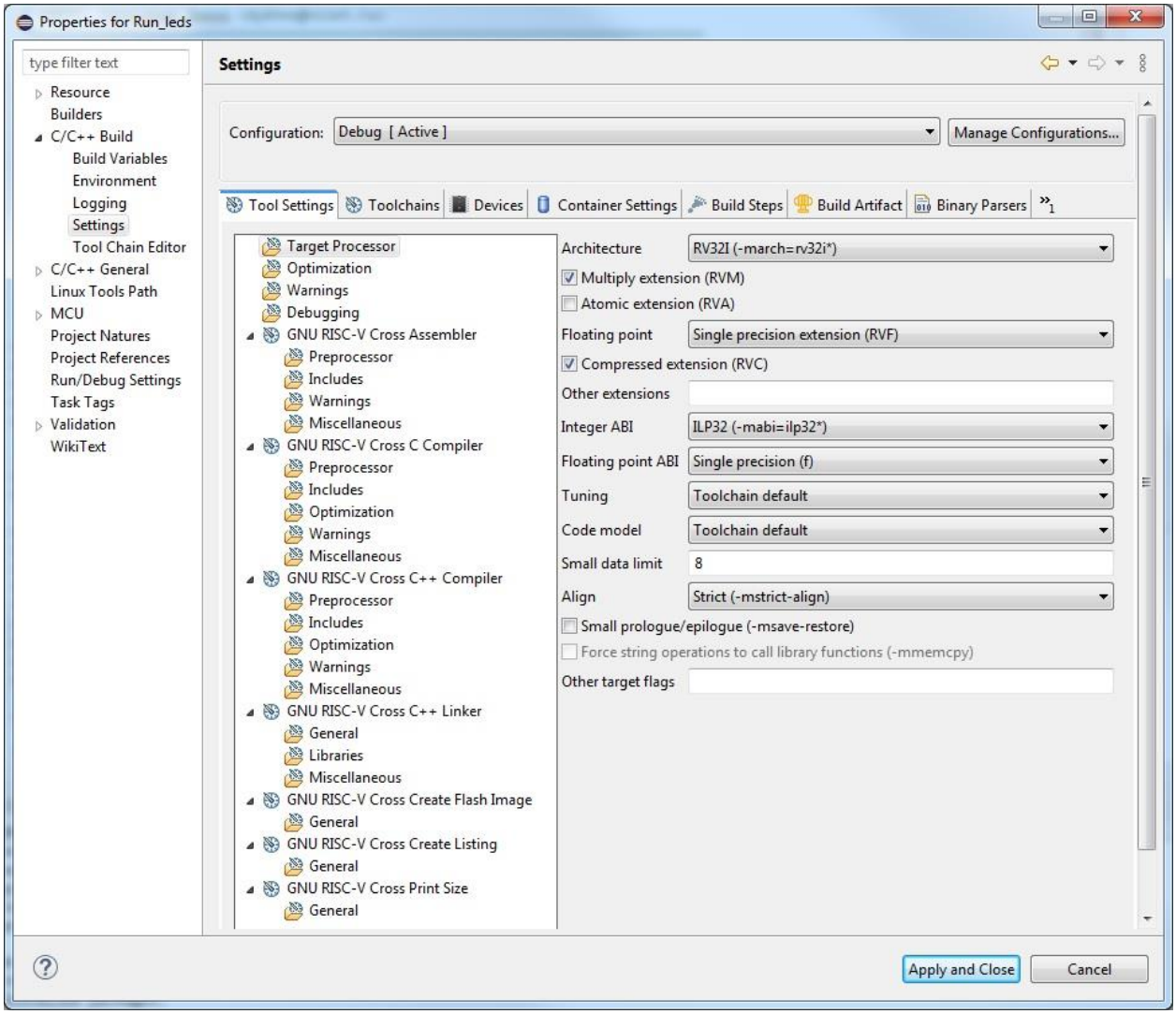


Рисунок 2.1 – Установки флагов –march и –mabi для К1921ВГ015

2.2 Аппаратные отладчики JTAG

Для обеспечения взаимодействия между интегрированной средой разработки Eclipse (с GCC компилятором для RISC-V и системой отладки OpenOCD), установленной на персональном компьютере, и отладочными ресурсами, встроенными в микроконтроллер можно использовать адаптер Olimex ARM-USB-OCD-H, J-Link или отладчик, построенный на ИС FT2232.

Также можно использовать любой отладчик поддерживающий интерфейс JTAG и имеющий драйвер для OpenOCD.

3 Настройка среды Syntacore IDE

Для разработки проектов, а также запуска примеров в среде Syntacore IDE потребуются:

– Набор инструментов для разработки Syntacore Development Toolkit (можно скачать по ссылке: https://syntacore.com/page/products/sw-tools). Имеются версии под Windows и Linux.

– Набор программных средств разработки для микроконтроллеров RISC-V НИИЭТ NIIET_RISCV SDK (расположены по ссылке: https://gitflic.ru/project/niiet/niiet_riscv_sdk). Скачать можно архивом, или же с помощью git-bush используя ссылку https://gitflic.ru/project/niiet/k1921vkx_sdk.git. Необходимая ветка – master.

– Инструмент отладки OpenOCD с драйвером Flash K1921VG015 (входит в состав NIIET_RISCV SDK).

3.1 Подготовка среды Syntacore IDE для работы

Ниже приведены шаги по подготовке среды на примере К1921ВГ015 и они также справедливы для любого из микроконтроллеров: К1921ВГ1Т, К1921ВГ3Т, К1921ВГ5Т, К1921ВГ7Т.

Шаг 1 – Установка Syntacore Development Toolkit

Переходим по ссылке https://syntacore.com/page/products/sw-tools, скачиваем архив **sc-dt-2025.06-win.zip** (для Windows) или **sc-dt-2025.06.tar.gz** (для Linux) и распаковываем в любом удобном для работы месте.

Шаг 2 – Скачивание NIIET_RISCV SDK

Скачивание осуществляется с помощью git-bash. Консольной командой **cd** выбираем директорию, куда будет скачан пакет SDK.

Далее для скачивания в консоли git-bush вводим команду: **git clone -b master https://gitflic.ru/project/niiet/niiet_riscv_sdk.git**

Набор программных средств разработки для микроконтроллеров RISC-V НИИЭТ NIIET_RISCV SDK будет скачан в выбранную ранее директорию.

Структура каталогов NIIET_RISCV SDK:

– **platform**: Общие библиотеки.
  - Device: Заголовочные файлы микроконтроллера, файлы startup и скрипты линкера.
  - middleware: Промежуточное ПО: протоколы, интерфейсы.
  - plib015: Библиотека периферии К1921ВГ015.

– **projects**: Примеры проектов.
  - NIIET-DEMO-K1921VG3T: Проекты для отладочной платы NIIET-DEMO-K1921VG3T с управлением через регистры МК.
  - NIIET-DEV-K1921VG015: Проекты для отладочной платы NIIET-DEV-K1921VG015 с управлением через регистры МК.
  - plib015: Проекты для отладочной платы NIIET-DEV-K1921VG015 с использованием библиотеки PLIB015.

– **templates**: Шаблоны проектов.
  - k1921vg015-bare : Шаблон проекта для К1921ВГ015.
  - k1921vg015-plib015 : Шаблон проекта для К1921ВГ015 с использованием библиотеки PLIB015.

– **tools**: Вспомогательный инструментарий.
  - openocd : Файлы для осуществления отладки МК.
  - svd : SVD файлы микроконтроллеров.
  - niiet-aspect-1.0.1.vsix : Расширение для VSCode.
  - sc-dt_Patch_Niiet_Linux.zip : Архив для поддержки микроконтроллеров К1921ВГ3Т, К1921ВГ015 в Syntacore Development Toolkit (ОС Linux).
  - sc-dt_Patch_Niiet_Win32.zip : Архив для поддержки микроконтроллеров К1921ВГ3Т, К1921ВГ015 в Syntacore Development Toolkit (ОС Windows).

Шаг 3 – Интеграция поддержки МК средой Syntacore IDE

Нам понадобится архив **sc-dt_Patch_Niiet_Win32.zip** из папки **tools**. Его необходимо распаковать в каталог **sc-dt** ранее скачанной среды Syntacore IDE (с подтверждением замены файлов). Также после распаковки необходимо проверить наличие файла **k1921vg015.cfg** в каталоге: \sc-dt\tools\share\openocd\scripts\target.

Шаг 4 – Запуск и настройка среды Syntacore IDE

Запуск среды осуществляется с помощью скрипта **start-scr-ide.cmd** (для ОС Windows) находящегося в каталоге **sc-dt**. При первом запуске появится окно выбора рабочей области workspace.

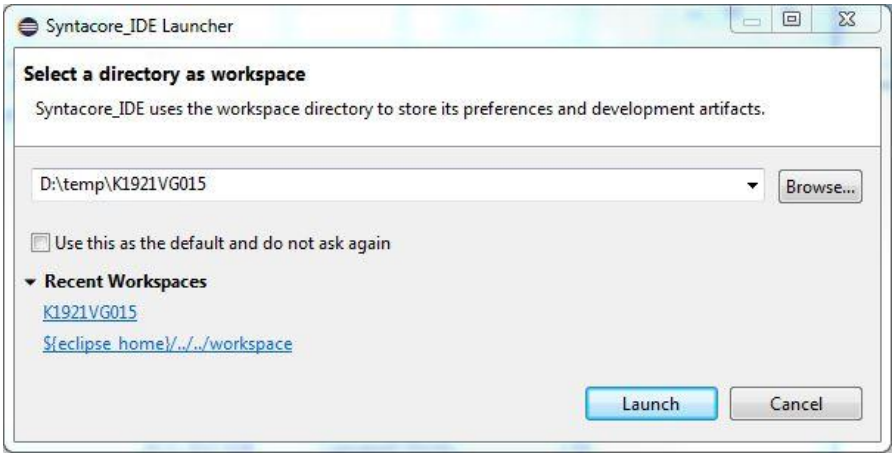


Рисунок 3.1 – Настройка workspace

В окне настройки рабочей области (рисунок 3.1) нужно выбрать и указать путь к рабочему пространству, где будут находиться проекты по работе с микроконтроллером К1921ВГ015. Можно расположить в любом удобном месте.

Далее, чтобы добавить готовые проекты из NIIET_RISKV SDK нужно переместить их из каталога niiet_riscv_sdk\projects\NIIET-DEV-K1921VG015 в созданный каталог workspace и импортировать их в рабочее пространство. Для импорта проектов заходим в раздел File/Import и выбираем Projects from Folder of Archive.

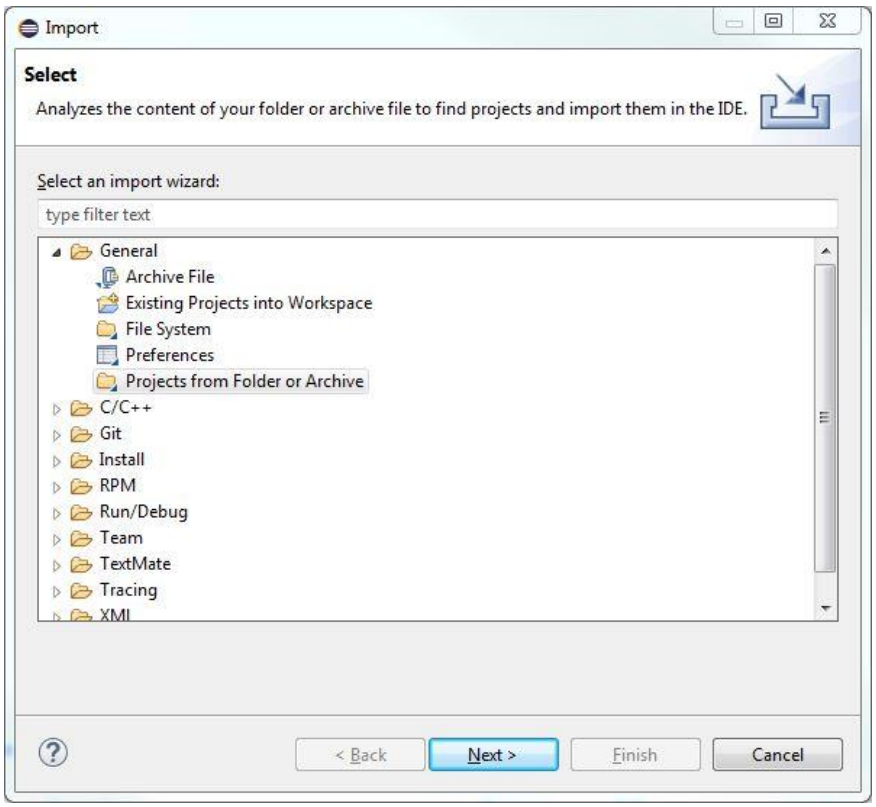


Рисунок 3.2 – Импорт проектов в рабочую область

Далее выбираем необходимые для импорта проекты (см. рисунок 3.3).

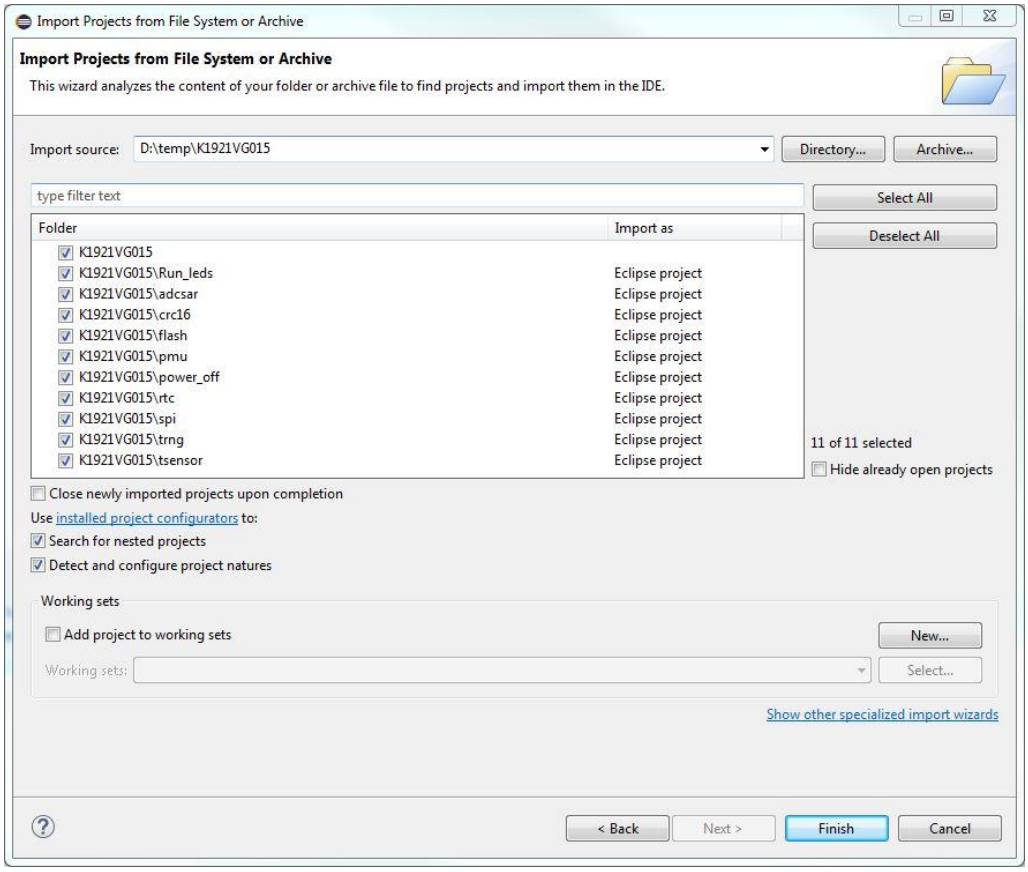


Рисунок 3.3 – Выбор проектов для импорта в рабочую область

После импортирования выбранные проекты появятся в окне Project Explorer (см. рисунок 3.4).

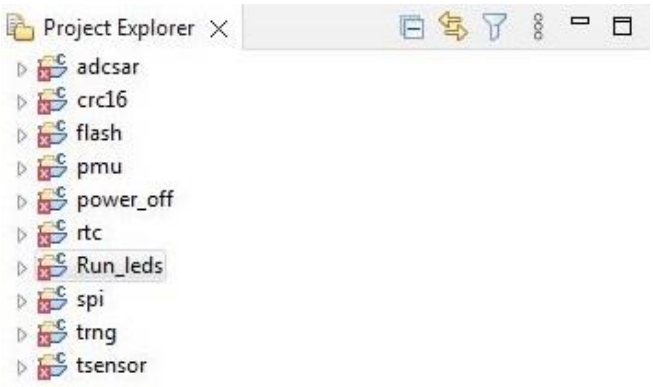


Рисунок 3.4 – Окно с импортированными проектами

Шаг 5 – Сборка проекта

Для того, чтобы собрать проект с примером необходимо предварительно зайти в настройки проекта (нажатием правой кнопки мыши по названию проекта в окне Project Explorer и выбором во всплывающем окне кнопки Properties). Далее нужно выбрать раздел “C/C++ Build”, вкладку “Settings / Tool Settings” и затем ничего не изменяя нажать внизу окна кнопку “Apply and Close”. Это необходимо для обновления и применения настроек проекта (см. рисунок 3.5).

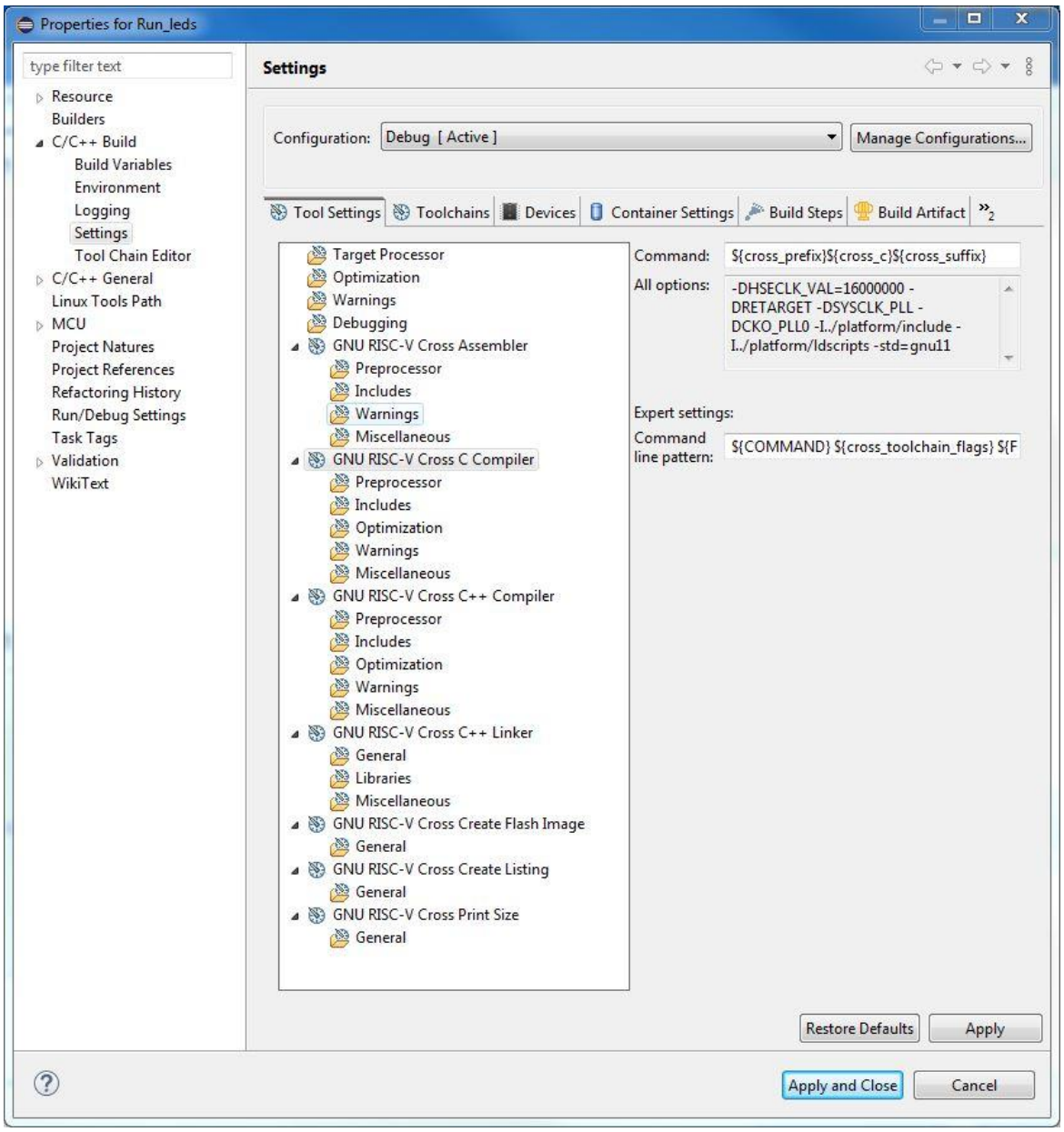


Рисунок 3.5 – Настройки проекта в Syntacore IDE

После обновления настроек проекта можно собрать проект (нажатием правой кнопки мыши по названию проекта в окне Project Explorer и выбором во всплывающем окне кнопки Build Project). О результате сборки можно узнать из окна консоли, пример указан на рисунке 3.6.

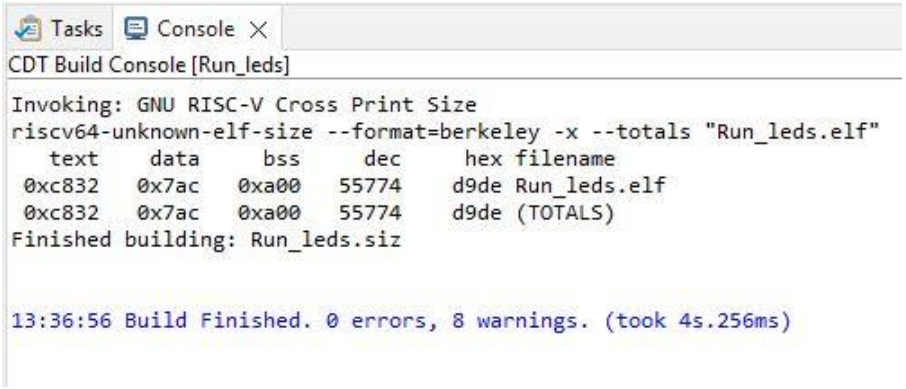


Рисунок 3.6 – Результаты сборки проекта

Шаг 6 – Установка драйверов JTAG-эмулятора под Widnows

Данный шаг необходим при подготовке среды под ОС Widnows. Для ОС Linux данный шаг пропускается, поскольку она уже содержит драйвер libusb, с помощью которого OpenOCD взаимодействует с выбранным отладчиком.

Чтобы установить драйверы для JTAG-эмулятора (таких как «J-Link» или отладчик, построенный на ИС FT2232), совместимых с используемым в Syntacore IDE отладчиком «OpenOCD» необходима программа «Zadig». Программа «Zadig» находится в каталоге «sc-dt\tools\bin». Скачать другие версии программы «Zadig» можно по ссылке: https://zadig.akeo.ie.

Подключите JTAG-адаптер к USB-порту вашего ПК. Дождитесь, пока закончится процедура автоматической установки драйверов средствами Windows. Независимо от успешности её результата по окончании запустите программу «Zadig» (см. рисунок 3.7).

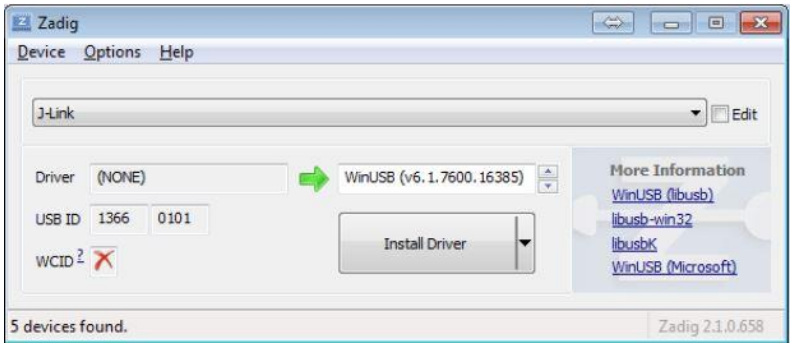


Рисунок 3.7 – Главное окно программы Zadig

В меню «Options» поставьте галочку «List all devices». В выпадающем списке выберите используемое устройство (в нашем примере «J-Link») или неизвестное устройство (убедитесь в таком случае, что это именно jtag подключая/отключая USB кабель).

В ОС Windows JTAG-эмулятор «J-Link» определяется как два интерфейса:
– "CDC (Interface 0)" можно использовать в качестве USB-UART преобразователя.
– "BULK Interface (Interface 2)" используется в качестве JTAG отладчика.
В ОС Windows необходимо сделать подмену драйвера на WinUSB с помощью программы zadig.

В ОС Windows ИС FT2232 (FTDI), установленная на плате К1921ВГ015 (КФДЛ.441461.029) определяется как два интерфейса:

– "Dual RS232-HS (Interface 0)" на плате используется в качестве USB-UART преобразователя, подключенного к UART0 и должен использовать оригинальные драйвера "FTDI".

– "Dual RS232-HS (Interface 1)" на плате используется в качестве JTAG отладчика. В ОС Windows необходимо сделать подмену драйвера на WinUSB с помощью программы zadig.

В строке справа от стрелки выберите драйвер «WinUSB (v.xxxx)». Нажмите на кнопку «Install Driver» (если кнопка называется по-другому, значит у вас установлены другие драйвера и нужно нажать «Replace Driver»). Драйвера установлены. Однако по опыту эксплуатации рекомендуется вынуть/вставить JTAG из USB компьютера – без этого драйвер может не заработать. В некоторых случаях требуется перезагрузка. В диспетчере устройств на вкладке с устройством JTAG по кнопке «сведения» должно открываться окно с похожим содержимым, указанном на рисунке 3.8.

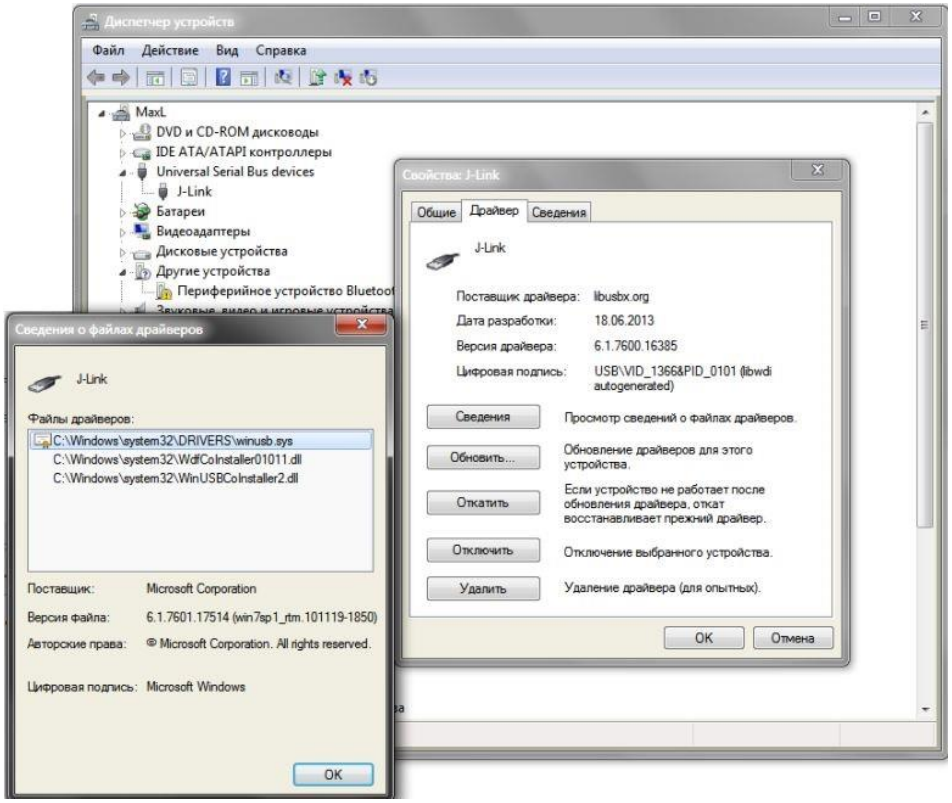


Рисунок 3.8 – Сведения о файлах драйверов

Из рисунка видно, что использован драйвер «WinUSB». Если драйвер не установился или не работает, можно попробовать нажать на кнопку «Install Driver» несколько раз (если «Zadig» сообщает, что установка не удалась), вынуть/вставить JTAG из USB, перезагрузить компьютер, отключить антивирус, запустить программу с правами администратора, включить службу "Центр обновления Windows" (если она отключена), проверить состояние устройства в диспетчере устройств Windows. Чтобы вернуться к стандартным драйверам JTAG для работы с другой средой, в диспетчере устройств Windows найдите свое устройство (например J-Link), правой кнопкой → Обновить драйверы... → Выполнить поиск драйверов на этом компьютере → Выбрать драйвер из списка уже установленных" и выбрать, например, "J-link driver".

После замены драйвера в главном окне программы zadig мы также можем убедиться, что драйвер заменился. Так, при выборе используемого интерфейса, напротив надписи "Driver" должен отобразиться драйвер "WinUSB".

При использовании ОС Windows10 было замечено, что при работе под учетной записью пользователя с правами администратора драйвер успешно подменяется, однако продолжает работать до завершения работы или перезагрузки ОС. После перезагрузки необходимо снова подменить драйвер с помощью программы Zadig. При работе под учетной записью пользователя без прав администратора, замену драйвера необходимо проводить в режиме отключенной проверки цифровой подписи драйверов (см. подраздел «Отключение проверки подписи драйвера с помощью параметров загрузки»).

Примечание – При замене драйверов на Windows 10 с помощью программы «Zadig» следует соблюдать осторожность, поскольку можно заменить общий (generic) драйвер, который Windows может автоматически использовать при подключении нового устройства. Generic-драйвер может одновременно использоваться несколькими USB-устройствами. После такой процедуры остальные устройства перестанут нормально функционировать.

Отключение проверки подписи драйвера с помощью параметров загрузки

Способ, отключающий проверку цифровой подписи единожды, при перезагрузке системы и до следующей перезагрузки – использование параметров загрузки Windows 10.

1) Для того, чтобы воспользоваться способом, зайдите в «Параметры» — «Обновление и безопасность» — «Восстановление». Затем, в разделе «Особые варианты загрузки» нажмите «Перезагрузить сейчас».

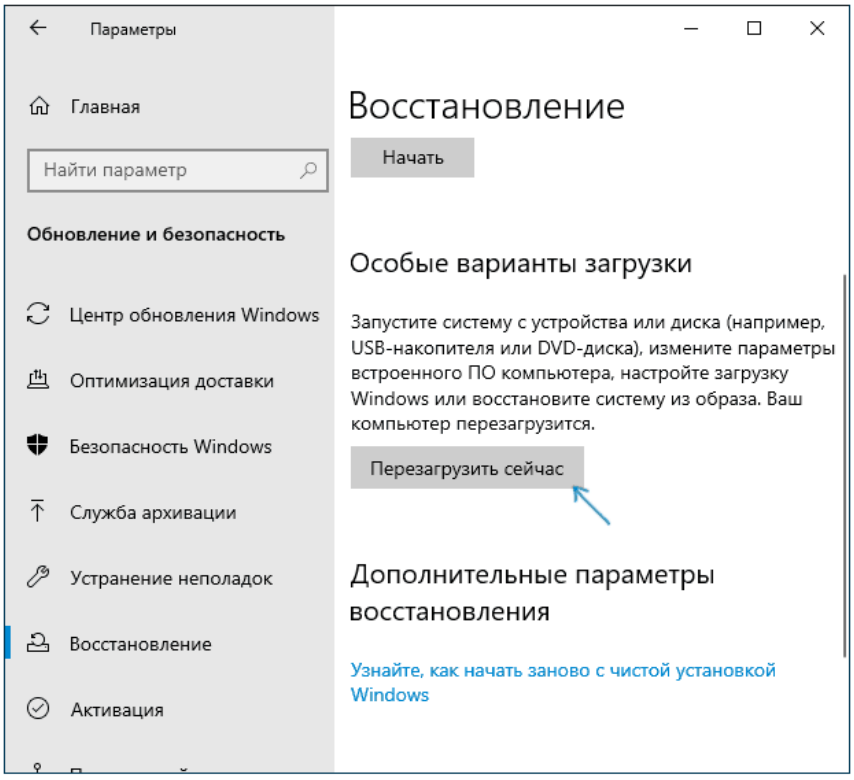


Рисунок 3.9 – Запуск особых вариантов загрузки Windows 10

2) После перезагрузки, пройдите по следующему пути: «Поиск и устранение неисправностей» (или «Диагностика») — «Дополнительные параметры» — «Параметры загрузки» и нажмите кнопку «Перезагрузить».

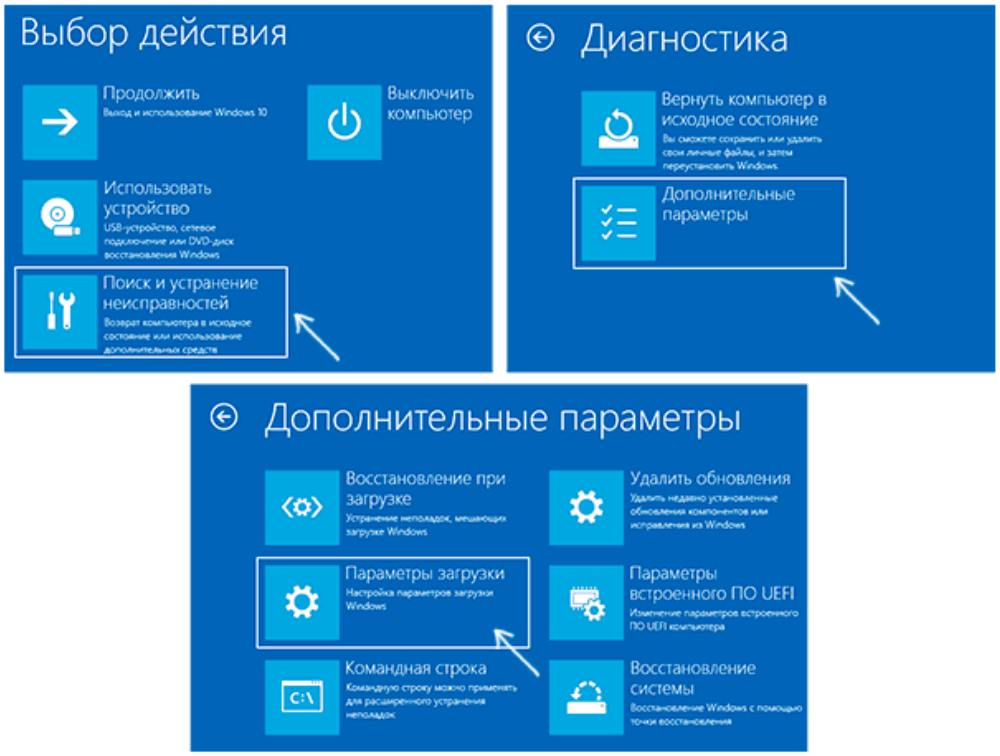


Рисунок 3.10 – Меню особых вариантов загрузки Windows 10

3) После перезагрузки появится меню выбора параметров, которые будут использоваться в этот раз в Windows 10.

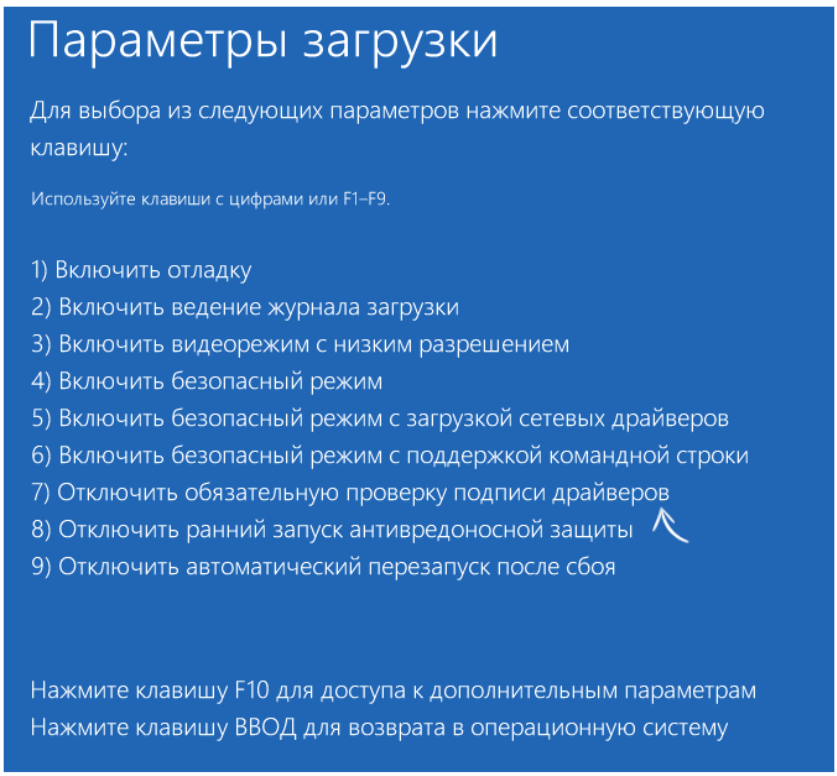


Рисунок 3.11 – Запуск без проверки цифровой подписи драйвера

4) Для того, чтобы отключить проверку цифровой подписи драйверов, выберите соответствующий пункт, нажав клавишу 7 или F7 (или Fn+F7 на некоторых ноутбуках).

Готово, после перезагрузки Windows 10 запустится с отключенной проверкой подписи драйверов и вы сможете установить свой драйвер без цифровой подписи.

Шаг 7 – Настройка и запуск отладочной сессии

Для настройки отладочной сессии для работы с микроконтроллером К1921ВГ015 сначала нужно включить режим перспективы “Debug” кнопкой “Open Perspective” в правом верхнем углу рабочего окна Syntacore IDE (см. рисунок 3.12).

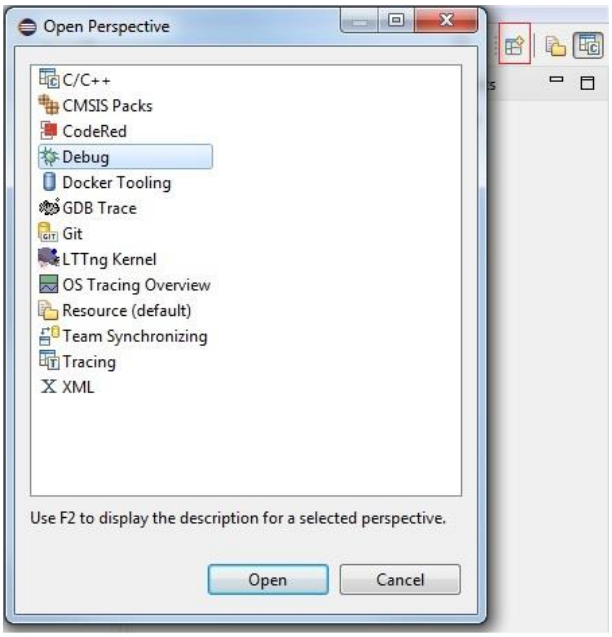


Рисунок 3.12 – Включение режима Debug

Затем нужно зайти в настройки отладки выбранного проекта (см. рисунок 3.13).

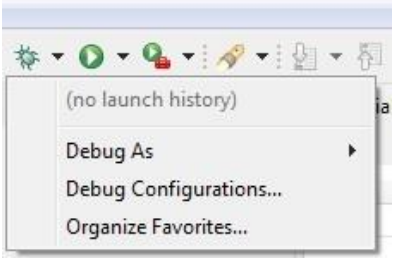


Рисунок 3.13 – Настройка конфигурации отладки

При открытии окна Debug Configurations двойным щелчком мыши по вкладке “GDB OpenOCD Debugging” создаем отладочную конфигурацию выбранного проекта (см. рисунок 3.14).

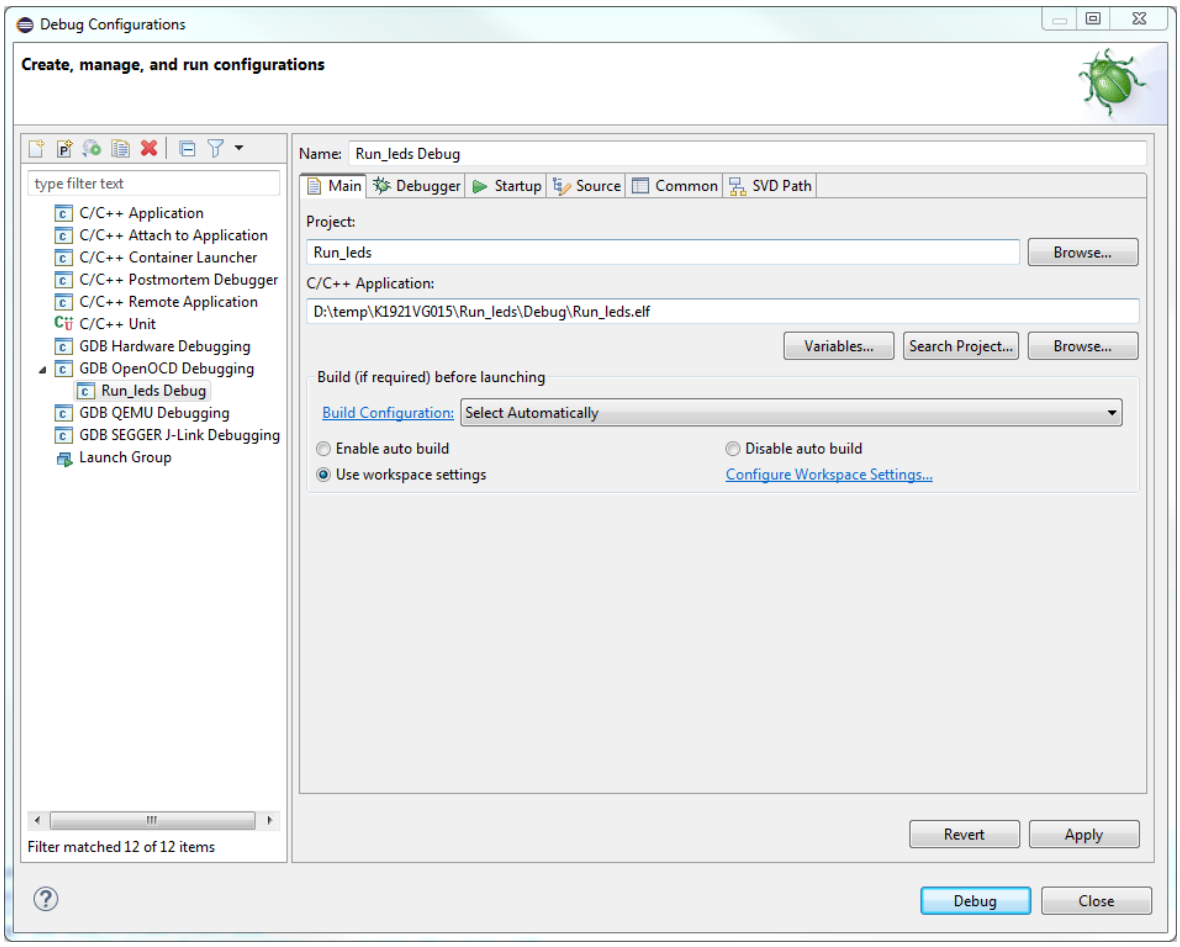


Рисунок 3.14 – Создание отладочной конфигурации проекта

В строке “C/C++ Application” нужно указать путь к **.elf** файлу, созданному при сборке проекта. Набор опций конфигурации отладчика находится на вкладке “Debugger” в разделе “Config options” (см. рисунок 3.15).

Состав набора опций конфигурации:

-s ${eclipse_home}/../tools/share/openocd/scripts
-s ${eclipse_home}/../tools/share/openocd/scripts/interface/ftdi
-s ${eclipse_home}/../tools/share/openocd/scripts/interface
-s ${eclipse_home}/../tools/share/openocd/scripts/target
-f jlink.cfg
-f k1921vg015.cfg
-c "init;halt"

Если используется отладчик, отличный от jlink, тогда в строке -f jlink.cfg вместо jlink.cfg необходимо указать конфигурационный файл используемого отладчика. Путь к местонахождению конфигурационных файлов: sc-dt/tools/share/openocd/scripts/interface.

При использовании макетно-отладочной платы VG015 DK разработки ДЦЭ Восток, с установленной ИС FTDI на плате, необходимо использовать конфигурационный файл vg015_dev_onboard_ftdi.cfg. В таком случае заменяем строку «-f jlink.cfg» на «-f vg015_dev_onboard_ftdi.cfg».

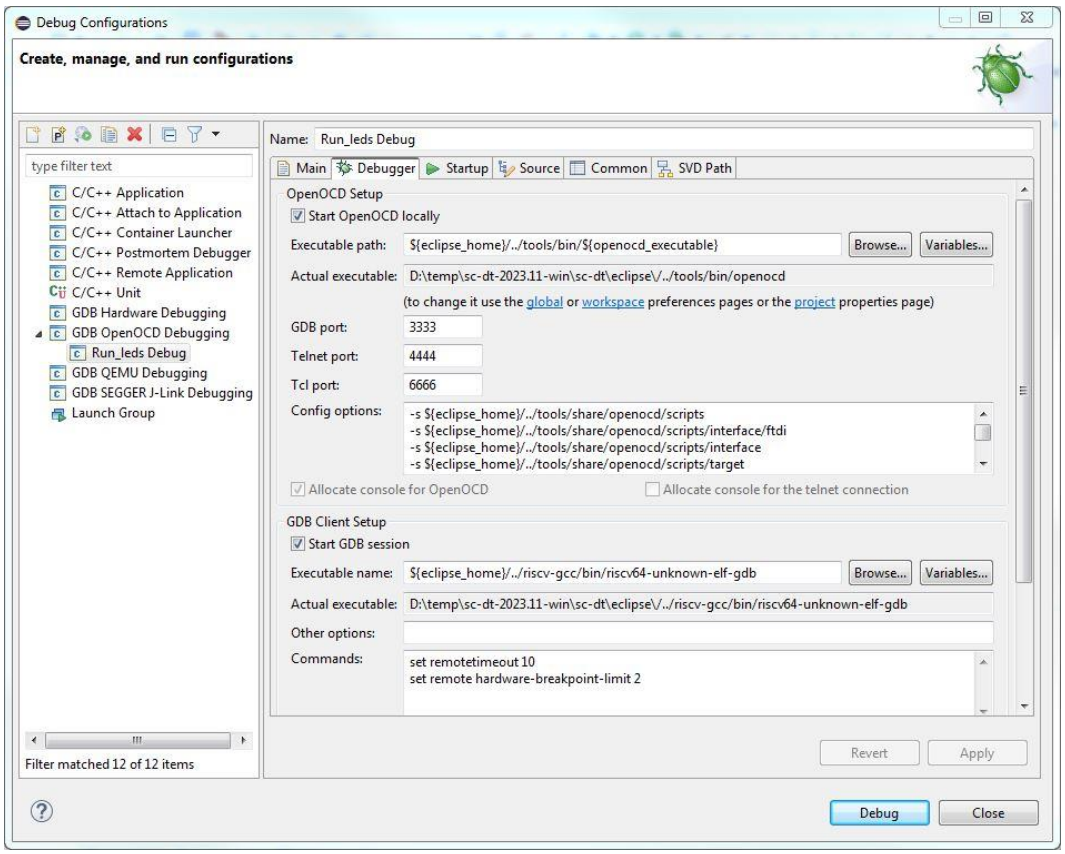


Рисунок 3.15 – Набор конфигурации отладчика

Теперь при нажатии кнопки Debug собранный проект будет записан в микроконтроллер и запущена сессия отладки. В дальнейшем отладку можно будет запускать быстрее, используя историю запусков (см. рисунок 3.16).

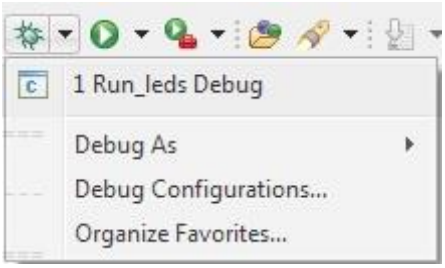


Рисунок 3.16 – Запуск ранее сконфигурированной отладочной сессии

При успешном подключении консоль Syntacore IDE выдаст следующие сообщения (см. рисунок 3.17).

```
Open On-Chip Debugger -00247-g90632ca40-dirty (2025-08-01-14:40)
Licensed under GNU GPL v2
For bug reports, read
        http://openocd.org/doc/doxygen/bugs.html
DEPRECATED! use 'ftdi layout_init' not 'ftdi_layout_init'
DEPRECATED! use 'adapter speed' not 'adapter_khz'
sw_reset_halt
Info : clock speed 1000 kHz
Info : JTAG tap: K1921VG015.cpu tap/device found: 0x00000d5b (mfg: 0x6ad (CloudBEAR LLC), part: 0x0000, ver: 0x0)
Info : JTAG tap: BSCAN.bscan tap/device found: 0x20c5f44d (mfg: 0x226 (MediaTek), part: 0x0c5f, ver: 0x2)
Info : datacount=2 progbufsize=16
Info : Disabling abstract command reads from CSRs.
Info : Examined RISC-V core; found 1 harts
Info :  hart 0: XLEN=32, misa=0x40103124
Info : starting gdb server for K1921VG015.cpu on 3333
Info : Listening on port 3333 for gdb connections
Started by GNU MCU Eclipse
Info : Listening on port 6666 for tcl connections
Info : Listening on port 4444 for telnet connections
Info : accepting 'gdb' connection on tcp/3333
Info : k1921vg015 detected
Warn : Prefer GDB command "target extended-remote :3333" instead of "target remote :3333"
Info : JTAG tap: K1921VG015.cpu tap/device found: 0x00000d5b (mfg: 0x6ad (CloudBEAR LLC), part: 0x0000, ver: 0x0)
Info : JTAG tap: BSCAN.bscan tap/device found: 0x20c5f44d (mfg: 0x226 (MediaTek), part: 0x0c5f, ver: 0x2)
Info : JTAG tap: K1921VG015.cpu tap/device found: 0x00000d5b (mfg: 0x6ad (CloudBEAR LLC), part: 0x0000, ver: 0x0)
Info : JTAG tap: BSCAN.bscan tap/device found: 0x20c5f44d (mfg: 0x226 (MediaTek), part: 0x0c5f, ver: 0x2)
Info : JTAG tap: K1921VG015.cpu tap/device found: 0x00000d5b (mfg: 0x6ad (CloudBEAR LLC), part: 0x0000, ver: 0x0)
Info : JTAG tap: BSCAN.bscan tap/device found: 0x20c5f44d (mfg: 0x226 (MediaTek), part: 0x0c5f, ver: 0x2)
Info : Erasing sectors from 0 to 0
Info : Padding image section 0 at 0x800000be with 2 bytes
Info : Odd number of words to write, padding with 0xFFFFFFFF
Info : Start block write
Info : buffer_size 1488, count 93
Info : thisrun_count 93, target_address 0x0
Info : Disabling abstract command writes to CSRs.
Info : JTAG tap: K1921VG015.cpu tap/device found: 0x00000d5b (mfg: 0x6ad (CloudBEAR LLC), part: 0x0000, ver: 0x0)
Info : JTAG tap: BSCAN.bscan tap/device found: 0x20c5f44d (mfg: 0x226 (MediaTek), part: 0x0c5f, ver: 0x2)
Info : [K1921VG015.cpu] Found 4 triggers
Info : dropped 'gdb' connection
shutdown command invoked
```

Рисунок 3.17 – Сообщения в консоли Syntacore IDE при успешном запуске отладки

Причины невозможности запуска отладочной сессии

Вероятными причинами невозможности запуска отладочной сессии могут быть:

1) Отсутствие напряжения внутренних LDO (для К1921ВГ015 на выводах 17 VCORE_CAP и 15 VBAT_CAP, напряжение должно соответствовать 0,9–1,2 В).

Причинами могут быть:

– Отсутствие необходимого питания микроконтроллера. (для К1921ВГ015 – отсутствие напряжения питания на выводе 12 VCC1_APC или 14 V_BAT).

– В микроконтроллер зашита программа с использованием режимов пониженного потребления, при котором ядро микроконтроллера находится в спящем режиме (только для К1921ВГ015). В таком случае необходим запуск микроконтроллера в сервисном режиме с полным стиранием flash-памяти.

2) В конфигурационном слове микроконтроллера (CFGWORD) запрещена работа интерфейса JTAG (для К1921ВГ015 см. Руководство пользователя, раздел 7). В данном случае также поможет запуск микроконтроллера в сервисном режиме с полным стиранием flash-памяти.

Сервисное стирание flash-памяти микроконтроллера

Для полного стирания всей flash-памяти микроконтроллера необходимо чтобы при сбросе микроконтроллера вывод SERVEN находился в состоянии логической единицы (подтянут к 3,3 В). Описание сервисного стирания представлено в подразделе «Сервисный сброс всей Flash-памяти» руководства пользователя.

Для удобства использования NIIET_RISCV SDK уже содержит готовые скрипты сервисного стирания под различные отладчики и микроконтроллеры в каталоге tools→openocd.

Например, при работе в ОС Windows для сервисного стирания микроконтроллера К1921ВГ015 в составе платы макетно-отладочной КФДЛ.441461.029 необходимо выполнить скрипт «k1921vg015_onboard_ftdi_service_mode_erase.bat».

Шаг 8 – Создание нового проекта

При создании нового проекта для работы с микроконтроллером К1921ВГ015 наиболее простым способом будет копирование и корректировка одного из примеров.

Для этого нужно взять один из примеров проектов, очистить его (нажатием правой кнопки мыши по названию проекта в окне Project Explorer и выбором во всплывающем окне кнопки Clean Project) и затем скопировать его (нажатием во всплывающем окне кнопки Copy, а затем Paste), и наконец выбрать название для нового проекта. Пример создания копии проекта изображен на рисунке 3.18.



Рисунок 3.18 – Создание копии проекта

В новом созданном проекте большинство настроек будут заимствованы из скопированного (родительского) проекта. Необходимо будет только перед запуском отладки создать отладочную конфигурацию для нового проекта, в строке “C/C++ Application” которой указать путь к **.elf**-файлу, созданному при сборке нового проекта (см. рисунок 3.14 из раздела «Шаг 7…»). Настройки из подраздела “Config options” добавлять не потребуется, поскольку они будут заимствованы из скопированного проекта. Чтобы во время отладки получить доступ к регистрам периферийных блоков микроконтроллера необходимо при конфигурации отладки указать путь к **.svd**-файлу (см. рисунок 3.19). Сам **.svd**-файл можно взять в каталоге: niiet_riscv_sdk\tools\svd.

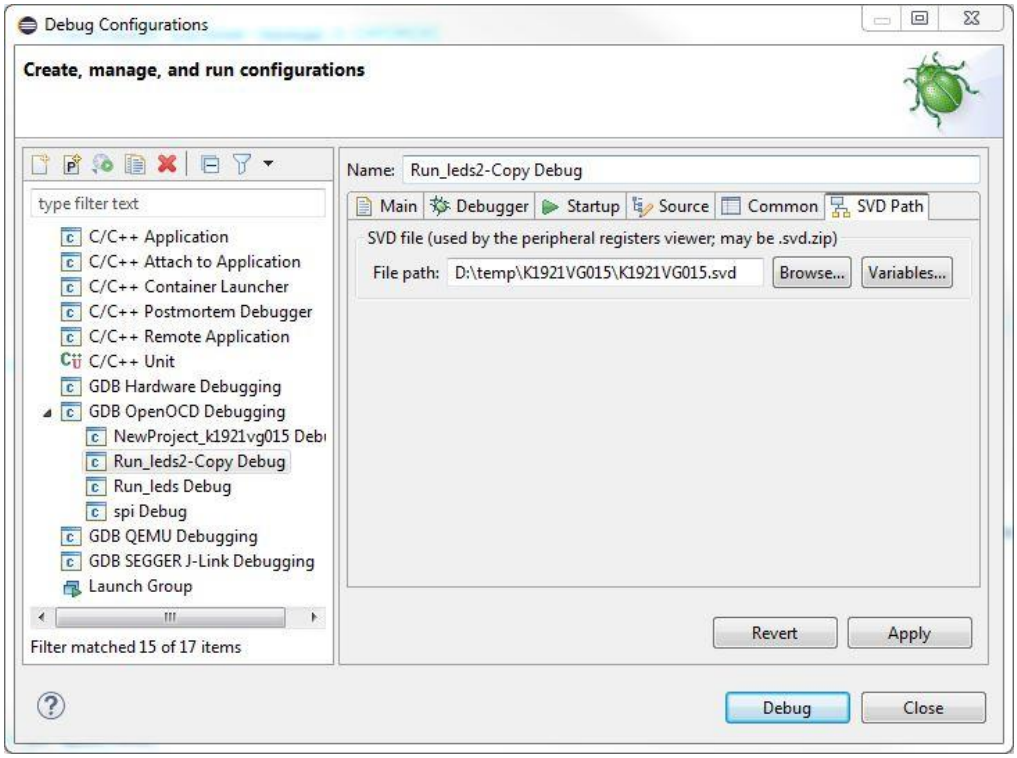


Рисунок 3.19 – Подключение SVD-файла

Создание нового проекта с нуля

Если требуется создать новый проект с нуля потребуется:

1. Создать новый проект, используя набор инструментов RISC-V Cross GCC (см. рисунок 3.20).

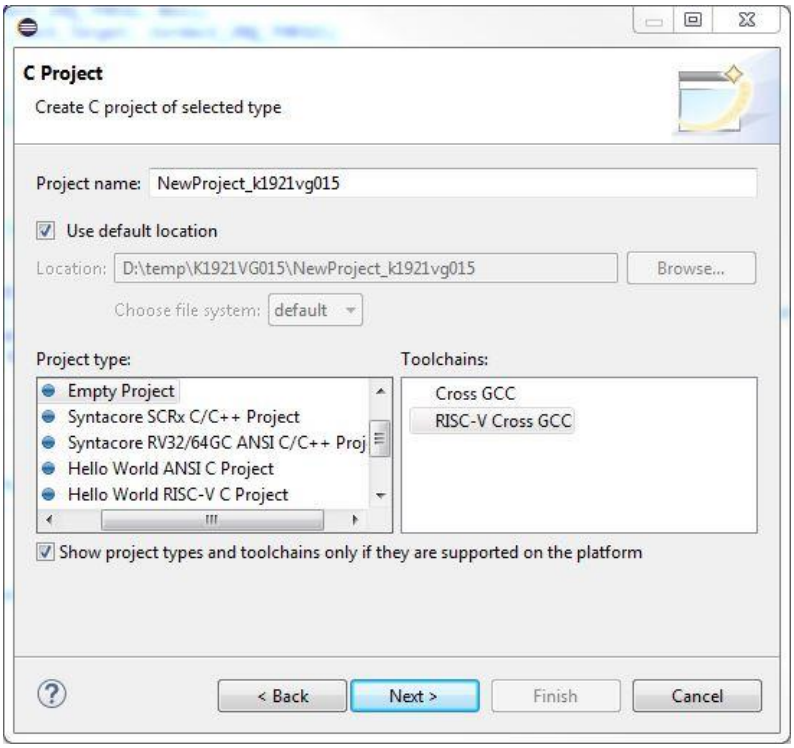


Рисунок 3.20 – Выбор Toolchains для нового проекта

2. Создать каталог под названием «platform» в каталоге с названием нового проекта в рабочей среде workspace (см. рисунок 3.21). Скопировать внутрь каталога «platform» каталоги «Include», «ldscripts», и «Source» (находятся в niiet_riscv_sdk\platform\Device\K1921VG015).

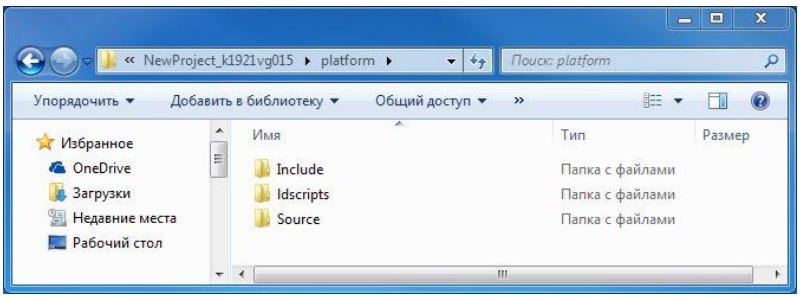


Рисунок 3.21 – Содержание каталога platform

3. Установить флаги –march и –mabi в настройках созданного проекта (см. рисунок 3.22).

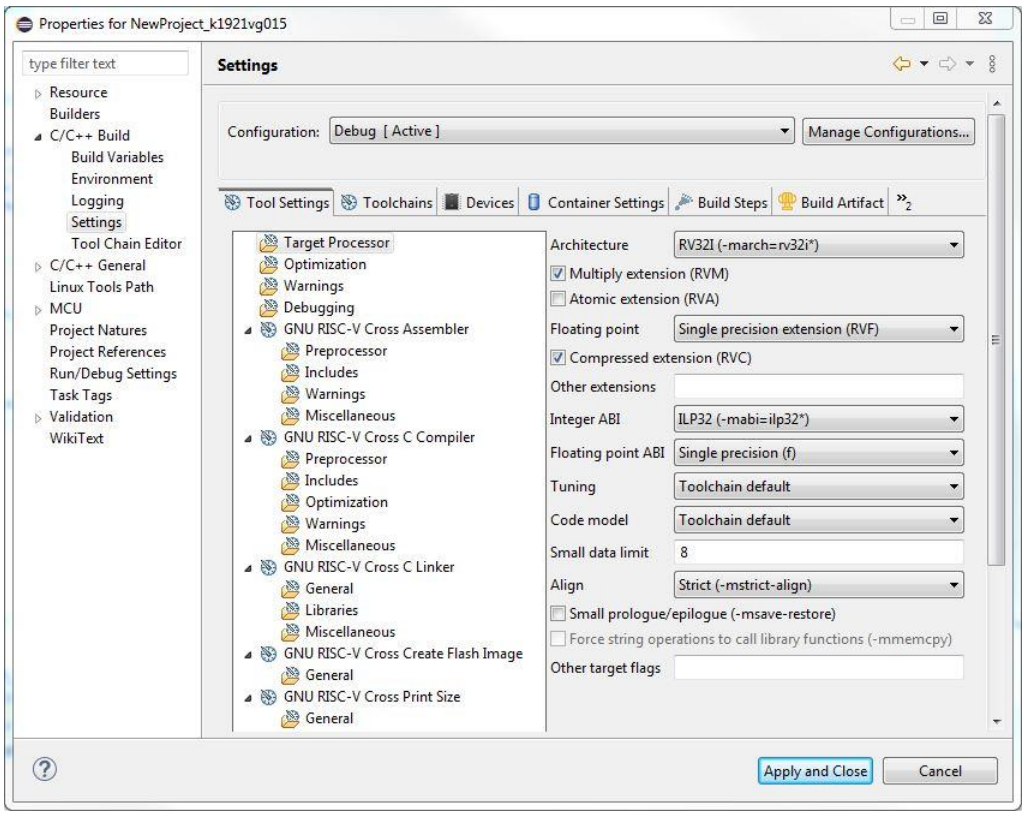


Рисунок 3.22 – Установка флагов–march и –mabi

4. Прописать пути к заголовочным файлам и скриптам в разделе GNU RISC-V Cross Assembler (см. рисунок 3.23) и в разделе GNU RISC-V Cross C Compiler (см. рисунок 3.24).

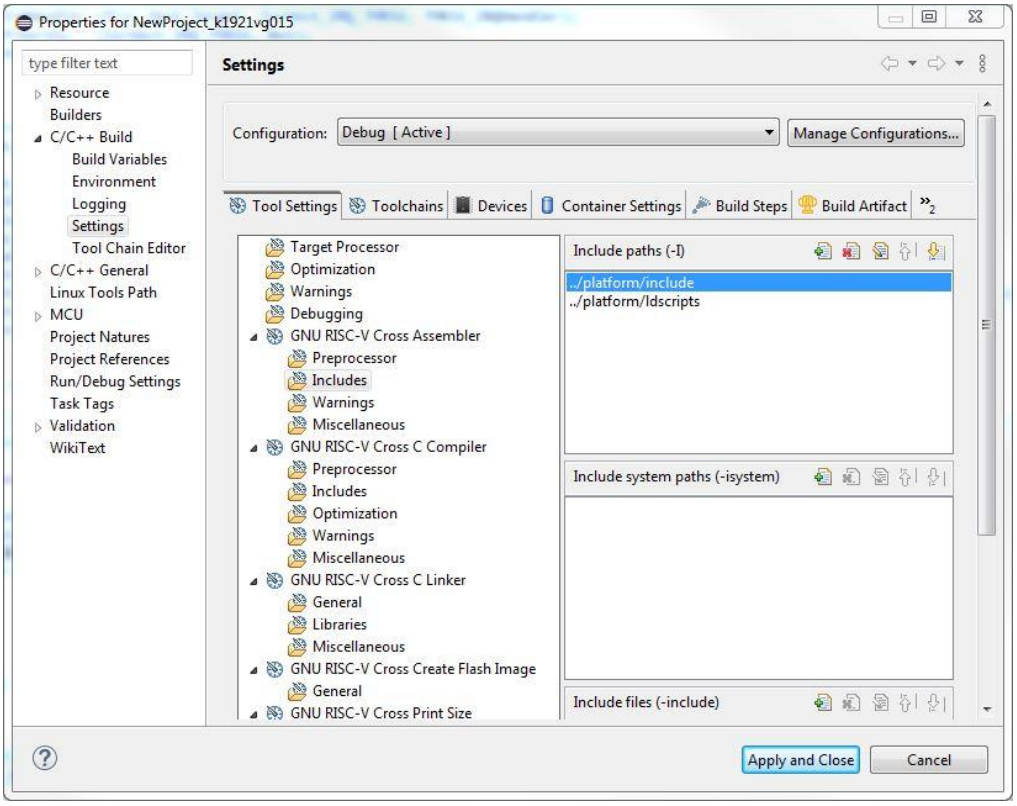


Рисунок 3.23 – Указание путей для транслятора ассемблера

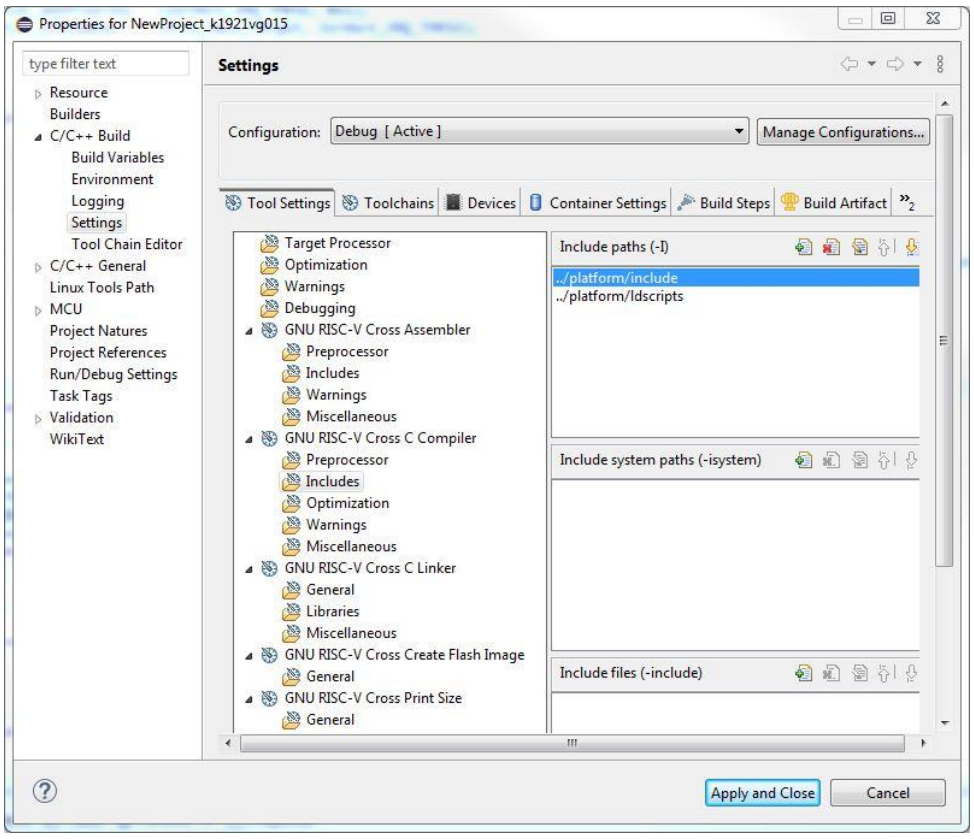


Рисунок 3.24 – Указание путей для компилятора Си

5. Указать директивы препроцессора (см. рисунок 3.25).

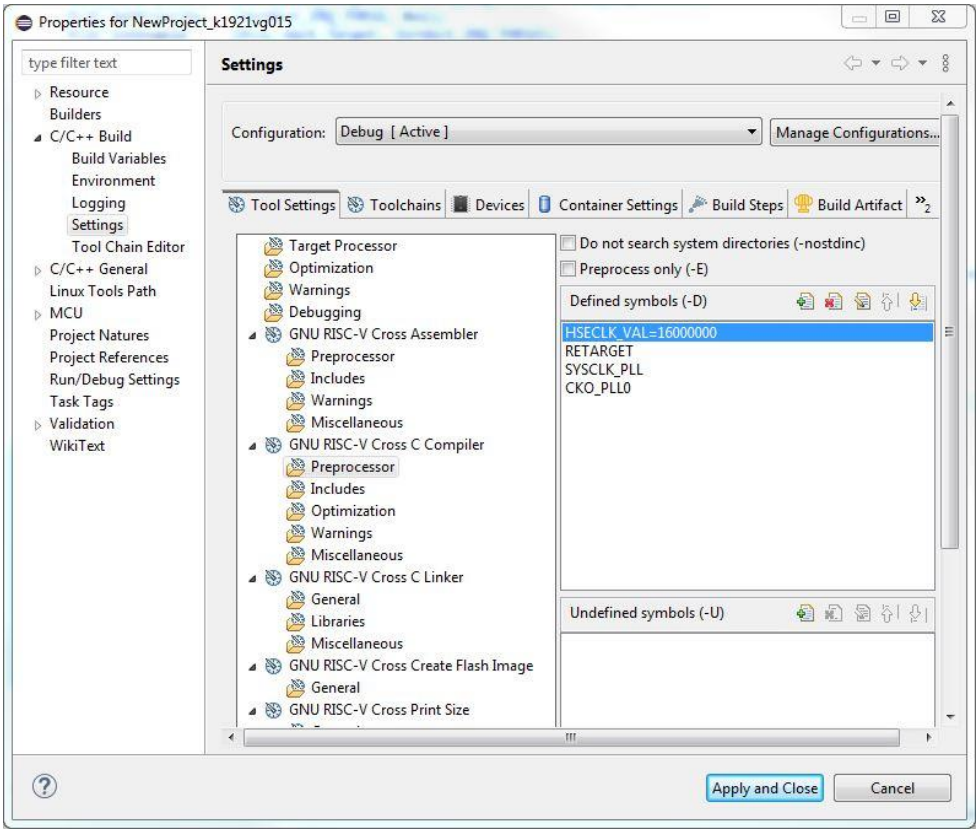


Рисунок 3.25 – Указание директив препроцессора

6. Указать путь к скрипту линкера, а также выбрать настройки линкера (см. рисунок 3.26).

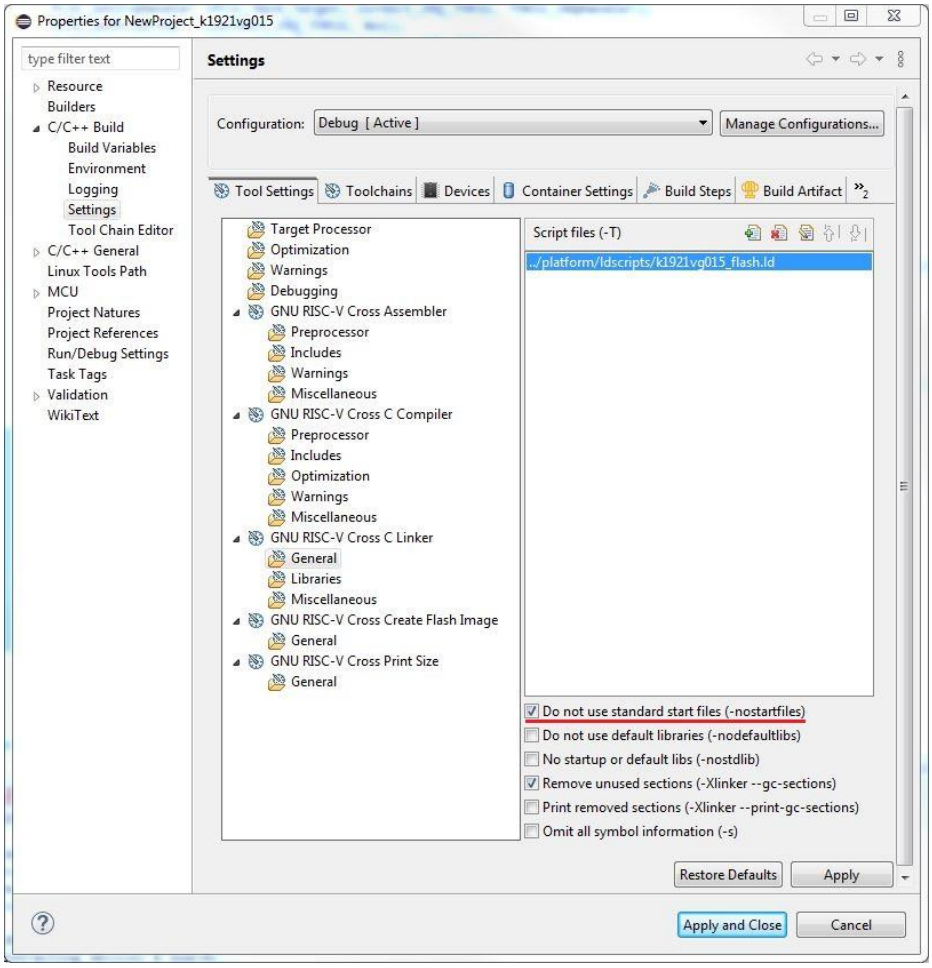


Рисунок 3.26 – Указание пути к скрипту линкера

7. Указать библиотеки линкера и путь к ним (см. рисунок 3.27).

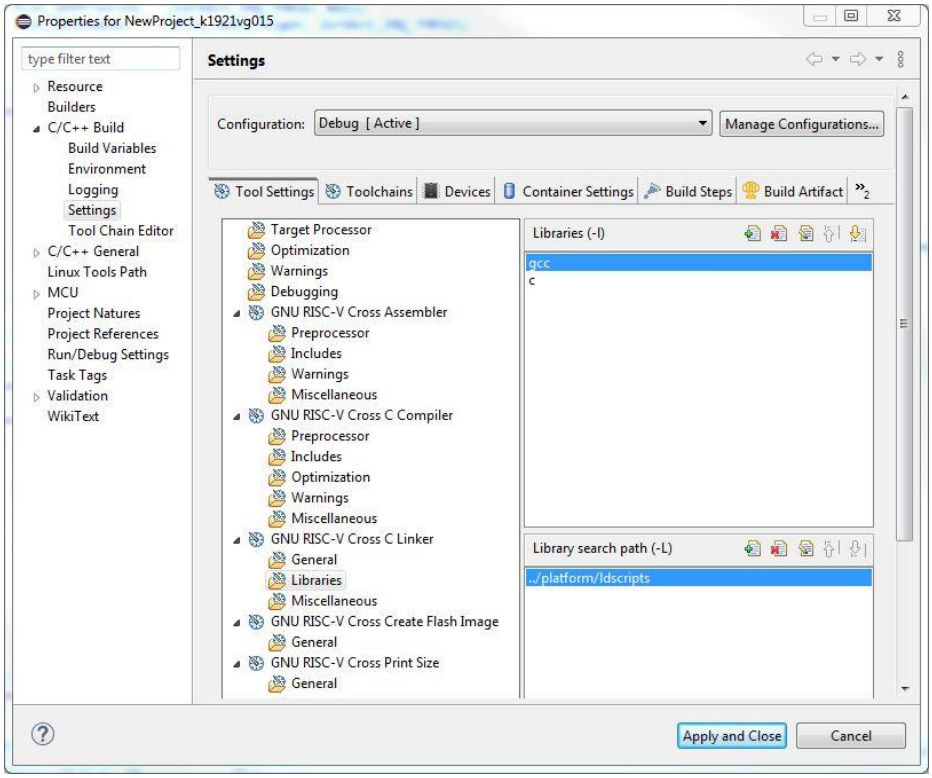


Рисунок 3.27 – Указание библиотек линкера и пути к ним

8. При необходимости формирования файла прошивки нужно разрешить его формирование в подразделе Toolchains (см. рисунок 3.28), а затем сконфигурировать настройки выходного файла прошивки (см. рисунок 3.29).

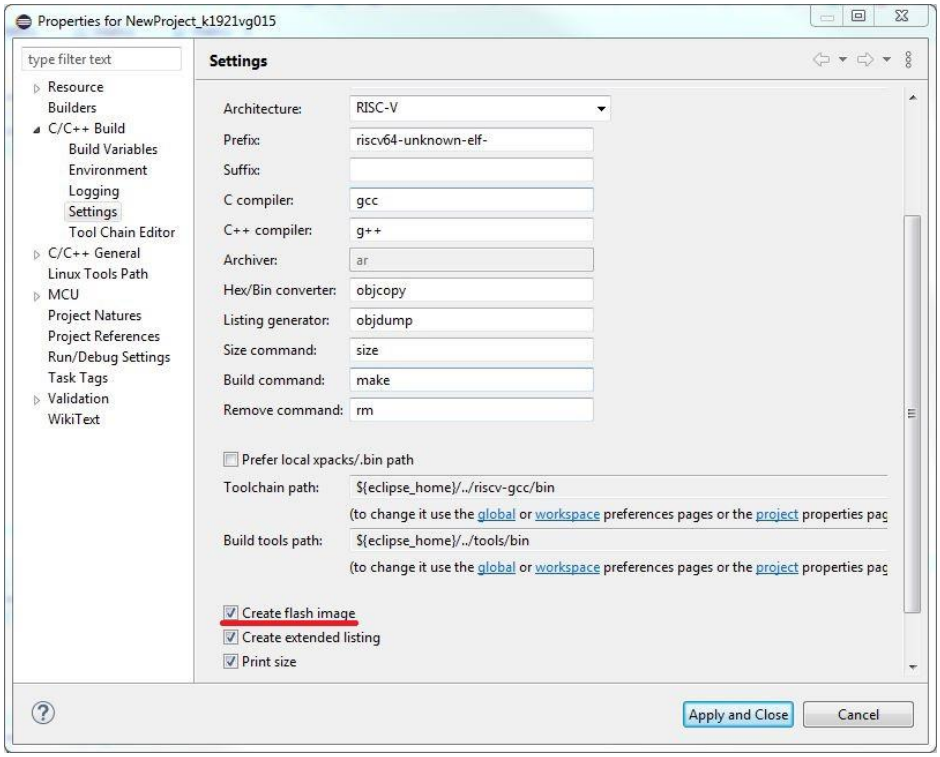


Рисунок 3.28 – Разрешение формирования выходного файла прошивки

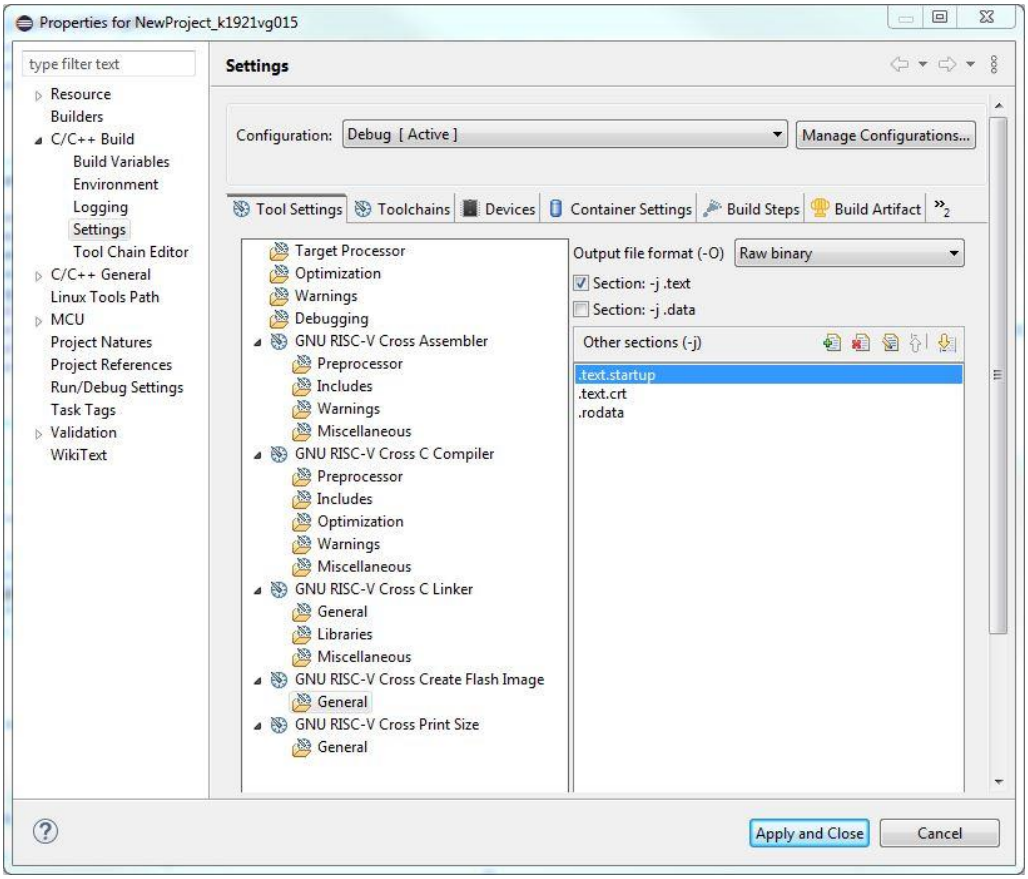


Рисунок 3.29 – Настройки формирования выходного файла прошивки

Теперь вновь созданный проект готов к сборке (см. подраздел «Шаг 5 – Сборка проекта») и запуску отладки (см. подраздел «Шаг 7 – Настройка и запуск отладочной сессии»).

4 Работа с примерами проектов

4.1 Структура примеров проектов

NIIET_RISCV SDK содержит примеры проектов в каталоге **projects**, а также шаблоны для проектов в каталоге **templates**.

Примеры проектов в каталоге **projects** существуют двух типов:

– Проекты с управлением через регистры (например NIIET-DEV-K1921VG015);

– Проекты с использованием библиотек plib (например plib015).

Отличия состоят в том, что каждый из примеров проектов с управлением через регистры содержит весь набор необходимых файлов внутри проекта (каталог platform внутри каждого проекта) и могут быть скопированы в любую рабочую область и запущены локально. Примеры с использованием библиотек plib ссылаются на общий для всех проектов каталог platform расположенный в niiet_riscv_sdk (содержащий все необходимые файлы и библиотеки), поэтому данные примеры могут быть запущены из подкаталога SDK.

Шаблоны проектов в каталоге **templates** также существуют двух типов:

– Проекты с управлением через регистры (например k1921vg015-bare);

– Проекты с использованием библиотек (например k1921vg015-plib015).

Каждый из шаблонов проектов содержит внутри себя все необходимые файлы, а также библиотеки.

4.2 Использование глобальных определений в примерах проектов

Для удобства работы с примерами можно пользоваться глобальными определениями в настройках каждого проекта (см. рисунок 3.25 «Указание директив препроцессора»). Глобальные определения учитываются в файле system_k1921vg015.c (для K1921VG015) при сборке проекта.

С помощью глобальных определений можно:

– Указать частоту кварцевого резонатора, установленного на плате;

– Разрешить перенаправление функции printf в интерфейс UART (RETARGET);

– Выбрать источник системной частоты SYSCLK;

– Выбрать источник частоты для выходного тактового сигнала CLKOUT.

Типовые частоты для кварцевого резонатора, которые можно задать с помощью глобальных определений (необходимы для подбора коэффициентов делителей в PLL):

– 10 МГц;

– 12 МГц;

– 16 МГц;

– 20 МГц;

– 24 МГц.

Источники системной частоты на примере К1921ВГ015:

– SYSCLK_HSI – внутренний высокочастотный тактовый сигнал частотой 1 МГц (тактовый сигнал внутреннего RC-генератора);

– SYSCLK_HSE – внешний тактовый сигнал с выводов XI_OSC и XO_OSC;

– SYSCLK_PLL – тактовый сигнал с выхода 0 PLL;

– SYSCLK_LSI – внутренний низкочастотный тактовый сигнал частотой 32,768 кГц с блока RTC.

Источники частоты для выходного тактового сигнала CLKOUT на примере К1921ВГ015:

– CKO_HSI – внутренний высокочастотный тактовый сигнал частотой 1 МГц (тактовый сигнал внутреннего RC-генератора);

– CKO_HSE – внешний тактовый сигнал с выводов XI_OSC и XO_OSC;

– CKO_PLL0 – тактовый сигнал с выхода 0 PLL;

– CKO_LSI – внутренний низкочастотный тактовый сигнал частотой 32,768 кГц с блока RTC;

– CKO_NONE – запрет выходного тактового сигнала CLKOUT.

4.3 Выбор скрипта линкера

Имеется возможность использования различных скриптов линкера для сборки проекта под ОЗУ (для K1921VG015 – k1921vg015_ram.ld), ПЗУ (для K1921VG015 – k1921vg015_flash.ld) или TCM (для K1921VG3T – k1921vg3t_tcm.ld) при помощи указания файла скрипта в настройках проекта (См. Рисунок 3.26 – «Указание пути к скрипту линкера»). Данные скрипты находятся в каталоге platform→ldscripts.

5 Сборка проекта в makefile

Для сборки проекта можно воспользоваться makefile, расположенном в каталоге platform→Device→…→gcc. Имя проекта задается в строке 6 TARGET_NAME = …, а путь к компилятору в строке 8 COMPILER_PATH =…