

МИКРОСХЕМА ИНТЕГРАЛЬНАЯ  
1273ПА12Т

**Руководство пользователя**

2013

## Содержание

Введение .....	4
1 Назначение и основные характеристики микросхемы .....	5
1.1 Архитектурные характеристики микросхемы .....	5
1.2 Конструктивные характеристики микросхемы .....	5
1.3 Электрические характеристики микросхемы .....	9
2 Общая характеристика микросхемы.....	11
3 Описание устройства.....	13
3.1 Управление режимом через SPI .....	13
3.2 Описание регистров SPI.....	14
3.3 Последовательный интерфейс для управления регистрами .....	18
3.4 Общее описание последовательного интерфейса .....	18
3.5 Командный байт.....	19
3.6 Описание выводов последовательного интерфейса.....	20
3.7 MSB/LSB форматы передачи .....	20
3.8 Замечания относительно работы последовательного порта .....	22
3.9 Структура ЦАП.....	23
3.10 Работа ЦАП .....	24
3.11 Режим 1R/2R.....	26
3.12 Тактовый вход.....	26
3.13 Программируемая ФАПЧ .....	27
3.14 Рассеиваемая мощность .....	31
3.15 Режимы сна и низкого потребления мощности.....	33
3.16 Двухпортовый режим ввода данных .....	33
3.17 Двухпортовый режим ввода данных, ФАПЧ разрешена.....	34
3.18 Инверсия DATACLK.....	35
3.19 Нагрузочная способность формирователя DATACLK.....	35
3.20 Однопортовый режим, ФАПЧ разрешена.....	35
3.21 Инверсия ONEPORTCLK .....	37
3.22 Нагрузочная способность формирователя ONEPORTCLK .....	37
3.23 IQ спаривание.....	37
3.24 Двухпортовый режим, ФАПЧ запрещена .....	38
3.25 Однопортовый режим, ФАПЧ запрещена.....	39
3.26 Режимы цифрового фильтра.....	40
3.27 Амплитудная модуляция.....	42
3.28 Модуляция, интерполяция запрещена.....	43
3.29 Модуляция, интерполяция = $2\times$ .....	44
3.30 Модуляция, интерполяция = $4\times$ .....	45
3.31 Модуляция, интерполяция = $8\times$ .....	45
3.32 Ноль-дополнение .....	46
3.33 Модуляция (режим комплексного микширования) .....	48
3.34 Операции на комплексных сигналах .....	48
3.35 Комплексная модуляция и подавление боковой полосы.....	49

3.36 Подавление боковой полосы модулированных несущих.....	51
4 Указания по применению и эксплуатации .....	58
4.1 Источник опорного напряжения .....	58
4.2 Различные виды подключения выходных цепей.....	58
4.3 Небуферизованный дифференциальный выход .....	59
4.4 Дифференциальное подключение, использующее трансформатор.....	60
4.5 Дифференциальное подключение, использующее операционный усилитель .....	60
4.6 Рекомендации по обеспечению питания, заземления и экранирования	61
Заключение .....	63
Приложение А (обязательное) Термины, определения и буквенные обозначения параметров, не установленные действующими стандартами.....	64
Лист регистрации изменений .....	66

## **Введение**

Развитие цифровой техники и цифровых методов обработки сигналов определяет современные тенденции в разработке разнообразных устройств и приборов, при этом значительная роль принадлежит аналого-цифровому и цифро-аналоговому преобразованию. Такое преобразование широко используется во всех областях радиоэлектроники, в различной измерительной и контрольной аппаратуре, системах связи, радиовещании и телевидении.

Цифро-аналоговые преобразователи (ЦАП) предназначены для преобразования сигнала, определенного, как правило, в виде двоичного кода в напряжение или ток, пропорциональные значению цифрового кода.

Настоящее руководство КФДЛ.431328.018 предназначено для изучения интегральной микросхемы 1273ПА12Т, содержит описание принципа работы, технические характеристики и другие сведения, необходимые для полного использования ее технических возможностей.

## **1 Назначение и основные характеристики микросхемы**

1273ПА12Т – интегральная микросхема двойного 12-разрядного параллельного цифро-аналогового преобразователя (ЦАП) с токовым выходом.

Основной областью применения микросхемы является одноканальное и многоканальное передающее коммуникационное оборудование, использующее цифровую модуляцию. К нему относятся как беспроводные передающие системы базовых станций сотовой связи, так и кабельные передатчики, модемы и другое оборудование.

### **1.1 Архитектурные характеристики микросхемы**

Микросхема 1273ПА12Т имеет порт последовательного интерфейса, встроенный источник опорного напряжения, умножитель тактовой частоты, а в каждом канале имеются: параллельный интерфейс входных данных, цифровой квадратурный модулятор, пара комплементарных токовых выходов и цифровые интерполирующие фильтры. Микросхема питается от двух источников напряжением 1,8 В и одного – напряжением 3,3 В и имеет два режима пониженного потребления мощности.

Характеристики ЦАП:

- максимальная частота обновления выходных данных 550 МГц;
- максимальная частота обновления входных данных 160 МГц;
- разрядность 12 бит (4 096 значений выходного тока);
- дифференциальные токовые выходы IOUTA, IOUTB: максимальные токи  $I_{OUTA}$ ,  $I_{OUTB}$  от 2 до 20 мА;
- входные триггеры-защелки, срабатывающие по фронту тактового сигнала;
- диапазон температур окружающей среды: от минус 60 до 85 °С.

### **1.2 Конструктивные характеристики микросхемы**

Микросхема 1273ПА12Т выполнена в 88-выводном металлокерамическом корпусе 4235.88-1.

Масса микросхемы не более 4,5 г.

Условное графическое обозначение микросхемы приведено на рисунке 1.

Функциональное назначение выводов приведено в таблице 1.

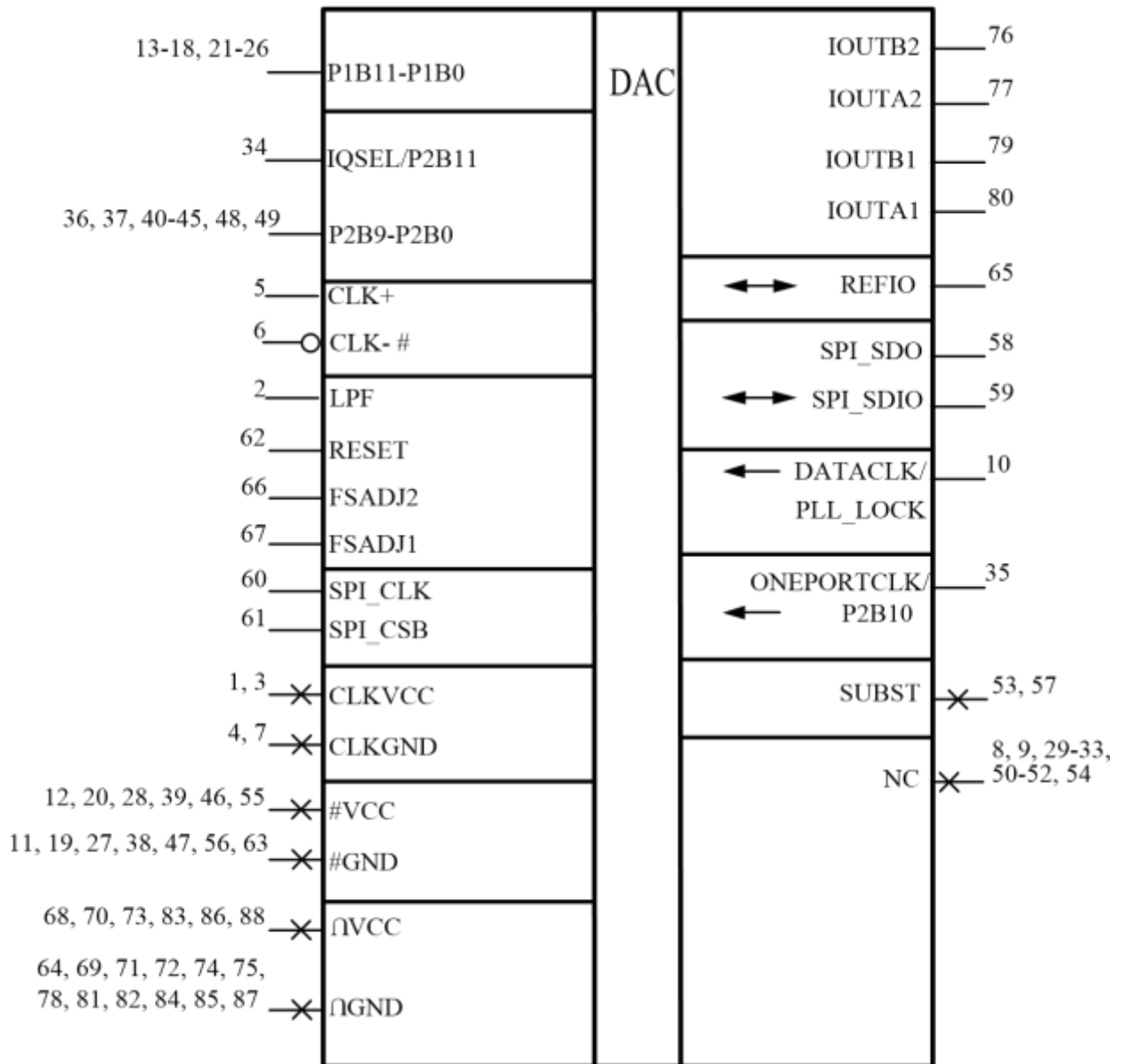


Рисунок 1 – Условное графическое обозначение ИС 1273ПА12Т

Таблица 1 – Функциональное назначение выводов микросхемы 1273ПА12Т

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода
1	2	3	4
2	LPF	Вход фильтра ФАПЧ	I
5	CLK+	Дифференциальный вход тактового сигнала, прямой вход	I
6	CLK-#	Дифференциальный вход тактового сигнала, инверсный вход	I
10	DATACLK/ PLL_LOCK	Вход тактовой частоты данных/ выход индикации захвата фазы ФАПЧ	I O
13–18, 21–26	P1B11–P1B0	Биты входных данных B11–B0 порта 1	I
34	IQSEL/ P2B11	Вход выбора канала/ бит входных данных B11 порта 2	I I
35	ONEPORTCLK/ P2B10	Выход тактовой частоты/ бит входных данных B10 порта 2	O I
36, 37, 40–45, 48, 49	P2B9–P2B0	Биты входных данных B9–B0 порта 2	I
58	SPI_SDO	Выход данных последовательного порта	O
59	SPI_SDIO	Вход/выход данных последовательного порта	I/O
60	SPI_CLK	Вход тактового сигнала последовательного порта	I
61	SPI_CSB	Вход разрешения работы последовательного порта	I
62	RESET	Сброс регистров последовательного порта	I
65	REFIO	Вход/выход ИОН	I/O
66	FSADJ2	Вход установки тока полной шкалы канала Q	I
67	FSADJ1	Вход установки тока полной шкалы канала I	I
76	IOUTB2	Дополнительный токовый выход ЦАП канала Q	O
77	IOUTA2	Прямой токовый выход ЦАП канала Q	O
79	IOUTB1	Дополнительный токовый выход ЦАП канала I	O
80	IOUTA1	Прямой токовый выход ЦАП канала I	O
8, 9, 29–33, 50–52, 54	NC	Неподключенные выводы	–
1, 3	CLKVCC	Вывод питания тактового сигнала	–
53, 57	SUBST	Подложка кристалла	–
4, 7	CLKGND	Общий вывод тактового сигнала	–

Окончание таблицы 1

1	2	3	4
11, 19, 27, 38, 47, 56, 63	#GND	Общий вывод цифровой части микросхемы	–
12, 20, 28, 39, 46, 55	#VCC	Вывод питания цифровой части микросхемы	–
68, 70, 73, 83, 86, 88	∩VCC	Вывод питания аналоговой части микросхемы	–
64, 69, 71, 72, 74, 75, 78, 81, 82, 84, 85, 87	∩GND	Общий вывод аналоговой части микросхемы	–
Примечание – Принятые условные обозначения в графе «Тип вывода»: <ul style="list-style-type: none"> <li>- I – вход;</li> <li>- O – выход;</li> <li>- I/O – вход/выход.</li> </ul>			



### 1.3 Электрические характеристики микросхемы

Электрические характеристики микросхемы 1273ПА12Т при приемке и поставке приведены в таблице 2.

Значения предельно допустимых электрических режимов эксплуатации в диапазоне рабочих температур приведены в таблице 3.

Термины, определения, сокращения и буквенные обозначения параметров – по ОСТ В 11 0998–99, ГОСТ 17021–88 и ГОСТ 19480–89.

Термины, определения и буквенные обозначения параметров, не установленные действующими стандартами, представлены в таблице А.1 приложения А.

Таблица 2 – Значения электрических параметров микросхемы 1273ПА12Т при приемке и поставке

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра		Температура среды, °С
		не менее	не более	
1 Внутреннее опорное напряжение, В, $U_{CC1} = 1,8 \text{ В}, U_{CC2} = 3,3 \text{ В}, U_{CC3} = 1,8 \text{ В}$	$U_{REF}$	1,08	1,32	–60 ± 3 25 ± 10 85 ± 3
2 Ток потребления от источника $U_{CC1}$ мА, $U_{CC1} = 1,98 \text{ В}, U_{CC2} = 3,6 \text{ В}, U_{CC3} = 1,8 \text{ В},$ $f_{CLK} = 25 \text{ МГц}$	$I_{CC1}$	–	10	
3 Ток потребления от источника $U_{CC2}$ мА, $U_{CC1} = 1,98 \text{ В}, U_{CC2} = 3,6 \text{ В}, U_{CC3} = 1,8 \text{ В},$ $f_{CLK} = 25 \text{ МГц}$	$I_{CC2}$	–	100	
4 Ток потребления от источника $U_{CC3}$ мА, $U_{CC1} = 1,98 \text{ В}, U_{CC2} = 3,6 \text{ В}, U_{CC3} = 1,8 \text{ В},$ $f_{CLK} = 25 \text{ МГц}$	$I_{CC3}$	–	10	
5 Интегральная нелинейность, МР, $U_{CC1} = 1,8 \text{ В}, U_{CC2} = 3,3 \text{ В}, U_{CC3} = 1,8 \text{ В}$	$E_L$	–6,5	6,5	
6 Дифференциальная нелинейность, МР, $U_{CC1} = 1,8 \text{ В}, U_{CC2} = 3,3 \text{ В}, U_{CC3} = 1,8 \text{ В}$	$E_{LD}$	–3,3	3,3	
7 Погрешность смещения характеристики, % от полной шкалы, $U_{CC1} = 1,8 \text{ В}, U_{CC2} = 3,3 \text{ В}, U_{CC3} = 1,8 \text{ В}$	OE	–0,03	0,03	
8 Динамический диапазон, свободный от помех, дБ, $U_{CC1} = 1,8 \text{ В}, U_{CC2} = 3,3 \text{ В}, U_{CC3} = 1,8 \text{ В},$ $f_{OUT} = 1 \text{ МГц}$	SFDR	80	–	
9 Отношение сигнал/шум, дБ, $U_{CC1} = 1,8 \text{ В}, U_{CC2} = 3,3 \text{ В}, U_{CC3} = 1,8 \text{ В},$ $f_{OUT} = 1 \text{ МГц}$	SNR	68	–	
10 Время установления (0,025 %), мкс, $U_{CC1} = 1,8 \text{ В}, U_{CC2} = 3,3 \text{ В}, U_{CC3} = 1,8 \text{ В}$	$t_s$	–	0,012	
Примечание – Параметры OE, $E_L$ , $E_{LD}$ при температуре минус 60 °С не измеряются, а гарантируются нормами при температуре (25 ± 10) °С.				

Таблица 3 – Значения предельно допустимых режимов эксплуатации микросхемы в диапазоне рабочих температур от минус 60 до 85 °С

Наименование параметра режима, единица измерения	Буквенное обозначение параметра	Предельно допустимый режим		Предельный режим	
		не менее	не более	не менее	не более
1 Напряжение питания цифровой части ИС, В	$U_{CC1}$	1,62	1,98	–	3,0
2 Напряжение питания аналоговой части ИС, В	$U_{CC2}$	3,0	3,6	–	5,0
3 Напряжение питания тактовой части ИС, В	$U_{CC3}$	1,62	1,98	–	3,0
4 Входное напряжение высокого уровня, В	$U_{IH}$	1,3	$U_{CC1}$	–	$U_{CC1} + 0,3$
5 Входное напряжение низкого уровня, В	$U_{IL}$	0	0,55	–0,3	–

## 2 Общая характеристика микросхемы

ИС 1273ПА12Т – сдвоенный интерполирующий ЦАП, состоящий из двух каналов данных, которые могут работать полностью независимо или соединенными в форме сложного модулятора в архитектуре с подавлением зеркальной боковой полосы. Каждый канал 1273ПА12Т содержит три КИХ-фильтра интерполятора. Скорости передачи входных и выходных данных могут быть достигнуты в пределах ограничений, указанных в таблице 4.

Таблица 4 – Значения коэффициентов интерполяции при различных диапазонах частот входных и выходных данных

Коэффициент интерполяции	Диапазон частоты выборки входных данных (MSPS)	Диапазон частоты опроса ЦАП
1	160	160
2	160	320
4	140	550
8	70	550

Каждый канал данных содержит цифровой модулятор, способный смешивать поток данных с сигналом гетеродина (LO) частоты  $f_{DAC}/2$ ,  $f_{DAC}/4$  или  $f_{DAC}/8$ , где  $f_{DAC}$  – частота выходных данных ЦАП. Функция дополнения нулями также может быть включена для улучшения равномерности АЧХ в полосе пропускания, или компенсации затухания, вносимого выходной характеристикой  $\sin(x)/x$  ЦАП. Быстродействие 1273ПА12Т вместе с возможностью цифровой модуляции позволяет реализовать архитектуру прямого преобразования промежуточной частоты от 70 МГц и выше.

Цифровые модуляторы на 1273ПА12Т могут быть объединены в форму сложного модулятора. При использовании этой особенности с внешним аналоговым квадратурным модулятором может быть создана архитектура с подавлением зеркальной боковой полосы. Чтобы оптимизировать подавление зеркальной боковой полосы также, как и проникновение сигнала гетеродина в этой архитектуре, 1273ПА12Т предлагает программируемые (через порт SPI) усиление и смещение для каждого канала ЦАП.

ИС 1273ПА12Т содержит ФАПЧ (PLL), генератор тактовых импульсов и внутренний опорный источник напряжением 1,2 В. Когда PLL разрешен, частота тактовых импульсов, приложенных к CLK+/CLK-#, умножается, и генерируются все необходимые внутренние синхросигналы. Каждый канал ЦАП снабжен двумя комплементарными токовыми выходами, полные токи которых могут быть определены для обоих каналов единственным внешним резистором или для каждого канала от отдельного резистора, см. подраздел 3.11. ИС 1273ПА12Т обладает низким «джиттером». Дифференциальный вход источника тактовых импульсов обеспечивает высокое подавление шумов, принимая синусоидальный или прямоугольный сигнал на входе. Для каждого функционального блока предоставлены отдельные выводы напряжения

питания, чтобы гарантировать оптимальные характеристики по шуму и искажениям.

Режимы сна или низкого потребления мощности могут использоваться, чтобы отключить выходной ток ЦАП (режим сна) или все цифровые и аналоговые части микросхемы (режим низкого потребления мощности). Порт последовательного интерфейса SPI используется для программирования многих функций ИС 1273ПА12Т. Отметим, что в режиме низкого потребления порт SPI остается активным.

### 3 Описание устройства

#### 3.1 Управление режимом через SPI

Карта регистров SPI представлена в таблице 5.

Таблица 5 – Карта регистров SPI (значения по умолчанию выделены жирным шрифтом)

Адрес	Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0
00h	SDIO двунаправленный <b>0 = Вход</b> 1=I/O	LSB, MSB первый <b>0 = MSB</b> 1 = LSB	Сброс по логической 1	Режим бездействия, логическая 1 закрывает токи на входе ЦАП	Режим малой мощности, логическая 1 запрещает цифро-аналоговые функции	Режим 1R/2R <b>0= 2R</b> , 1=1R	Индикатор PLL_LOCK	
01h	Коэффициент интерполяции (1×, 2×, 4×, 8×)	Коэффициент интерполяции (1×, 2×, 4×, 8×)	Режим модуляции ( <b>нет</b> , $f_{DAC}/2$ , $f_{DAC}/4$ , $f_{DAC}/8$ )	Режим модуляции ( <b>нет</b> , $f_{DAC}/2$ , $f_{DAC}/4$ , $f_{DAC}/8$ )	<b>0 = нет заполнения нулями</b> 1 = есть заполнение нулями	<b>1 = реальное смешивание</b> 0 = комплексное смешивание	$0 = e^{-j\omega t}$ $1 = e^{+j\omega t}$	DATACLK/PLL_LOCK <sup>1)</sup> выбор <b>0 = PLL_LOCK</b> 1 = DATACLK
02h	<b>0 = дополнительный код</b> 1 = прямой код	<b>0 = два порта</b> 1 = один порт	DATACLK мощность формирователя	DATACLK инверсия <b>0 = нет инверсии</b> 1=инверсия		ONEPORTCLK инверсия <b>0 = нет инверсии</b> 1=инверсия	IQSEL инверсия <b>0 = нет инверсии</b> 1=инверсия	I или Q первый <b>0 = I первый</b> 1 = Q первый
03h	Источник clk <sup>1)</sup> <b>0=DATACLK</b> 1=SDO						PLL коэффициент деления	PLL коэффициент деления
04h	<b>0 = PLL выключен</b> 1 = PLL включен	<b>0 = Автомат управления подкачкой заряда</b> , 1 = программир				PLL управление подкачкой заряда	PLL управление подкачкой заряда	PLL управление подкачкой заряда
05h	IDAC усиление плавно	IDAC усиление плавно	IDAC усиление плавно	IDAC усиление плавно	IDAC усиление плавно	IDAC усиление плавно	IDAC усиление плавно	IDAC усиление плавно
06h					IDAC усиление грубо	IDAC усиление грубо	IDAC усиление грубо	IDAC усиление грубо
07h	IDAC смещение Бит 9	IDAC Смещение Бит 8	IDAC смещение Бит 7	IDAC смещение Бит 6	IDAC смещение Бит 5	IDAC смещение Бит 4	IDAC смещение Бит 3	IDAC смещение Бит 2
08h	IDAC <b>0 = I<sub>OFFSET</sub> на I<sub>OUTA</sub></b> 1 = I <sub>OFFSET</sub> на I <sub>OUTB</sub>						IDAC смещение Бит 1	IDAC смещение Бит 0
09h	QDAC плавная регулировка усиления	QDAC плавная регулировка усиления	QDAC плавная регулировка усиления	QDAC плавная регулировка усиления	QDAC плавная регулировка усиления	QDAC плавная регулировка усиления	QDAC плавная регулировка усиления	QDAC плавная регулировка усиления
0Ah					QDAC усиления грубо	QDAC усиления грубо	QDAC усиления грубо	QDAC усиления грубо
0Bh	QDAC смещение Бит 9	QDAC смещение Бит 8	QDAC смещение Бит 7	QDAC смещение Бит 6	QDAC смещение Бит 5	QDAC смещение Бит 4	QDAC смещение Бит 3	QDAC смещение Бит 2
0Ch	QDAC <b>0 = I<sub>OFFSET</sub> на I<sub>OUTA</sub></b> 1 = I <sub>OFFSET</sub> на I <sub>OUTB</sub>						QDAC смещение Бит 1	QDAC смещение Бит 0
0Dh					Версия регистра	Версия регистра	Версия регистра	Версия регистра

<sup>1)</sup> Для дополнительной информации смотри подраздел «Двухпортовый режим ввода данных».

## 3.2 Описание регистров SPI

Адрес 00h.

Бит 7. Логический ноль (по умолчанию) активизирует SPI\_SDIO как вход во время передачи данных (фаза 2) цикла передачи. Когда установлена логическая единица, SPI\_SDIO может работать как вход или выход, в зависимости от состояния бита 7 командного байта (R/W).

Бит 6. Значение логического нуля (по умолчанию): MSB первым. Определяет порядок (LSB/MSB первым) передачи разрядов в передаваемом байте. Полная информация – в подразделе 3.7 настоящего руководства.

Бит 5. Запись единицы в этот бит сбрасывает регистры в значения по умолчанию и перезапускает контроллер последовательного порта. Бит сброса всегда читается как ноль. Однако высокий уровень на этом выводе возвращает все регистры, включая и эти, в регистре 00 в их состояние по умолчанию.

Бит 4. Режим сна. Уровень логической единицы в этом бите выключает выходы ЦАП.

Бит 3. Выключение питания. Логическая единица запрещает все аналоговые и цифровые функции за исключением порта SPI.

Бит 2. Режим 1R/2R. Значение по умолчанию (0) переводит 1273ПА12Т в режим 2R. В этом режиме  $I_{REF}$  токи для I и Q ЦАП устанавливаются отдельно резисторами  $R_{SET}$  на FSADJ2 и FSADJ1 (выводы 66 и 67). В режиме 2R при установке грубой регулировки усиления – на полную шкалу, а плавной регулировкой усиления – на 0,  $I_{FULLSCALE1} = 32 \times U_{REF}/FSADJ1$  и  $I_{FULLSCALE2} = 32 \times U_{REF}/FSADJ2$ . С установкой этого бита в единицу опорные токи для обоих I и Q ЦАП управляются единственным резистором на выводе 67.  $I_{FULLSCALE}$  в режиме 1R для обоих I и Q ЦАП равен половине того, который был бы в режиме 2R, подразумевая, что все другие условия ( $R_{SET}$ , установка регистра) остаются неизменными. В режиме 1R ток полной шкалы каждого ЦАП может быть установлен в 20 мА при условии, что величина резистора будет равна половине значения  $R_{SET}$ , используемого в режиме 2R.

Бит 1. Индикатор PLL\_LOCK. Когда PLL разрешен, логическая единица показывает, что ФАПЧ находится в состоянии захвата (захвачен). Логический ноль указывает, что ФАПЧ не захвачен.

Адрес 01h.

Биты 7, 6. Коэффициенты интерполяции фильтра выбираются согласно таблице 6.

Таблица 6

Бит 7, бит 6	Коэффициент
00	1
01	2
10	4
11	8

Биты 5, 4. Режимы модуляции выбираются согласно таблице 7.

Таблица 7

Бит 5, бит 4	Модуляция
00	нет
01	$f_s/2$
10	$f_s/4$
11	$f_s/8$

Бит 3. Логическая единица разрешает режим дополнения нулями для интерполирующих фильтров. По умолчанию – логический ноль.

Бит 2. Логическая единица (по умолчанию) разрешает режим реального смешивания. Каналы передачи данных I и Q модулируются ( $f_s/2$ ,  $f_s/4$  или  $f_s/8$ ) после фильтров интерполяторов. Однако, конфигурация для получения комплексной модуляции не создается, и промодулированные данные I и Q в дальнейшем не смешиваются. В режиме комплексного смешивания (логический ноль) цифровые модуляторы каналов I и Q объединяются для создания комплексного цифрового модулятора. Когда ИС 1273ПА12Т применяется вместе с внешним квадратурным модулятором, то подавление зеркального канала может быть получено на частоте выше или ниже вторичной промежуточной частоты (т.е. LO внешнего аналогового квадратурного модулятора) согласно значению бита 1 регистра 01.

Бит 1. Логический ноль (по умолчанию) обуславливает комплексную модуляцию (формы  $e^{-j\omega t}$ ) с подавлением верхней боковой полосы (при условии использования ИС 1273ПА12Т вместе с внешним квадратурным модулятором). Логическая единица обуславливает комплексную модуляцию (формы  $e^{+j\omega t}$ ) с подавлением нижней боковой полосы.

Бит 0. В двухпортовом режиме значение логического ноля (по умолчанию) делает вывод 10 DATACLK/PLL\_LOCK индикатором захвата внутренней ФАПЧ. Логическая единица делает вывод 10 работающим, как выход DATACLK. Полная информация – в подразделе 3.16 настоящего руководства.

Адрес 02h.

Бит 7. Логический ноль (значение по умолчанию) позволяет принимать входные данные в двоично-дополнительном коде. Логическая единица позволяет принимать данные в прямом двоичном коде.

Бит 6. Логический ноль (по умолчанию) переключает 1273ПА12Т в двухпортовый режим. Данные каналов I и Q вводятся через порт 1 и порт 2 соответственно. Логическая единица переводит ИС 1273ПА12Т в режим одного порта, в котором чередующиеся данные каналов I и Q подаются на вход порта 1. Подробная информация по использованию DATACLK/PLL\_LOCK, IQSEL и режима ONEPORTCLK содержится в разделах 3.16 и 3.17.

Бит 5. Уровень мощности DATACLK. С запрещенной ФАПЧ и при установке этого бита в ноль рекомендуется буферизация DATACLK. При установке бита в значение логической единицы, DATACLK работает как усиленный драйвер, способный возбуждать небольшую емкостную нагрузку.

Бит 4. По умолчанию устанавливается в значение логического нуля. Значение 1 инвертирует DATACLK на выводе 10.

Бит 2. По умолчанию устанавливается в значение логического нуля. Значение 1 инвертирует ONEPORTCLK на выводе 35.

Бит 1. Логический ноль (по умолчанию) вызывает IQSEL = 0, чтобы направить входные данные в канал I в то время, как IQSEL = 1 направляет входные данные в канал Q.

Бит 0. Значение логического нуля (по умолчанию) определяет порядок спаривания каналов как IQ, IQ,..., в то время, как установка логической единицы упорядочивает спаривание как QI, QI,...

Адрес 03h.

Бит 7. Направляет сигнал синхронизации данных (поделенный сигнал синхронизации ЦАП) либо на вывод DATACLK/PLL\_LOCK (вывод 10), либо на SPI\_SDO (вывод 58). Логический ноль (по умолчанию) будет разрешать сигнал синхронизации данных на выводе DATACLK/PLL\_LOCK в то время, как логическая единица будет разрешать сигнал синхронизации данных на выводе SPI\_SDO. Для получения дополнительной информации см. подраздел 3.16 настоящего руководства.

Биты 1, 0. Установка коэффициента делителя к более высокому числу позволяет VCO в PLL работать на высокой частоте (для лучшей работы) в то время, как синхроимпульсы входа и выхода ЦАП работают существенно медленнее. Коэффициент деления выбирается согласно таблице 8.



Таблица 8

Бит 1, бит 0	Коэффициент деления
00	1
01	2
10	4
11	8

Адрес 04h.

Бит 7. Значение логического нуля (по умолчанию) запрещает внутренний ФАПЧ. Значение логической единицы разрешает ФАПЧ.

Бит 6. Значение логического нуля (по умолчанию) устанавливает управление генератором подкачки заряда в автоматический режим. В этом режиме токи смещения генератора управляются отношением делителя, определенным в 03-ем адресе битами 1 и 0. Логическая единица позволяет пользователю вручную определять ток смещения генератора подкачки заряда, используя 04-ый адрес, биты 2, 1 и 0. Корректировка тока смещения для генератора подкачки заряда позволяет пользователю оптимизировать характеристики шум/время установления для ФАПЧ.

Биты 2, 1, 0. Эти биты определяют токи смещения для генератора подкачки заряда согласно таблице 9.

Таблица 9

Биты 2, 1, 0	Ток, мкА
000	50
001	100
010	200
011	400
111	800

Адрес 05h, 09h.

Биты от 7 до 0. Данные биты представляют 8-битовое двоичное число (MSB = бит 7), которое определяет плавную регулировку усиления для канала I (05h) и канала Q (09h).

Адрес 06h, 0Ah.

Биты от 3 до 0. Данные биты представляют 4-битовое двоичное число (MSB = бит 3), которое определяет грубую регулировку усиления для канала I (06h) и канала Q (0Ah).

Адрес 07h, 0Bh.

Биты от 7 до 0. Эти биты используются в конъюнкции с битами 1, 0 регистров 08h, 0Ch для формирования величины смещения каналов I и Q, (см. таблицу 5).

Адрес 08h, 0Ch.

Биты 1, 0. 10 битов от этих двух пар адресов (07h, 08h и 0Bh, 0Ch) представляют 10-битовое двоичное число, которое определяет корректировку смещения в каналах I и Q согласно соотношениям (1) пункта 3.10 (07h, 0Bh бит 7 = MSB/08h, 0Ch бит 0 = LSB).

Бит 7. Этот бит определяет направление смещения в канале I (08h) и в канале Q (0Ch). Уровень логического ноля прикладывает положительное смещение к току  $I_{OUTA}$  в то время, как уровень логической единицы прикладывает положительное смещение к току  $I_{OUTB}$ . Величина тока смещения определяется битами в адресах 07h, 08h, 0Bh, 0Ch, согласно соотношениям (1) пункта 3.10. В соотношениях (1) токи  $I_{OUTA}$  и  $I_{OUTB}$  показаны как функции плавной и грубой регулировки и корректировки смещения для режима 2R. В режиме 1R ток  $I_{REF}$  создан единственным резистором FSADJ1 (вывод 67). Этот ток делится поровну между каналами, так что коэффициент 1/2 должен быть добавлен в это уравнение для шкалы и смещения для обоих каналов.

### **3.3 Последовательный интерфейс для управления регистрами**

Последовательный порт ИС 1273ПА12Т – адаптивный, синхронный, который позволяет легко создавать интерфейс со многими промышленными микроконтроллерами и микропроцессорами. Последовательный I/O совместим с большинством синхронных форматов передачи данных, включая оба протокола Motorola SPI и Intel SSR. Интерфейс позволяет осуществлять чтение/запись всех регистров, расположенных в ИС 1273ПА12Т.

Поддерживается однобайтовая или многобайтовая передача так же, как и форматы первым MSB или LSB. Порт последовательного интерфейса может быть сконфигурирован с одним двунаправленным выводом SPI\_SDIO или с двумя однонаправленными выводами: SPI\_SDI – для ввода и SPI\_SDO – для вывода.

### **3.4 Общее описание последовательного интерфейса**

Есть две фазы цикла передачи данных ИС 1273ПА12Т. Фаза 1 – командный цикл, который записывает командный байт в контроллер 1273ПА12Т синхронно с первыми восемью импульсами SCLK по возрастающему фронту. Командный байт предоставляет контроллеру последовательного интерфейса 1273ПА12Т информацию относительно обмена данными, который является фазой 2 этого цикла передачи данных. Командный байт фазы 1 определяет, считываются ли поступающие данные

или записываются; он также определяет число байт в фазе обмена данными и стартовый адрес регистра для первого байта. Первые восемь положительных импульсов SCLK каждого цикла передачи данных используются, чтобы записать командный байт в контроллер 1273ПА12Т. Остальные фронты SCLK – для фазы 2 цикла передачи. Фаза 2 – это фактическая передача данных между контроллером 1273ПА12Т и системным контроллером. Фаза 2 цикла – это передача от одного до четырех байт данных, в зависимости от того, как определено командным байтом. Обычно использование передачи на один мультибайт является более предпочтительным методом. Однако, передачи одиночного байта полезны для уменьшения лишних циклов центрального процессора, когда для доступа к регистру требуется только один байт. Регистры изменяются тотчас на записи последнего бита каждого передаваемого байта.

Значение логической единицы на выводе SPI\_CSБ сбросит последовательный интерфейс в начальное состояние командного цикла. Это произойдет независимо от текущего состояния внутренних регистров или сигналов на входах SPI. Если порт последовательного интерфейса находится в середине командной фазы или в фазе передачи данных, то никакие данные не будут записаны.

### 3.5 Командный байт

Командный байт содержит информацию, приведенную в таблице 10.

Таблица 10

N1	N0	Описание
0	0	Передача 1 байта
0	1	Передача 2 байт
1	0	Передача 3 байт
1	1	Передача 4 байт

R/W.

Бит 7 из управляющего байта определяет, произойдет чтение или запись данных после командного байта. Логическая единица означает чтение. Логический ноль – запись.

N1, N0.

Биты 6 и 5 из управляющего байта определяют число байт, которые будут переданы во время цикла передачи данных. Дешифровка бит показана в следующей таблице 11.

Таблица 11

MSB							LSB
I7	I6	I5	I4	I3	I2	I1	I0
R/W	N1	N0	A4	A3	A2	A1	A0

A4, A3, A2, A1, A0.

Биты 4, 2, 3, 1 и 0 из управляющего байта определяют, к какому регистру получают доступ во время передачи данных в цикле связи. Для мультибайтовой передачи этот адрес – стартовый адрес байта. Оставшиеся адреса регистра генерируются ИС 1273ПА12Т.

### 3.6 Описание выводов последовательного интерфейса

SPI\_CLK (вывод 60) – синхросигнал.

Вывод синхросигнала используется для синхронизации данных к ИС 1273ПА12Т и от нее и выполнения внутренних машинных команд.

Максимальная частота SPI\_CLK составляет 15 МГц. Ввод данных происходит по фронту SPI\_CLK. Вывод данных из ИС 1273ПА12Т происходит по спаду SPI\_CLK.

SPI\_CSБ (вывод 61) – выбор схемы.

Активный низкий уровень входа инициирует цикл передачи. Это позволяет использовать более одного устройства на одной и той же последовательной линии связи. Выводы SPI\_SDO и SPI\_SDIO будут в состоянии высокого импеданса, при высоком уровне сигнала на этом входе. Сигнал выбора схемы должен быть низким в продолжении всего цикла передачи.

SPI\_SDIO (вывод 59) — последовательные данные I/O.

Данные всегда записываются в ИС 1273ПА12Т на этом выводе. Однако, этот вывод может использоваться как двунаправленная линия данных. Конфигурацией этого вывода управляет бит 7 из 00 регистра. Значение по умолчанию – логический ноль, который конфигурирует вывод SPI\_SDIO как однонаправленный.

SPI\_SDO (вывод 58) — последовательный выход данных.

Данные считываются с этого вывода для протоколов, которые используют отдельные линии для передачи и получения данных. В случае, где ИС 1273ПА12Т работает в режиме с одним двунаправленным выводом I/O, этот вывод не выдает выходных данных и находится в состоянии высокого импеданса.

### 3.7 MSB/LSB форматы передачи

Последовательный порт ИС 1273ПА12Т может поддерживать оба формата данных: «MSB первый» или «LSB первый». Этой функциональной возможностью управляет бит 6 в нулевом регистре.

По умолчанию бит 6 = 0, т.е. MSB первый. Когда этот бит находится на активном высоком уровне, последовательный порт ИС 1273ПА12Т находится в формате «LSB первый». В режиме «LSB первый» байт команды и байты данных должны записываться от LSB к MSB; внутренний байт генератора адреса наращивается для каждого байта многобайтового цикла передачи.

Когда данный бит находится на низком уровне, последовательный порт ИС 1273ПА12Т находится в формате «MSB первый». В режиме MSB первый байт команды и байты данных должны записываться от MSB к LSB.

Увеличение от 1Fh изменяет генератор адреса к 00h. Уменьшение от 00h изменяет генератор адреса к 1Fh. Диаграммы форматов и направлений передачи данных показаны на рисунках 2 – 5.

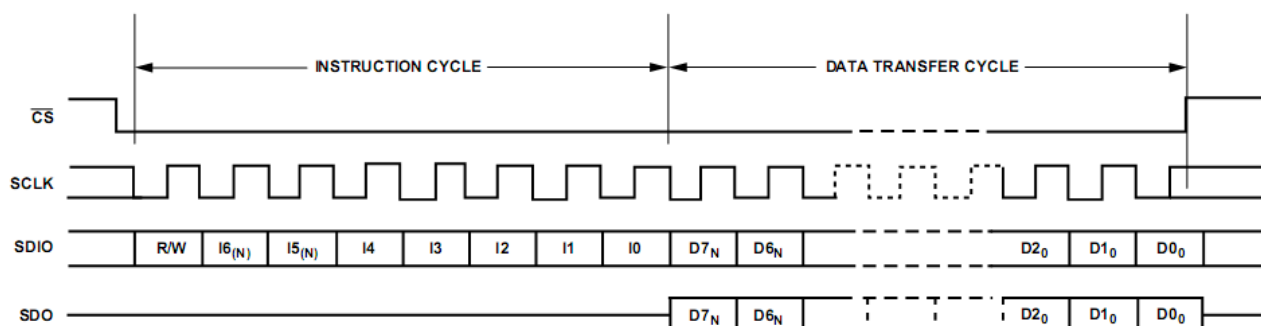


Рисунок 2 – Формат «MSB первый»

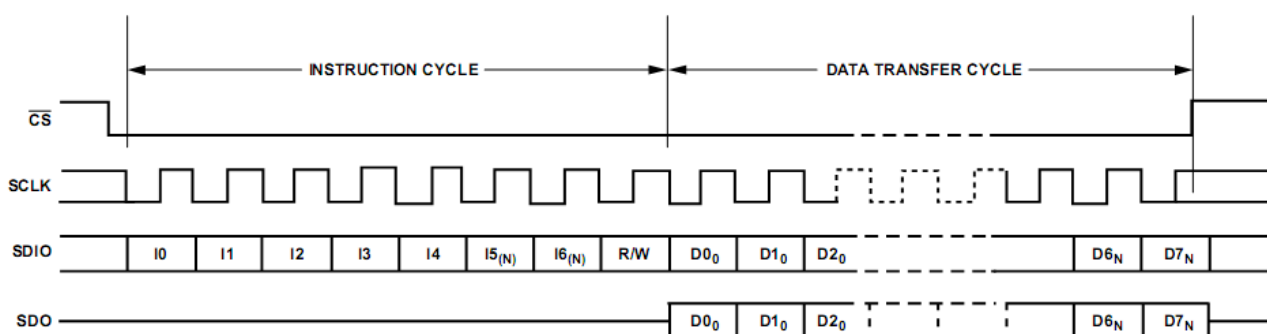


Рисунок 3 – Формат «LSB первый»

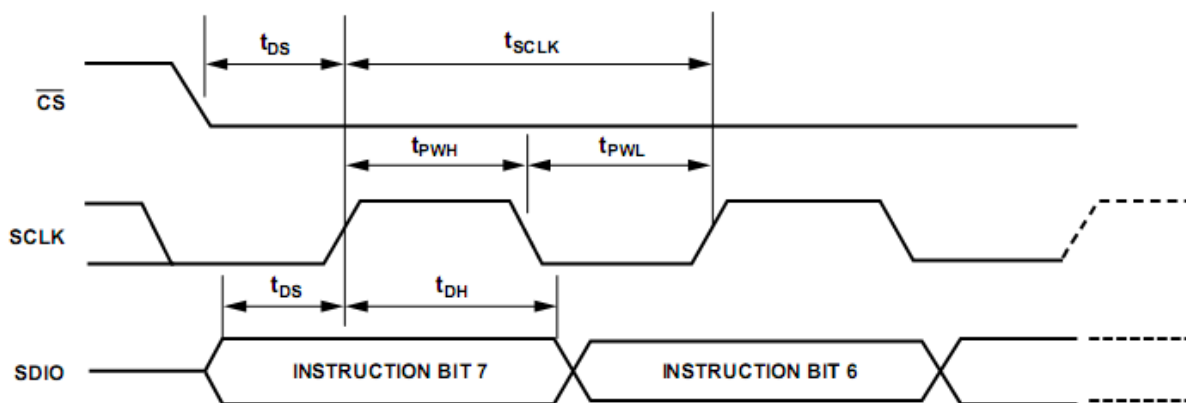


Рисунок 4 –Режим записи в регистр ИС 1273ПА12Т

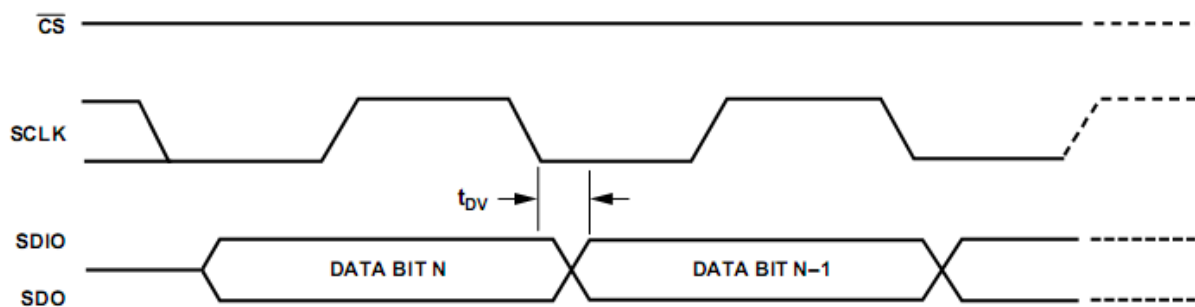


Рисунок 5 –Чтение из регистра ИС 1273ПА12Т

### 3.8 Замечания относительно работы последовательного порта

Биты 6 и 7 из регистра с адресом 00h являются битами конфигурации последовательного порта ИС 1273ПА12Т. Важно отметить, что конфигурация изменяется тотчас на записи последнего бита в регистр. Для многобайтовой передачи запись в этот регистр может произойти в середине цикла передачи. Необходимо позаботиться о компенсации для остающихся байтов текущего цикла передачи.

Те же самые соображения относятся к установке бита сброса в регистре 00h. Все другие регистры устанавливаются в их значения по умолчанию, но биты регистра 00h программный сброс не затрагивает.

Рекомендуется использовать передачу одиночного байта для изменения конфигурации последовательного порта или иницируя программный сброс.

Запись в разряды 1, 2 и 3 регистра 00h тех же самых логических уровней из разрядов 7, 6 и 5 (битовая комбинация XY1001YX) позволяет пользователю повторно программировать потерянную конфигурацию последовательного порта и сбрасывать регистры в их значения по умолчанию. Вторая запись в регистр 00h со сбросом младшего бита и конфигурации последовательного порта, как указано выше (XY), перепрограммирует установочные параметры множителя OSC IN.

Измененная частота  $f_{SYSCLK}$  стабилизируется после максимум 200 циклов  $f_{MCLK}$  (эквивалентно времени пробуждения).

### 3.9 Структура ЦАП

Микросхема 1273ПА12Т содержит следующие функциональные блоки, представленные на рисунке 6:

- последовательный интерфейс (SPI);
- два канала ЦАП;
- входные триггеры-защелки I, Q;
- умножитель частоты тактового сигнала ФАПЧ;
- цифровые интерполяционные фильтры;
- регистры усиления/смещения;
- цифровой модулятор;
- источник опорного напряжения 1,2 В (ИОН).

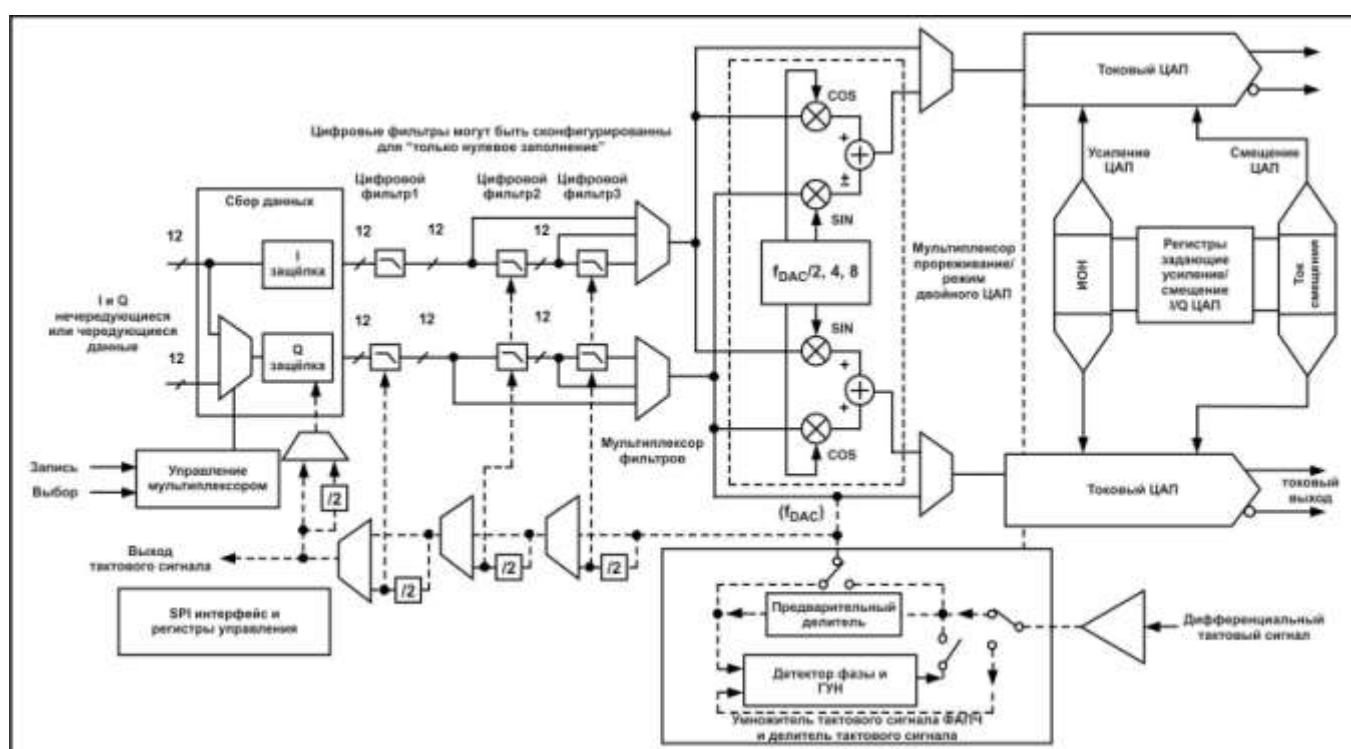


Рисунок 6 – Схема электрическая структурная микросхемы 1273ПА12Т

Микросхема имеет независимые выводы для питания аналоговых, цифровых, тактовых блоков и схемы умножения частоты. Для питания аналоговых блоков используются выводы  $\sphericalangle VCC$  и  $\sphericalangle GND$ . Для питания цифровых блоков используются выводы  $\#VCC$  и  $\#GND$ . Для питания тактовой схемы используются выводы  $CLKVCC$  и  $CLKGND$ .

### 3.10 Работа ЦАП

На рисунке 7 показан двойной 12-битовый выход ЦАП вместе с внутренним опорным источником, усилителем и регистрами управления усилением и смещением. Отметим, что внешний источник может использоваться для принудительного задания уровня внутреннего источника простой подачей выхода внешнего источника на вывод REFIO.

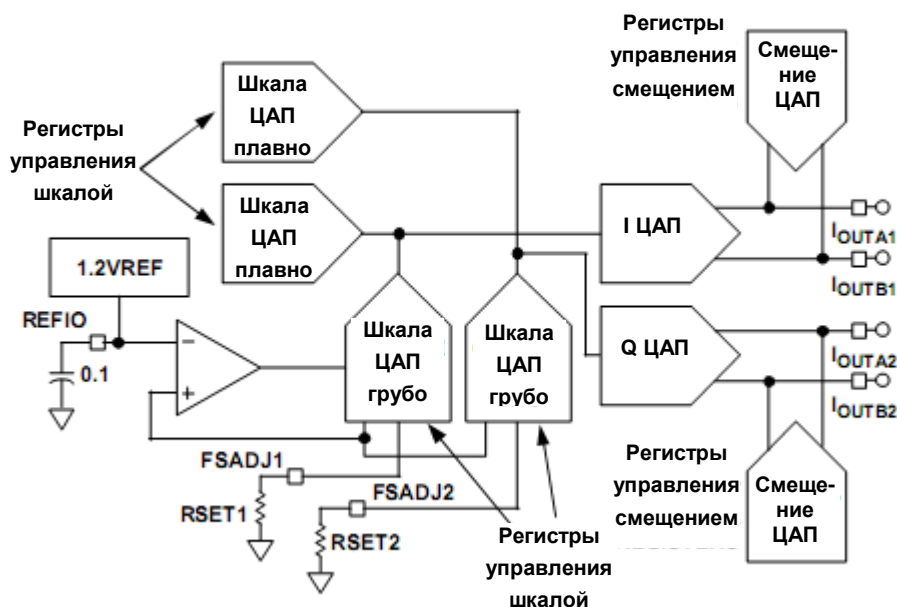


Рисунок 7 – Выходы ЦАП, масштабирование тока внутреннего источника и регулировка усиления/смещения

Соотношения (1) описывает функцию преобразования ЦАП.

$$I_{OUTA} = \left[ \left( \frac{6 \times I_{REF}}{8} \right) \left( \frac{COARSE + 1}{16} \right) - \left( \frac{3 \times I_{REF}}{32} \right) \left( \frac{FINE}{256} \right) \right] \times \left[ \left( \frac{1024}{24} \right) \left( \frac{DATA}{2^{12}} \right) \right]$$

$$I_{OUTB} = \left[ \left( \frac{6 \times I_{REF}}{8} \right) \left( \frac{COARSE + 1}{16} \right) - \left( \frac{3 \times I_{REF}}{32} \right) \left( \frac{FINE}{256} \right) \right] \times \left[ \left( \frac{1024}{24} \right) \left( \frac{2^{12} - DATA - 1}{2^{12}} \right) \right] \quad (1)$$

$$I_{OFFSET} = 4 \times I_{REF} \left( \frac{OFFSET}{1024} \right),$$

где DATA – значение регистра данных канала (входной код);

$I_{REF}$  – опорный ток, устанавливаемый внутренним источником 1,2 В и внешним резистором RSET;

COARSE, FINE – значения регистров грубой и плавной настройки, соответственно;

OFFSET – значения регистров смещения.

Согласно соотношениям (1), ток устанавливается внутренним источником 1,2VREF, внешним резистором RSET и значением регистра грубой настройки. Для IDAC и QDAC введено плавное усиление ЦАП,



которое масштабировано и равно 1024/24. Рисунок 8 показывает эффект масштабирования грубой и плавной регулировки ЦАП.

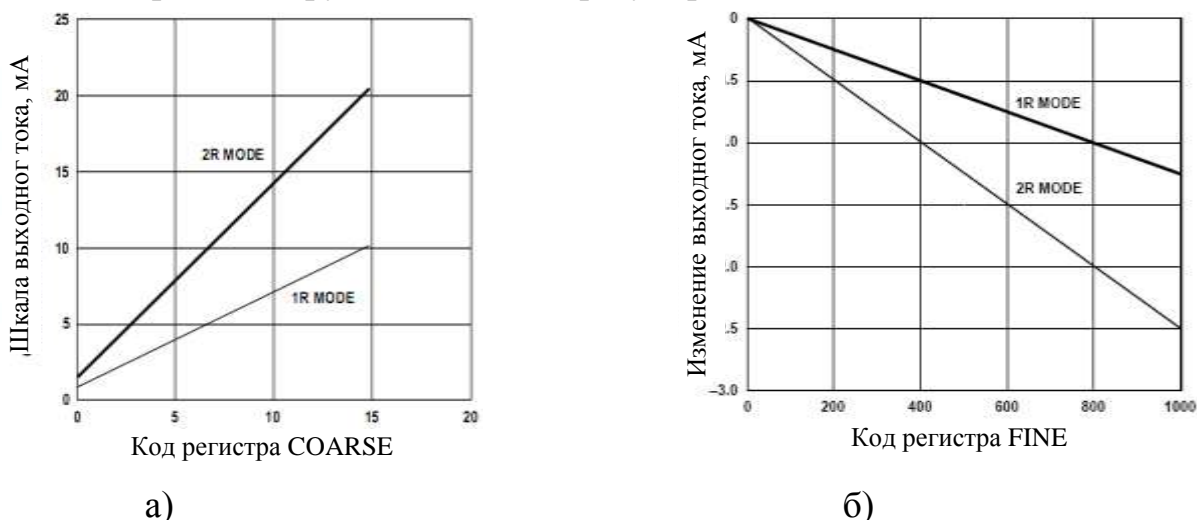


Рисунок 8 –  $I_{FULLSCALE}$ : а) усиление грубо; б) усиление плавно

IDAC и QDAC – PMOS матрицы источников тока, сегментированные в конфигурации 5-4-3. Пять старших разрядов регистра данных (DATA) P1B11 – P1B7 (P2B11 – P2B7) управляют старшей матрицей из 31 источника тока. Следующие четыре бита P1B6 – P1B3 (P2B6 – P2B3) управляют средней матрицей из 15 источников тока, значения которых равны 1/16 источника тока старшей матрицы. Три младших разряда P1B2 – P1B0 (P2B2 – P2B0) есть двоично-взвешенные доли (1/2, 1/4, 1/8) источника тока средней матрицы. Все источники тока подключены или к IOUTA, или к IOUTB, в зависимости от входного кода (DATA).

Управление смещением (OFFSET) определяет небольшой ток (см. рисунок 9), который может быть добавлен к IOUTA или IOUTB (не на оба) в каждом канале. Выбор выхода IOUT, на который направляется ток смещения, программируется через регистр 08h, бит 7 – (для IDAC) и регистр 0Ch, бит 7 – (для QDAC). Плавная регулировка усиления каждого канала приводит к улучшению баланса квадратурной амплитудной модуляции (QAM), улучшению точности модуляции и подавлению зеркальной боковой полосы.

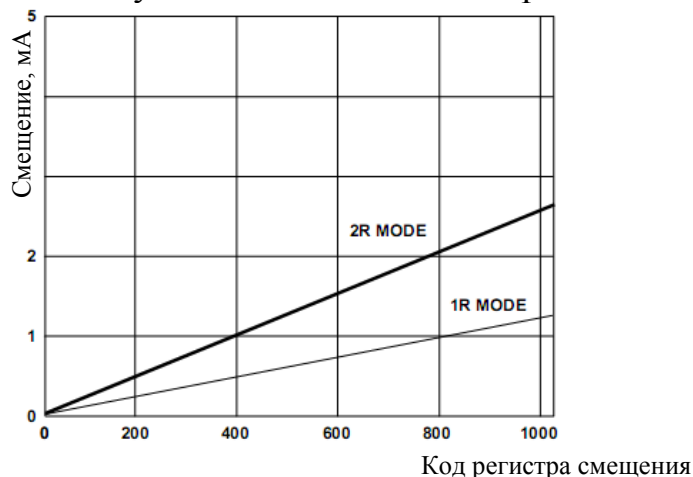


Рисунок 9 – Смещение выходного тока ЦАП

### 3.11 Режим 1R/2R

В режиме 2R опорный ток для каждого канала устанавливается независимо резистором FSADJ на этом канале. В режиме 1R 1273ПА12Т включен таким образом, чтобы формировать опорные токи от единственного резистора на выводе 67. Функция преобразования в уравнениях (1) действительна для режима 2R. В режиме 1R ток образуется в единственном резисторе FSADJ1 и расщепляется поровну между этими двумя каналами. Вследствие этого, в режиме 1R к уравнениям (1) должен быть применен коэффициент масштабирования 0,5. Полномасштабный ток ЦАП в режиме 1R может быть равен 20 мА при использовании внутреннего источника 1,2 В и резистора на 950 Ом вместо 1,9 кОм, обычно используемого в режиме 2R.

### 3.12 Тактовый вход

Тактовые входы ИС 1273ПА12Т могут возбуждаться дифференциально или несимметрично. У внутренней тактовой схемы есть линии питания и земли (CLKVCC, CLKGND), которые отделяются от другого питания на кристалле, чтобы минимизировать «jitter» от внутренних источников шума. На рисунке 10 показан ЦАП 1273ПА12Т, управляемый несимметричным тактовым источником. Выводы CLK+/CLK-# формируют дифференциальный вход (CLKIN) так, чтобы неиспользуемый вход был смещен по постоянному току к уровню среднего значения напряжения управляемого тактового входа.

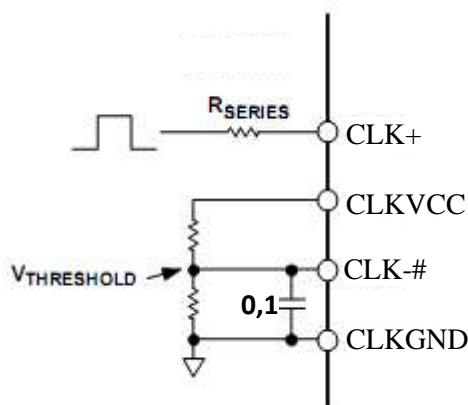


Рисунок 10 – Несимметричное управление тактовым входом

Конфигурация для дифференциального управления тактовым входом показана на рисунке 11. Разделительные конденсаторы по постоянному току могут быть соединены с выходом формирователя тактовых импульсов, размах напряжения которого превышает CLKVCC или CLKGND. Если размах напряжения формирователя находится в пределах диапазона питания ИС 1273ПА12Т, то разделительные конденсаторы и смещающие резисторы не нужны.

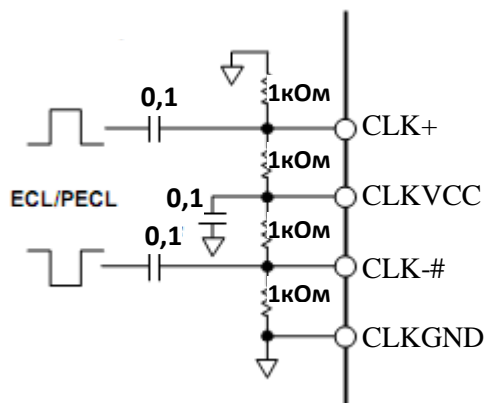


Рисунок 11 – Дифференциальное управление тактовым входом

Для преобразования однопроводного тактового сигнала в дифференциальный может использоваться трансформатор. Оптимальная эффективность ИС 1273ПА12Т достигается размещением формирователя очень близко к тактовому входу, что позволяет подавить всякое негативное влияние линии передачи, например, такое, как отражения из-за несогласованности.

Качество сигналов тактовых импульсов и входных данных особенно важно в достижении оптимальных рабочих характеристик. Схема внешнего формирователя тактовых импульсов должна иметь низкий «джиттер», подходящие логические уровни и короткие фронты. Хотя короткий фронт тактового сигнала уменьшает «джиттер», который проявляет себя как фазовый шум при восстановлении формы выходного аналогового сигнала, высокое усиление широкополосного компаратора тактового входа 1273ПА12Т допускает использование дифференциального сигнала синусоидальной формы с размахом не менее 0,5 В р-р и минимальной деградацией по уровню шума на выходе.

### 3.13 Программируемая ФАПЧ

Тактовый вход CLKIN может функционировать или как тактовый сигнал для входных данных (если ФАПЧ разрешена), или как тактовый сигнал данных ЦАП (если ФАПЧ заблокирована) соответственно состоянию бита 7 в регистре 04 последовательного порта. Принцип работы внутренней схемы синхронизации ИС 1273ПА12Т в этих двух режимах проиллюстрирован на рисунках 12 и 13.

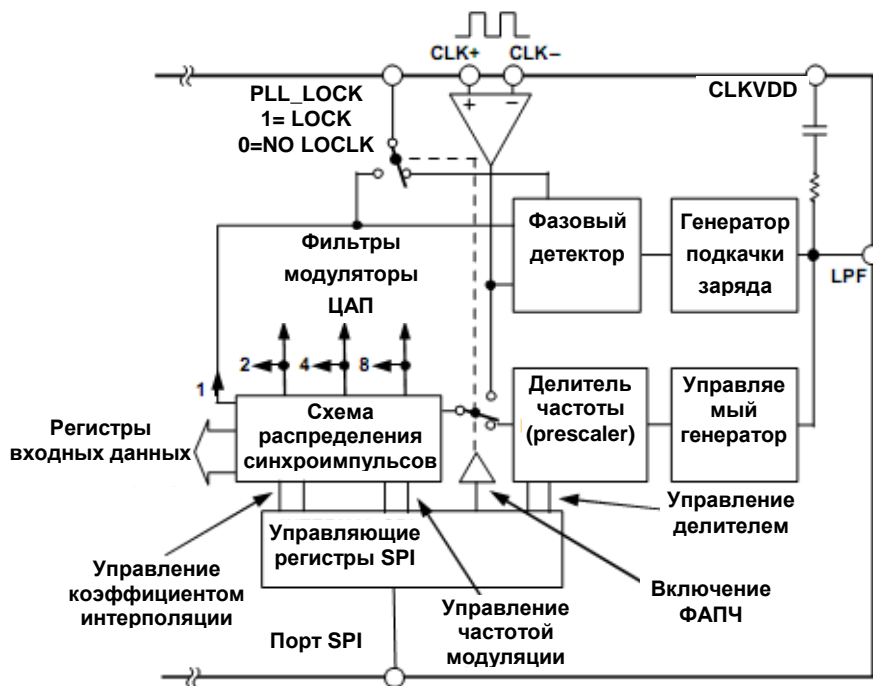


Рисунок 12 – ФАПЧ и схема синхроимпульсов с разрешенной ФАПЧ

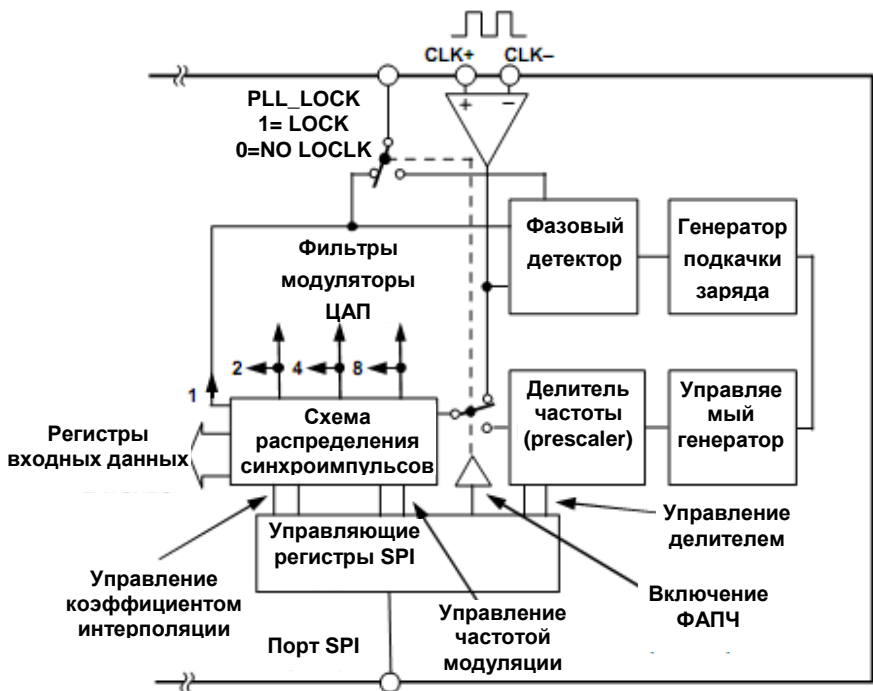


Рисунок 13 – ФАПЧ и схема синхроимпульсов с запрещенной ФАПЧ

Тактовый ФАПЧ умножитель и схема распределения вырабатывают необходимую внутреннюю синхронизированную 1×, 2×, 4× и 8× смесь для триггерных защелок, фильтров интерполяторов, модуляторов и ЦАП. Эта схема состоит из фазового детектора, генератора подкачки заряда, управляемого напряжением генератора (VCO), делителя частоты, схемы распределения тактовых сигналов и регистра управления последовательного порта (SPI). Генератор подкачки заряда, буфер дифференциального тактового

входа, фазовый детектор, делитель частоты и распределитель синхросигналов получают питание от CLKVCC. Состояние ФАПЧ индицируется логическим сигналом на выводе PLL\_LOCK, как состояние бита 1, регистра 00. Чтобы гарантировать оптимальный фазовый шум от ФАПЧ, умножителя и распределителя тактовых сигналов, питание CLKVCC должно исходить из чистого аналогового источника. Таблица 12 определяет минимальную частоту ввода входных данных в зависимости от показателя интерполяции и значения делителя ФАПЧ. Если частота передачи входных данных окажется ниже определенного уровня, то фазовый шум VCO может значительно увеличиться. Частота VCO –  $f_{VCO}$ , МГц, зависит от скорости передачи входных данных  $f_{DATA}$ , коэффициента интерполяции и значения делителя частоты и определяется выражением:

$$f_{VCO} = f_{DATA} \times \text{коэффициент интерполяции} \times \text{значение делителя.}$$

Оптимальная эффективность с разрешенным ФАПЧ достигается с VCO, работающим на частоте от 450 до 550 МГц.

Таблица 12 – Оптимизация ФАПЧ

Коэффициент интерполяции	Установка делителя	Минимум $f_{DATA}$	Максимум $f_{DATA}$
1	1	32	160
1	2	16	160
1	4	8	112
1	8	4	56
2	1	24	160
2	2	12	112
2	4	6	56
2	8	3	28
4	1	24	100
4	2	12	56
4	4	6	28
4	8	3	14
8	1	24	50
8	2	12	28
8	4	6	14
8	8	3	7

Активация опции дополнения нулями удваивает частоту VCO. С разрешенным PLL может немного возрасти фазовый шум. Рисунок 14 иллюстрирует типичный уровень фазового шума 1273ПА12Т с интерполяцией  $2\times$  и различной скоростью входных данных. Сигнал, синтезированный для измерения фазового шума, состоит только из одной несущей частоты  $f_{DATA}/4$ . Периодический характер этого сигнала устраняет шумы квантования и искажения при измерении.

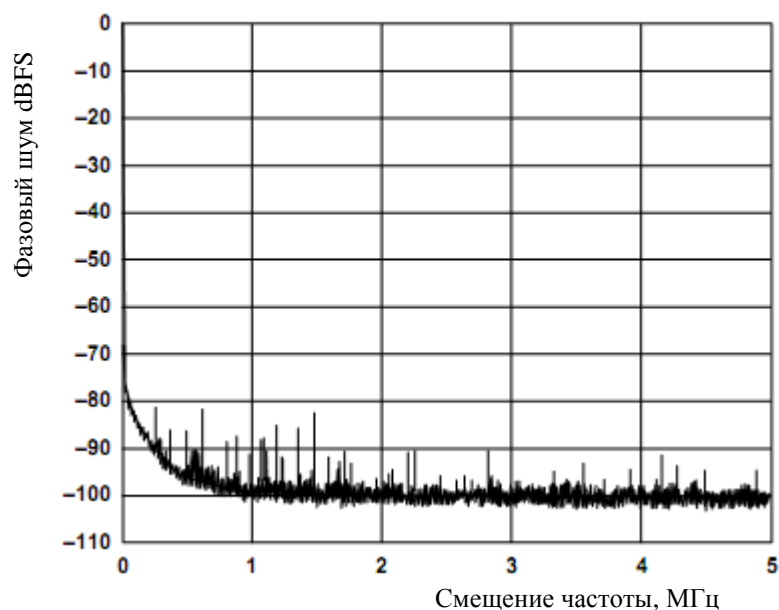


Рисунок 14 –Характеристика фазового шума

Хотя кривые на рисунке 14 сливаются воедино, различие условий проясняется в таблице 13.

Таблица 13 – Требуемая норма делителя частоты ФАПЧ относительно  $f_{DATA}$

$f_{DATA}$ (MSPS)	ФАПЧ	Коэффициент делителя
125	Запрещен	
125	Разрешен	div 1
100	Разрешен	div 2
75	Разрешен	div 2
50	Разрешен	div 4

Таблица 12 поясняет параметры настройки делителя ФАПЧ относительно коэффициента интерполяции, максимальной и минимальной частоты  $f_{DATA}$ . Отметим, что максимальная частота  $f_{DATA} = 160$  MSPS, является предельной частотой ввода данных 1273ПА12Т. Однако, максимальная частота меньшая, чем 160 MSPS, и все минимальные частоты  $f_{DATA}$  зависят от максимальных и минимальных частот внутреннего генератора, управляемого напряжением (ГУН) ФАПЧ. На рисунке 15 показана типичная работа сигнала PLL\_LOCK ФАПЧ (вывод 10 или 58), когда ФАПЧ находится в процессе захватывания частоты.

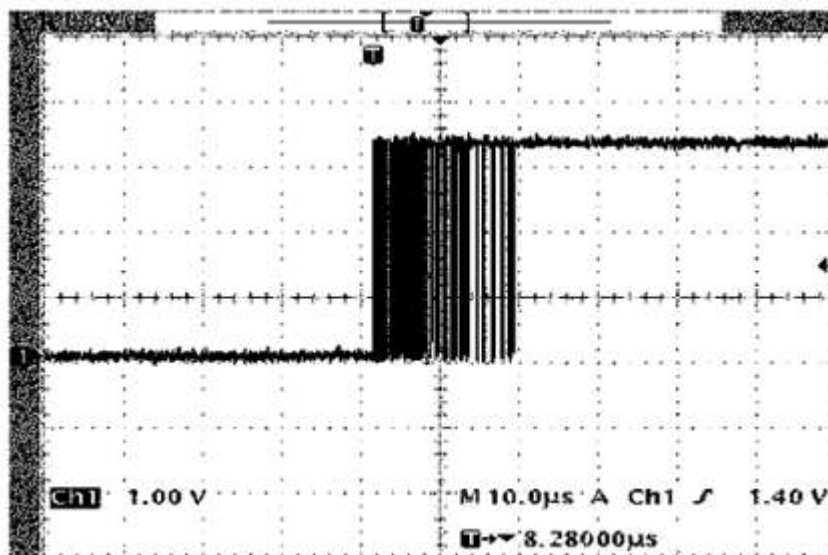


Рисунок 15 – Сигнал вывода PLL\_LOCK (вывод 10) в процессе захвата частоты (типичное время захвата)

Резистор и конденсатор, необходимые для фильтра нижних частот ФАПЧ, являются внутренними. Этого будет достаточно, если частота ввода данных не ниже 10 МГц, иначе потребуются внешняя RC между выводами LPF и CLKVCC.

Отметим, что оптимальная эффективность с разрешенным ФАПЧ достигается с VCO, работающим на частоте от 450 до 550 МГц.

### 3.14 Рассеиваемая мощность

У ИС 1273ПА12Т есть три питающих напряжения: #VCC, DVCC и CLKVCC. Рисунки 16, 17 и 18 показывают ток, требуемый от каждого из этих питающих напряжений, когда каждое питающее напряжение установлено соответствующим номиналом. Рассеиваемая мощность (PD) может быть легко получена умножением данных характеристик на величину номинального напряжения. Из рисунка 16 видно, что ток  $I_{\#VCC}$  сильно зависит от частоты входных данных, коэффициента интерполяции и включения внутреннего цифрового модулятора. Однако, ток  $I_{\#VCC}$  относительно не чувствителен к коэффициенту модуляции. На рисунке 17 показана такая же чувствительность тока  $I_{DVCC}$  к скорости входных данных, коэффициенту интерполяции и функции модулятора, но в меньшей степени (< 10 %). На рисунке 18 ток  $I_{CLKVCC}$  изменяется в широком диапазоне, но, тем не менее, отвечает только за маленький процент требуемого полного тока источника питания микросхемы 1273ПА12Т.

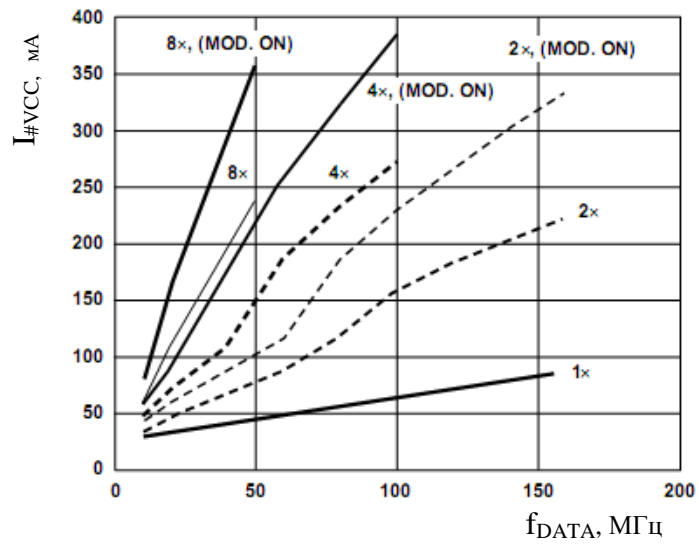


Рисунок 16 – Изменение значений  $I_{\#VCC}$  относительно  $f_{DATA}$  и коэффициента интерполяции (ФАПЧ запрещена)

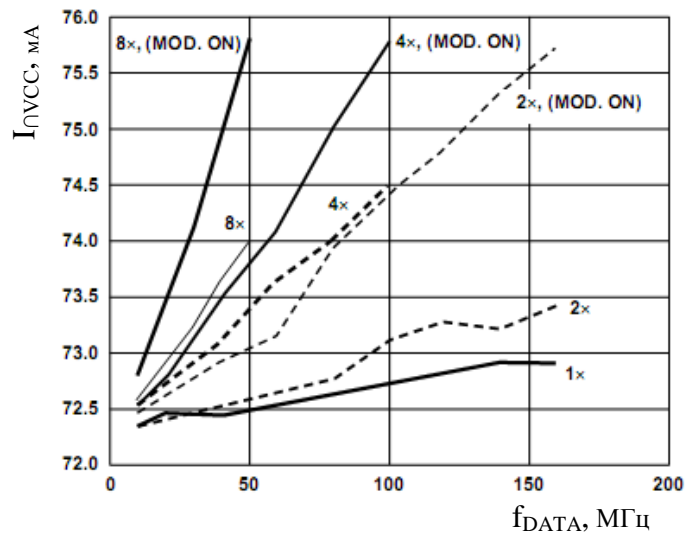


Рисунок 17 – Изменение значений  $I_{\#VCC}$  относительно  $f_{DATA}$  и коэффициента интерполяции (ФАПЧ запрещена)

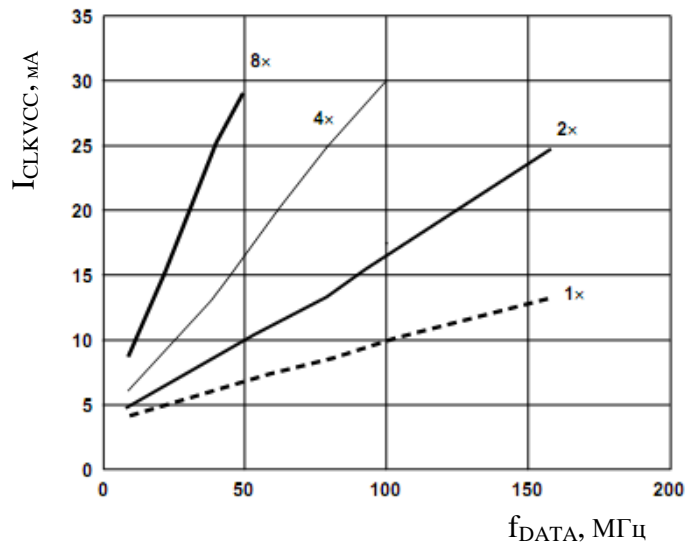


Рисунок 18 – Изменение значений  $I_{CLKVCC}$  относительно  $f_{DATA}$ , коэффициента интерполяции (ФАПЧ запрещена)



### 3.15 Режимы сна и низкого потребления мощности

ИС 1273ПА12Т обеспечивает два метода программирования для сокращения потребляемой мощности. Когда активирован режим сна, выключаются выходные токи ЦАП, но оставшаяся часть кристалла продолжает функционировать. При завершении режима сна 1273ПА12Т немедленно возвратится к полному функционированию. В режиме низкого потребления мощности отключается вся аналоговая и цифровая части, за исключением порта SPI. При завершении режима низкого потребления цифровым фильтрам потребуется достаточно много тактов для очистки от случайных данных, полученных во время режима низкого потребления.

### 3.16 Двухпортовый режим ввода данных

Порты ввода цифровых данных могут быть построены как два независимых порта (регистр 2, бит 6 = 0 – режим «Два порта») или как один порт (регистр 2, бит 6 = 1 – режим «Один порт»). В режиме с двумя портами данные на входах двух портов защелкиваются по восходящему фронту тактовых импульсов (DATACLK). Кроме того, в режиме с двумя портами 1273ПА12Т может быть запрограммирован так, чтобы генерировать тактовые сигналы DATACLK для внешних схем с целью общей синхронизации данных. Тактовые импульсы для ввода данных во внешние схемы могут быть доступны или на выводе 10 (DATACLK/PLL\_LOCK), или на выводе 58 (SPI\_SDO). Поскольку вывод 10 может работать как индикатор состояния ФАПЧ, то когда ФАПЧ разрешена, есть несколько вариантов для конфигурирования выводов 10 и 58. Данные варианты описаны ниже.

#### **ФАПЧ выключена (регистр 4, бит 7 = 0)**

регистр 3, бит 7 = 0; DATACLK на вывод 10.

регистр 3, бит 7 = 1; DATACLK на вывод 58.

#### **ФАПЧ включена (регистр 4, бит 7 = 1)**

регистр 3, бит 7 = 0, регистр 1, бит 0 = 0; вывод 10 индикатор ФАПЧ.

регистр 3, бит 7 = 1, регистр 1, бит 0 = 0; вывод 58 индикатор ФАПЧ.

регистр 3, бит 7 = 0, регистр 1, бит 0 = 1; DATACLK на вывод 10.

регистр 3, бит 7 = 1, регистр 1, бит 0 = 1; DATACLK на вывод 58.

В режиме с одним портом P2B11 и P2B10 от входных данных порта 2 переопределяются как IQSEL и ONEPORTCLK соответственно. Входные данные в режиме с одним портом поступают на один из двух внутренних каналов, базирующихся на логическом уровне IQSEL. Тактовый сигнал ONEPORTCLK генерируется ИС 1273ПА12Т в этом режиме с целью общей синхронизации данных. ONEPORTCLK работает на чередующихся входах

данных с частотой, которая вдвое больше частоты данных на внутреннем входе любого канала.

### 3.17 Двухпортовый режим ввода данных, ФАПЧ разрешена

Регистр 02, бит 6 = 0 и регистр 04, бит 7 = 1.

В двухпортовом режиме с разрешенной ФАПЧ частота CLKIN зависит от частоты входных данных. В режиме с двумя портами вывод 10 (DATACLK / PLL\_LOCK) может быть запрограммирован (регистр управления 01, бит 0) так, чтобы функционировать как индикатор состояния ФАПЧ или как тактовый сигнал для входных данных. Когда вывод 10 используется как выход тактового сигнала (DATACLK), его частота равна частоте CLKIN. Данные во входные порты 1273ПА12Т защелкиваются по восходящему фронту CLKIN. Рисунок 19 показывает задержку  $t_{OD}$  между положительным фронтом CLKIN и положительным фронтом DATACLK, а также длительности установления  $t_s$  и необходимого удержания  $t_H$  для данных портов 1 и 2. Длительности установления и хранения входных данных, приведенные на рисунке 19, даны относительно CLKIN. Отметим, что в двухпортовом режиме (ФАПЧ разрешен или блокирован) частота ввода данных на входах фильтра интерполятора – такая же, как и частота ввода данных портов 1 и 2.

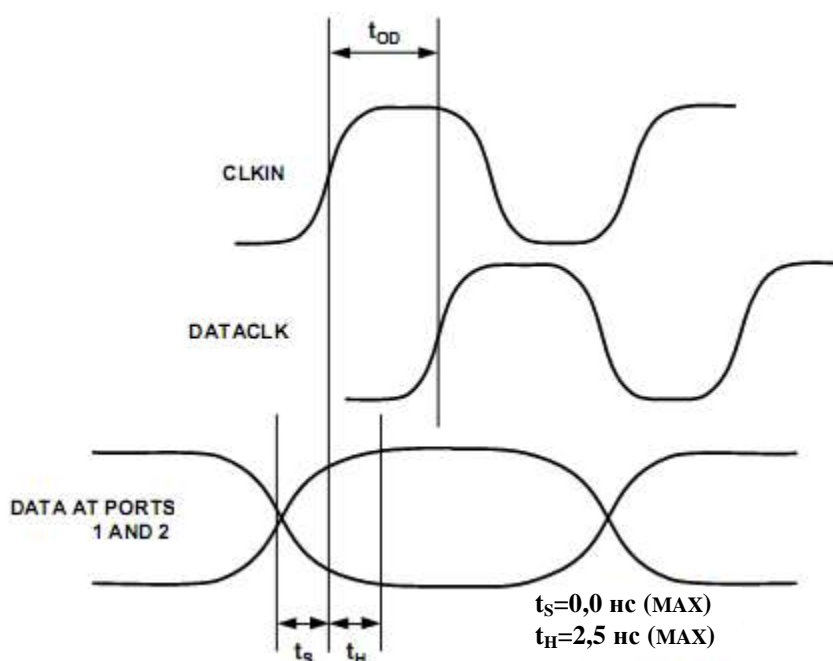


Рисунок 19 – Требования синхронизации в двухпортовом режиме с разрешенной ФАПЧ

Частота выборок выходных данных ЦАП в двухпортовом режиме равна частоте тактирования входных данных, умноженной на коэффициент интерполяции. Если используется функция дополнения нулями, то скорость выборки ЦАП удваивается.

### 3.18 Инверсия DATACLK

Управляющий регистр 02, бит 4.

Программированием этого бита сигнал DATACLK, который показан на рисунке 19, может быть инвертирован. С разрешенной инверсией  $t_{OD}$  определяется как задержка между положительным фронтом CLKIN и отрицательным фронтом DATACLK. Никаких других изменений в синхронизации не произойдет.

### 3.19 Нагрузочная способность формирователя DATACLK

Управляющий регистр 02, бит 5.

Вывод DATACLK может работать при токе, большем 10 мА, и нагрузке 330 Ом, обеспечивая время нарастания 3 нс. Рисунок 20 показывает DATACLK, работающий на активную нагрузку 330 Ом на частоте 50 МГц. Для разрешенной опции интенсивности формирователя (управляющий регистр 02, бит 5 = 0) амплитуда DATACLK будет увеличена приблизительно на 200 мВ.

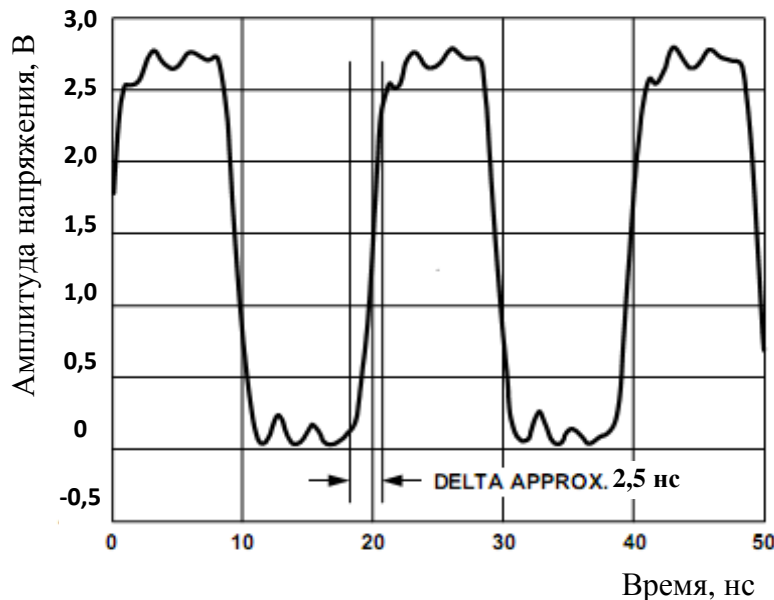


Рисунок 20 – Мощный формирователь на нагрузке 330 Ом, частота 50 МГц

### 3.20 Однопортовый режим, ФАПЧ разрешена

В режиме с одним портом каналы от I и Q принимают свои данные из чередующегося потока на цифровом входе порта 1. На выводе 35, определенном как выход (ONEPORTCLK), генерируются тактовые импульсы

с частотой вдвое большей внутренней частоты ввода данных каналов I и Q. Частота CLKIN равна внутренней частоте ввода данных каналов I и Q.

Выбор канала I или Q для защелкивания данных определяется логическим уровнем на выводе 34, определенном как вход (IQSEL, когда 1273ПА12Т работает в однопортовом режиме), а защелкивание данных происходит по положительному фронту ONEPORTCLK. IQSEL = 0 будет защелкивать данные в канал I, а IQSEL = 1 будет защелкивать данные в канале Q. Возможна инверсия выбора каналов I и Q установкой бита 1 регистра 02 в инверсное состояние (логической единицы). Рисунок 21 показывает требования синхронизации для входных данных и для входа IQSEL.

Отметим, что коэффициент интерполяции 1 в режиме с одним портом не доступен.

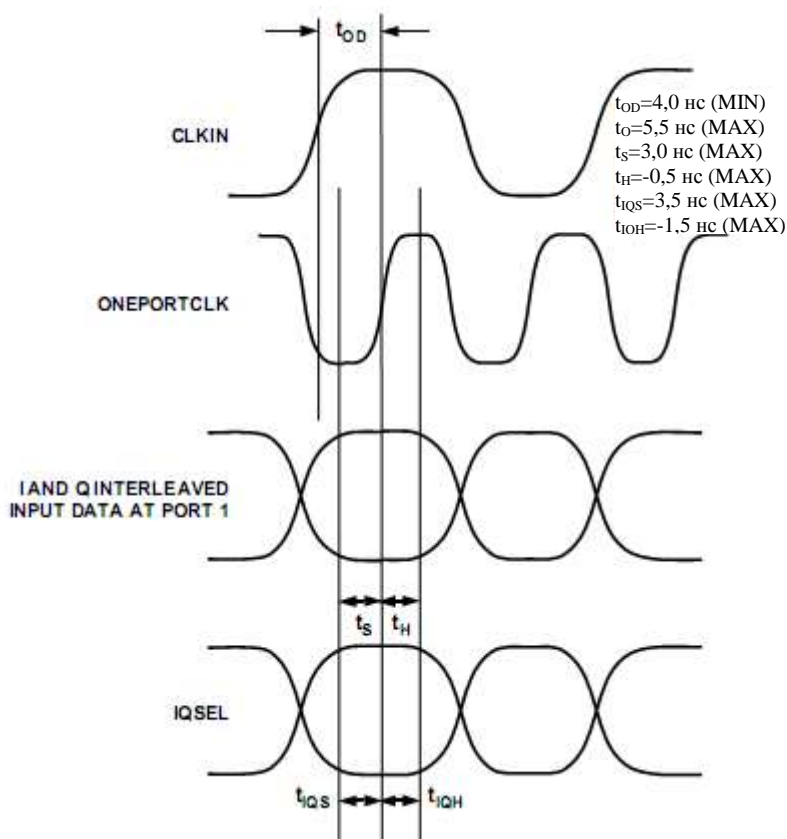


Рисунок 21 – Требования синхронизации в режиме с одним портом, с разрешенной ФАПЧ

Частота выходных выборок ЦАП в однопортовом режиме равна частоте CLKIN, умноженной на коэффициент интерполяции. Если используется функция заполнения нулями, то частота выборки ЦАП еще удваивается.

### 3.21 Инверсия ONEPORTCLK

Управляющий регистр 02, бит 2.

Программированием этого бита сигнал ONEPORTCLK, который показан на рисунке 21, может быть инвертирован. С разрешенной инверсией  $t_{OD}$  определяется как задержка между положительным фронтом внешнего тактового генератора и отрицательным фронтом ONEPORTCLK. Время установления  $t_s$  и время удержания  $t_H$  определяются относительно отрицательного фронта ONEPORTCLK. Никаких других изменений в синхронизации не произойдет.

### 3.22 Нагрузочная способность формирователя ONEPORTCLK

Нагрузочная способность ONEPORTCLK идентична DATACLK в двухпортовом режиме, смотрите рисунок 20.

### 3.23 IQ спаривание

Управляющий регистр 02, бит 0.

В режиме с одним портом чередующиеся данные фиксируются на внутренней защелке ИС 1273ПА12Т каналов I и Q попарно. Порядок защелкивания внутри пары определен этим управляющим регистром. Рассмотрим пример этого влияния на входящие чередующиеся данные.

Задается следующий чередующийся поток данных, где данные указаны в единицах полной шкалы (таблица 14):

Таблица 14

I	Q	I	Q	I	Q	I	Q	I	Q
0,5	0,5	1	1	0,5	0,5	0	0	0,5	0,5

С установкой регистра управления в ноль (I – первый), данные будут появляться на внутренних входах каналов в следующем временном порядке (таблица 15):

Таблица 15

I канал	0,5	1	0,5	0	0,5
Q канал	0,5	1	0,5	0	0,5

С установкой регистров управления в единицу (Q – первый), данные будут появляться на внутренних входах каналов в следующем временном порядке (таблица 16):

Таблица 16

I канал	0,5	1	0,5	0	0,5	x
Q канал	y	0,5	1	0,5	0	0,5

Значения  $x$  и  $y$  представляют последнее значение  $I$  и предыдущее значение  $Q$ .

### 3.24 Двухпортовый режим, ФАПЧ запрещена

В режиме с запрещенной ФАПЧ тактовый сигнал с частотой выборок ЦАП должен быть приложен к CLKIN. Внутренние делители тактового сигнала 1273ПА12Т синтезируют сигнал DATACLK на выводе 10, который работает с частотой входных данных и может использоваться для синхронизации входных данных. Данные защелкиваются во входы портов 1 и 2 по положительному фронту DATACLK. Частота DATACLK определяется как частота CLKIN, деленная на коэффициент интерполяции. С разрешенной функцией дополнения нулями это деление увеличивается вдвое. Рисунок 22 показывает задержку между фронтом CLKIN и фронтом DATACLK, а также  $t_s$  и  $t_H$  в этом режиме.

Программируемые режимы инверсии DATACLK и мощности DATACLK, описанные в предыдущем разделе (ФАПЧ разрешена, двухпортовый режим), имеют при запрещенном ФАПЧ идентичные функциональные возможности.

Тактовый сигнал данных CLK, выполненный делением частоты ЦАП, в этом режиме может быть запрограммирован (через регистр 03, бит 7) таким образом, чтобы выходить с вывода SPI\_SDO, а не с вывода DATACLK. В некоторых приложениях это может улучшить комплексное подавление помех от зеркального канала. Когда SPI\_SDO будет использоваться как выход для тактирования данных, то  $t_{OD}$  увеличится на 1,6 нс.

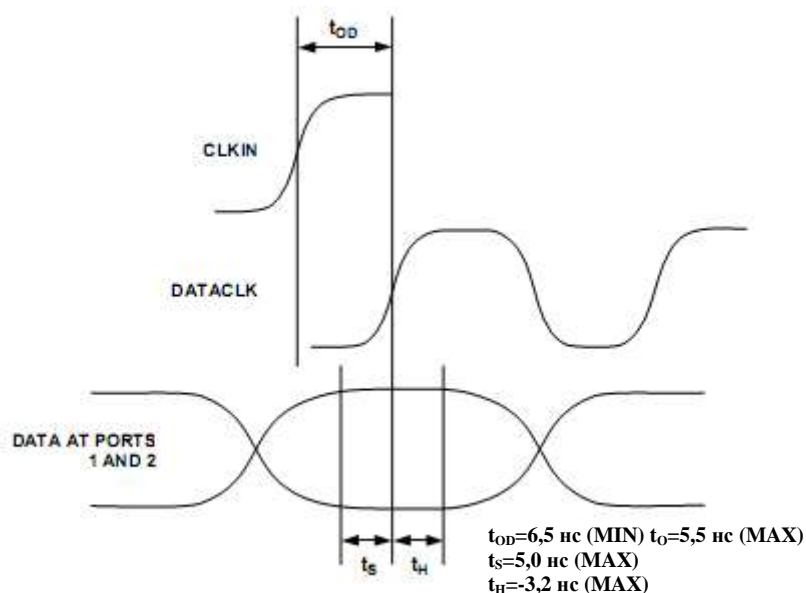


Рисунок 22 – Требования синхронизации при двухпортовом режиме, с запрещенной ФАПЧ

### 3.25 Однопортовый режим, ФАПЧ запрещена

В режиме с одним портом ИС 1273ПА12Т получает данные как чередующийся поток на порт 1. Частота тактового сигнала ONEPORTCLK при чередующихся данных равна удвоенной внутренней частоте ввода данных каналов I и Q. ONEPORTCLK доступен для синхронизации данных на выводе 35. С запрещенной ФАПЧ частота выборок ЦАП будет равна CLKIN. Внутренние делители синтезируют сигнал ONEPORTCLK на выводе 35. Выбор данных для канала I или канала Q определяется логическим уровнем на выводе 34 (IQSEL, когда ИС 1273ПА12Т находится в режиме с одним портом) по положительному фронту ONEPORTCLK. В этих условиях IQSEL = 0 будет защелкивать данные в канал I в то время, как IQSEL = 1, будет защелкивать данные в канал Q. Возможна инверсия выбора каналов I и Q установкой бита 1 регистра 02 в инверсное состояние (логической единицы). Рисунок 23 показывает требования синхронизации для входных данных и для входа IQSEL.

Отметим, что коэффициент интерполяции 1 в режиме с одним портом не доступен.

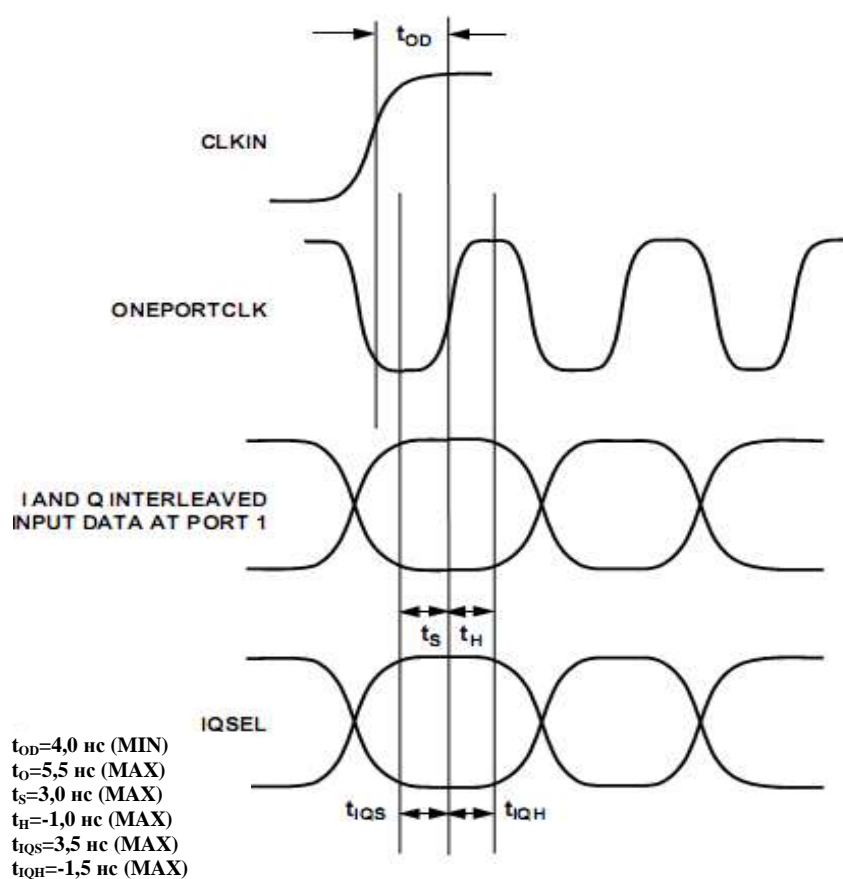


Рисунок 23 – Требования синхронизации в режиме с одним портом и запрещенной ФАПЧ

Режим с одним портом очень полезен для связи с устройствами, в которых имеются два чередующихся цифровых канала данных (мультиплексированных). Такие программируемые режимы, как инверсия ONEPORTCLK, мощность

формирователя ONEPORTCLK и спаривание IQ, в условиях однопортового режима, при разрешенной ФАПЧ имеют с запрещенной ФАПЧ идентичные функциональные возможности.

### 3.26 Режимы цифрового фильтра

Каналы I и Q данных ИС 1273ПА12Т имеют собственные независимые полуполосные КИХ-фильтры. Каждый канал содержит три КИХ-фильтра, обеспечивая коэффициент интерполяции до 8×. Коэффициент интерполяции определен регистром управления 01, битами 7 и 6. На рисунках от 24 до 26 показаны отклики цифровых фильтров, когда ИС 1273ПА12Т работает в режимах с интерполяцией 2×, 4×, 8×. Частотная ось этих рисунков нормализована к частоте входных данных ЦАП. Как показано на рисунках, цифровые фильтры могут обеспечить подавление вне полосы пропускания больше, чем на 75 дБ.

Таблицы 17 – 19 содержат коэффициенты фильтров.

Таблица 17– Полуполосный фильтр №1 (43 коэффициента)

Отвод	Коэффициент	Отвод	Коэффициент
1, 43	8	12, 32	0
2, 42	0	13, 31	673
3, 41	29	14, 30	0
5, 39	0	15, 29	-1079
6, 38	67	16, 28	0
7, 37	0	17, 27	1772
8, 36	-134	18, 26	0
9, 35	244	19, 25	-3280
10, 34	0	20, 24	0
11, 33	-414	21, 23	10364
		22	16384

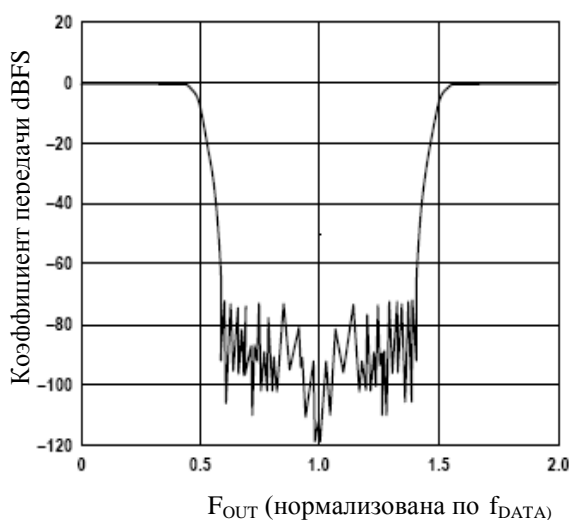


Рисунок 24 – АЧХ фильтра интерполятора 2×



Таблица 18 – Полуполосный фильтр №2 (19 коэффициентов)

Отвод	Коэффициент
1, 19	19
2, 18	0
3, 17	-120
4, 16	0
5, 15	438
6, 14	0
7, 13	-1288
8, 12	0
9, 11	5047
10	8192

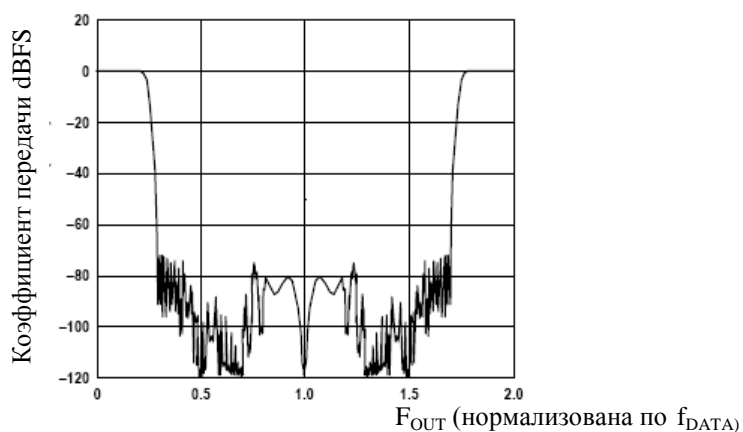


Рисунок 25 – АЧХ фильтра интерполятора 4×

Таблица 19 – Полуполосный фильтр №3 (11 коэффициентов)

Отвод	Коэффициент
1, 11	7
2, 10	0
3, 9	-53
4, 8	0
5, 7	302
6	512

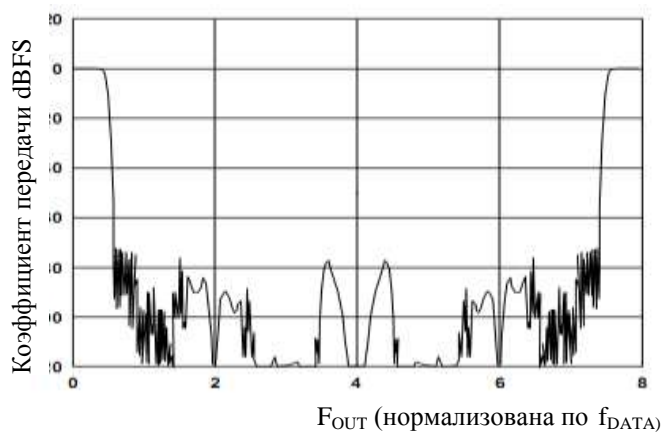


Рисунок 26 – АЧХ фильтра интерполятора 8×

### 3.27 Амплитудная модуляция

Для двух синусоидальных сигналов одной частоты, но с различием по фазе на  $90^\circ$ , точка отсчета во времени может быть взята таким образом, чтобы сигнал с опережающей фазой являлся косинусоидальным, а сигнал с отстающей фазой являлся синусоидальным. Анализ комплексных переменных говорит о том, что косинусоидальный сигнал может быть определен как имеющий положительные действительные компоненты в положительной и отрицательной частотных областях в то время, как синусоидальный сигнал состоит из мнимых компонентов: положительной в положительной частотной области и отрицательной в отрицательной частотной области. Это показано на рисунке 27.

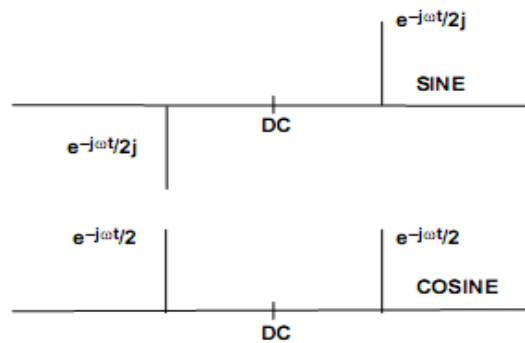


Рисунок 27 – Реальные и мнимые компоненты синусоидального и косинусоидального сигналов

Амплитудная модуляция, осуществляемая синусоидальным или косинусоидальным сигналами, является сверткой модулируемого сигнала с модулирующей несущей в частотной области. Амплитудное масштабирование модулированного сигнала уменьшает положительные и отрицательные боковые сигналы в два раза. Данное масштабирование очень важно при обсуждении различных режимов модуляции. Фазовые соотношения модулированных сигналов зависят от того, является ли несущая частота синусоидальной или косинусоидальной. Примеры модуляции синусом и косинусом приведены на рисунке 28.

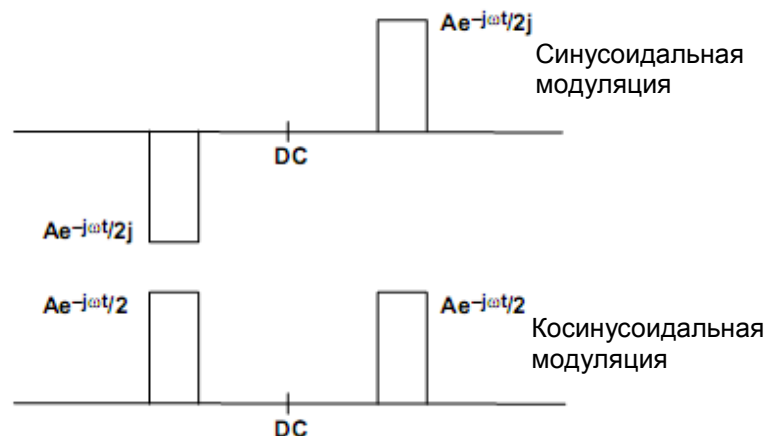


Рисунок 28 – Амплитудная модуляция синусом и косинусом

### 3.28 Модуляция, интерполяция запрещена

Управляющим регистром 01, битами 7 и 6, установленными в нулевое состояние, блокируется функция интерполяции на ИС 1273ПА12Т.

На рисунках от 29 до 32 показаны выходные спектральные характеристики ЦАП 1273ПА12Т в различных модуляционных режимах, с заблокированными фильтрами-интерполяторами. Частота модуляции определяется уровнем управляющего регистра 01, битами 5 и 4. Высокие прямоугольники представляют области цифрового спектра узкополосного модулирующего сигнала. Сравнивая цифровой спектр в области спада ЦАП  $\sin(x)/x$ , можно сделать оценку требуемых характеристик для восстанавливающих фильтров. Заметим также, по предыдущему обсуждению амплитудной модуляции, что спектральные компоненты (когда модуляция осуществляется  $f_s/4$  или  $f_s/8$ ) масштабируются с поправочным коэффициентом 2. Когда модуляция  $f_s/2$ , спектральные компоненты суммируются конструктивно, и эффект масштабирования отсутствует. Это суммирование не отражено на графиках для  $f_s/4$  и  $f_s/8$ : здесь амплитуды прямоугольников должны составлять минус 6 дБ.

Влияние цифровой модуляции на спектральную характеристику ЦАП, интерполяция запрещена.

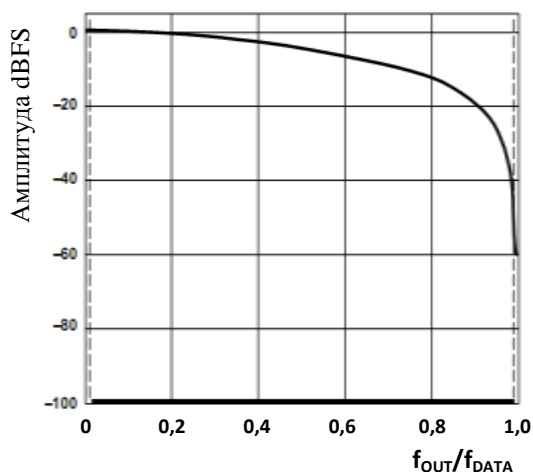


Рисунок 29 – Модуляция заблокирована

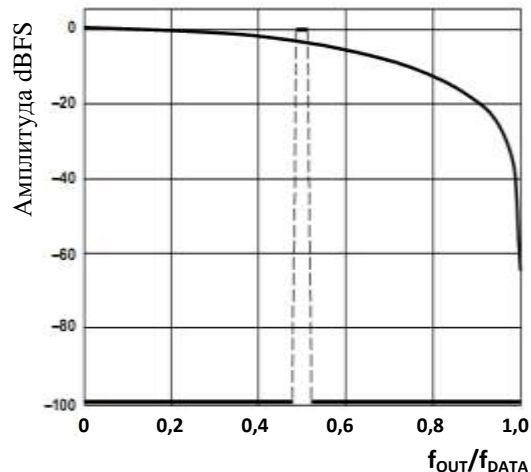


Рисунок 30 – Модуляция =  $f_{DAC}/2$

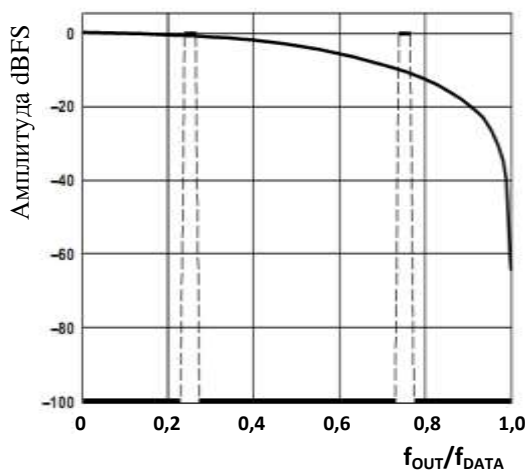


Рисунок 31 – Модуляция =  $f_{DAC}/4$

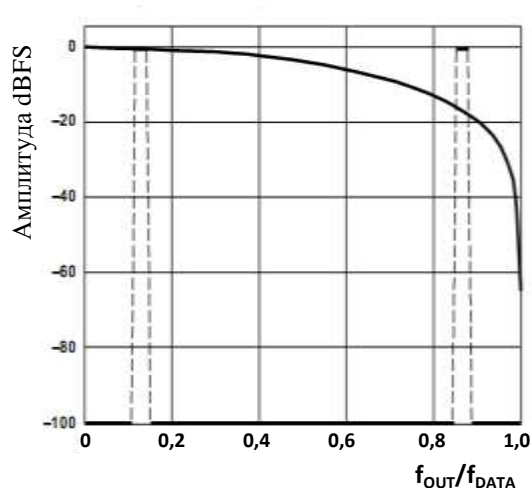


Рисунок 32 – Модуляция =  $f_{DAC}/8$

### 3.29 Модуляция, интерполяция = 2×

Коэффициент интерполяции ИС 1273ПА12Т 2× устанавливается регистром управления 01, битами 7 и 6, установленными в состояние 01. Модуляция достигается поочередным умножением отсчетов на выходе фильтра-интерполятора последовательностью (+1, -1). На рисунках от 33 до 36 показана спектральная характеристика выхода ЦАП с 2× интерполяцией в различных режимах модуляции. Преимущество становится очевидным на рисунках от 33 до 36, на которых видно, что при обработке фильтрами-интерполяторами до цифрового модулятора отсутствуют образы, которые обычно присутствуют в спектре около значимой точки. А также видно, что полоса пропускания фильтров интерполяторов может быть сдвинута, предоставив эквивалент цифрового фильтра высоких частот.

При этом, при использовании режима модуляции  $f_s/4$  нет полосы затухания, так как края полос совпадают друг с другом, в режиме  $f_s/8$  масштабирование амплитуды происходит только на части полосы пропускания цифрового фильтра из-за конструктивных добавлений лишь к той части полосы пропускания.

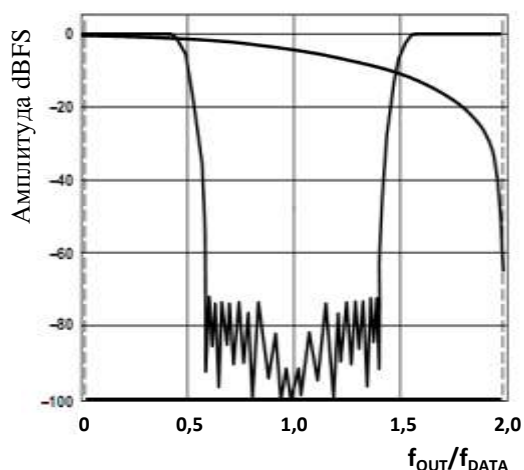


Рисунок 33 – 2×Интерполяция, модуляция заблокирована

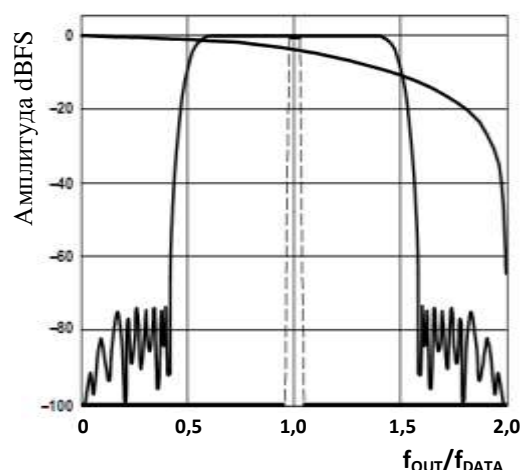


Рисунок 34 – 2×Интерполяция, модуляция =  $f_{DAC}/2$

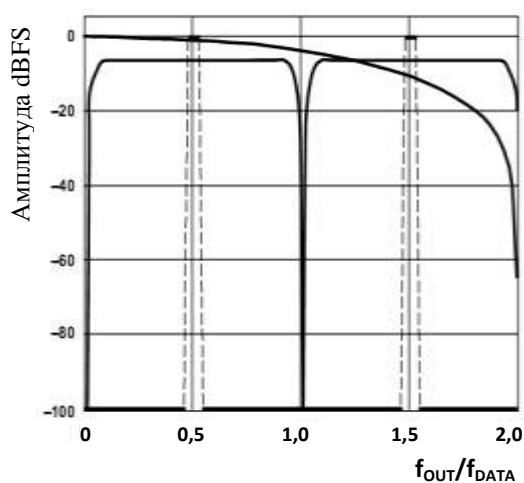


Рисунок 35 – 2 × Интерполяция, модуляция =  $f_{DAC}/4$

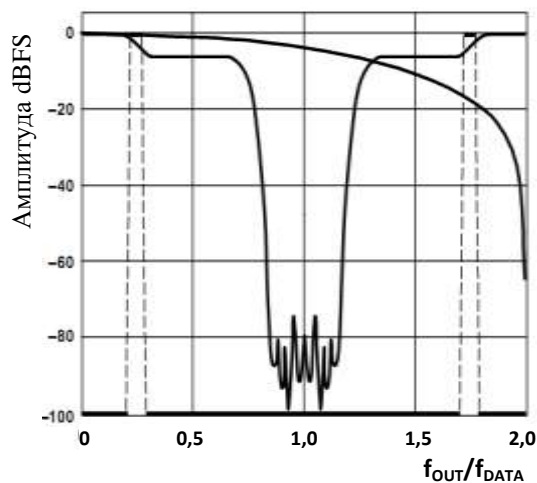


Рисунок 36 – 2× Интерполяция, модуляция =  $f_{DAC}/8$

### 3.30 Модуляция, интерполяция = 4×

Коэффициент интерполяции 4× ИС 1273ПА12Т устанавливается регистром управления 01, битами 7 и 6, установленными в состояние 10. Модуляция достигается поочередным умножением отсчетов на выходе фильтра-интерполятора на элементы последовательности (0, 1, 0, -1). На рисунках от 37 до 40 изображена спектральная характеристика выхода ЦАП 1273ПА12Т с 4× интерполяцией в различных режимах модуляции.

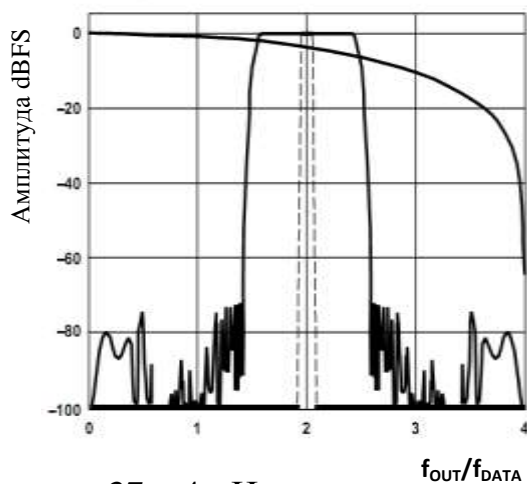


Рисунок 37 – 4× Интерполяция, модуляция заблокирована

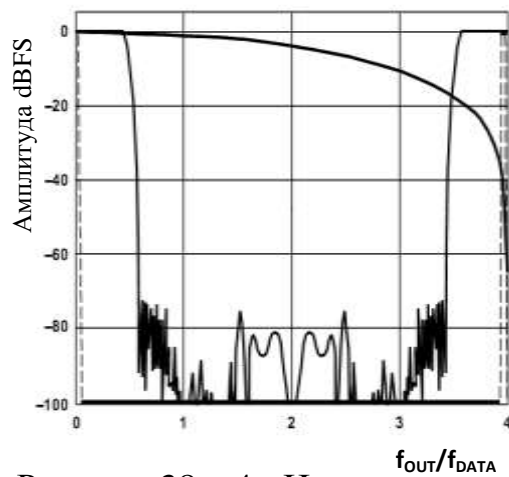


Рисунок 38 – 4× Интерполяция, модуляция =  $f_{DAC}/2$

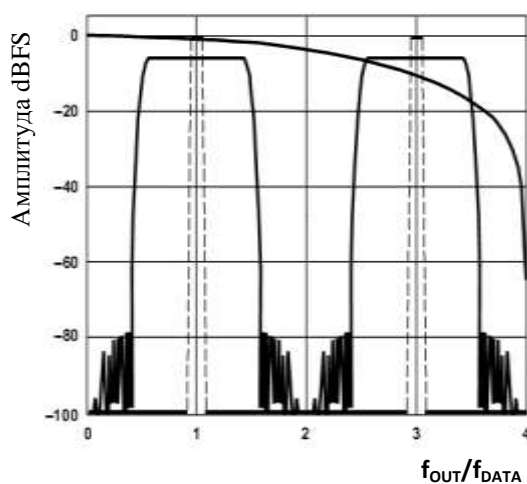


Рисунок 39 – 4× Интерполяция, модуляция =  $f_{DAC}/4$

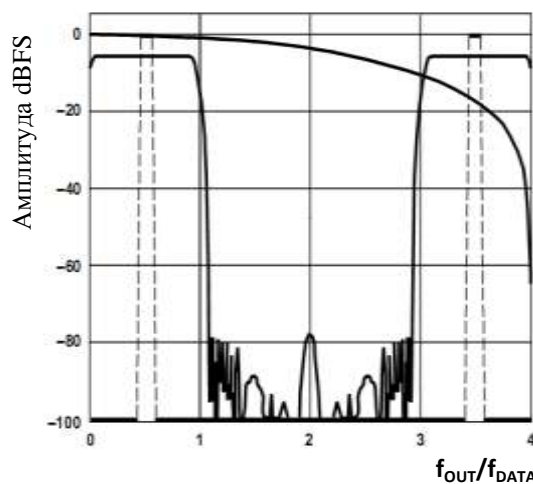


Рисунок 40 – 4× Интерполяция, модуляция =  $f_{DAC}/8$

### 3.31 Модуляция, интерполяция = 8×

Коэффициент интерполяции 8× ИС 1273ПА12Т устанавливается регистром управления 01, битами 7 и 6, установленными в состояние 11. Модуляция достигается поочередным умножением отсчетов на выходе фильтра-интерполятора последовательностью (0; +0,707; +1; +0,707; 0; -0,707; -1; -0,707). На рисунках от 41 до 44 изображена спектральная характеристика ЦАП 1273ПА12Т с 8× интерполяцией в различных режимах модуляции.

Анализируя рисунки от 41 по 44, можно видеть, что чем выше коэффициент интерполяции, тем проще восстанавливающие фильтры на выходе ЦАП.

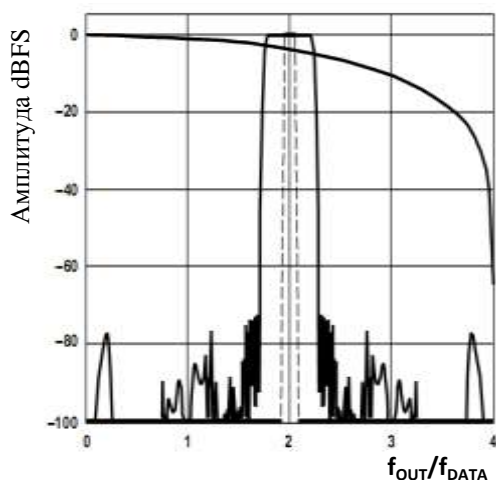


Рисунок 41 – 8×Интерполяция, модуляция заблокирована

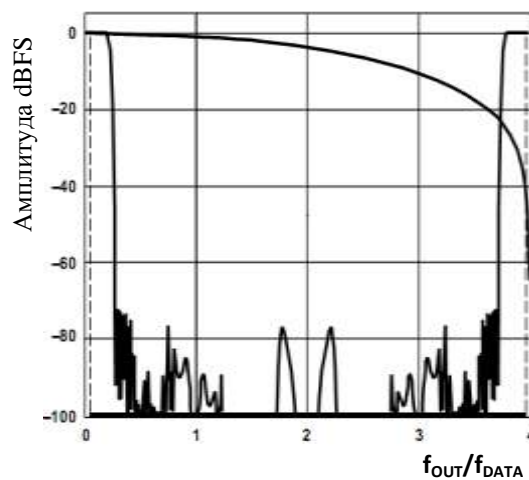


Рисунок 42– 8×Интерполяция, модуляция =  $f_{DAC}/2$

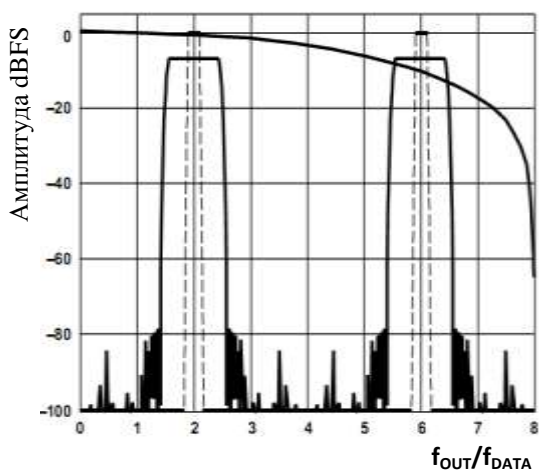


Рисунок 43 – 8×Интерполяция, модуляция =  $f_{DAC}/4$

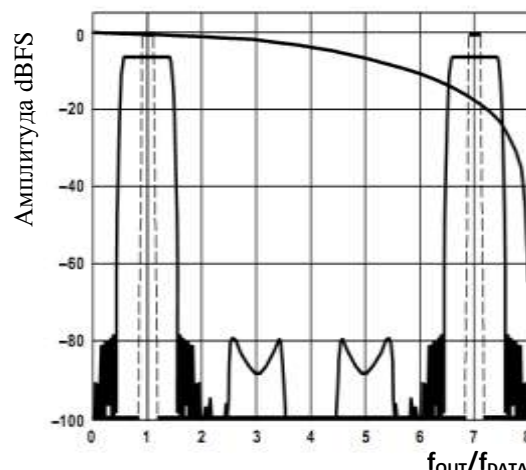


Рисунок 44 – 8× Интерполяция, модуляция =  $f_{DAC}/8$

### 3.32 Ноль-дополнение

Управляющий регистр 01, бит 3.

Как показано на рисунке 45, на частоте  $f_{DAC}$  происходит обнуление частотной характеристики выхода ЦАП (после интерполяции, модуляции и восстановления ЦАП). Это происходит из-за присущего цифро-аналоговому преобразованию спада типа  $\sin(x)/x$ . В приложениях, где рабочий частотный спектр ниже  $f_{DAC}/2$ , это не создает проблем. Отметим, что на частоте  $f_{DAC}/2$  затухание из-за  $\sin(x)/x$  составляет 4 дБ. В более широкополосных применениях (RF) этот спад может быть проблемой из-за увеличенной неравномерности амплитудной характеристики фильтра в рабочей полосе частот и уменьшения амплитуды сигнала.



Рассмотрим приложения, где цифровые данные ИС 1273ПА12Т представляют видеосигнал около частоты  $f_{DAC}/4$  с шириной спектра  $f_{DAC}/10$ . Сигнал, восстановленный ИС 1273ПА12Т, в пределах своего спектра претерпевает изменение амплитуды только на 0,75 дБ. Однако, тот же самый сигнал на частоте ( $3 \times f_{DAC}/4$ ) пострадает из-за неравномерности АЧХ на 3,93 дБ. Это изображение может быть удовлетворительным сигналом в режиме промежуточной частоты при использовании одного из режимов модуляции ИС 1273ПА12Т. Этот спад частотных спектров можно увидеть на рисунках от 35 до 44, где эффект интерполяции и модуляции вполне очевиден.

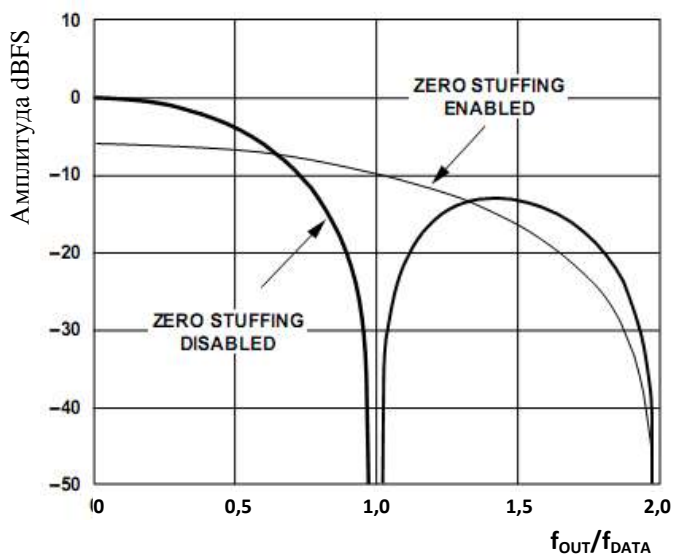


Рисунок 45 – Эффект ноль-дополнения ЦАП  $\sin(x)/x$

Чтобы улучшить равномерность АЧХ в полосе спектра желательного сигнала, может быть разрешен режим ноль-дополнения установкой соответствующего бита управляющего регистра в состояние логической единицы. Эта опция увеличивает соотношение  $f_{DAC}/f_{DATA}$  в два раза, удваивая частоту выборки ЦАП и вставляя выборку, равную середине шкалы (т. е. 1000 0000 0000, что эквивалентно выборке нулевого значения сигнала) после каждой выборки данных, исходящей от интерполирующего фильтра. Данная функция важна, поскольку затронет коэффициент делителя ФАПЧ, чтобы сохранить VCO в пределах его оптимального диапазона частот. Отметим, что ноль-дополнение имеет место в цепи цифрового сигнала на выходе цифрового модулятора, перед ЦАП.

Результирующий эффект – увеличение частоты выборки выхода ЦАП в два раза с перемещением спада в передаточной функции  $\sin(x)/x$  ЦАП на удвоенную первоначальную частоту. На рисунке 45 очевидна потеря на 6 дБ в амплитуде на низких частотах.

Важно понять, что ноль-дополнение не изменяет положение спектра, а повышает амплитуду и равномерность в полосе пропускания. Например, неравномерность амплитуды в полосе пропускания в предыдущем примере на

частоте ( $3 \times f_{\text{DATA}}/4$ ) теперь улучшена до 0,59 дБ в то время, как уровень сигнала увеличился ненамного: от  $-10,5$  до  $-8,1$  дБ.

### 3.33 Модуляция (режим комплексного микширования)

Управляющий регистр 01, бит 2.

В режиме комплексного микширования два цифровых модулятора 1273ПА12Т объединены для обеспечения комплексной модуляционной функции. В соединении с внешним квадратурным модулятором комплексная модуляция может использоваться для реализации архитектуры передачи с подавленной боковой полосой. Функция комплексной модуляции может быть запрограммирована для  $e^{+j\omega t}$  или  $e^{-j\omega t}$ , чтобы подавлять верхнюю или нижнюю боковую полосу. Как и в режиме реальной модуляции, частота модуляции  $\omega$  может быть запрограммирована через порт параллельного интерфейса SPI для  $f_{\text{DAC}}/2$ ,  $f_{\text{DAC}}/4$  и  $f_{\text{DAC}}/8$ , где  $f_{\text{DAC}}$  – частота выборок ЦАП.

### 3.34 Операции на комплексных сигналах

Комплексные сигналы не могут быть реализованы вне компьютерного моделирования. Однако два канала данных, состоящие из действительных данных, могут быть определены как действительная и мнимая составляющие комплексного сигнала. Часто выбирают метод, когда I – действительный, а Q – мнимый информационные каналы. Используя определенную на рисунке 46 архитектуру, можно реализовать систему, оперирующую комплексными сигналами и дающую комплексный (действительный и мнимый) выходной сигнал.

Если желательна комплексная функция модуляции ( $e^{+j\omega t}$ ), действительные и мнимые составляющие системы соответствуют действительным и мнимым составляющим  $e^{+j\omega t}$  или  $\cos(\omega t)$  и  $\sin(\omega t)$ . Как показано на рисунке 46, комплексная функция модуляции может быть реализована применением этих компонентов к структуре, приведенной на рисунке 47.

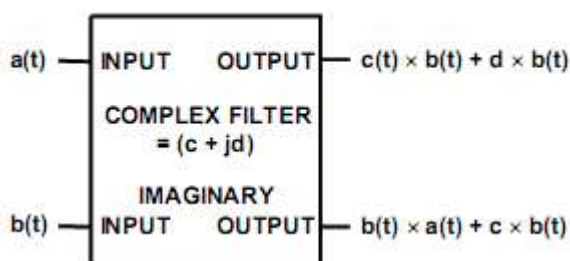


Рисунок 46 – Реализация комплексной системы



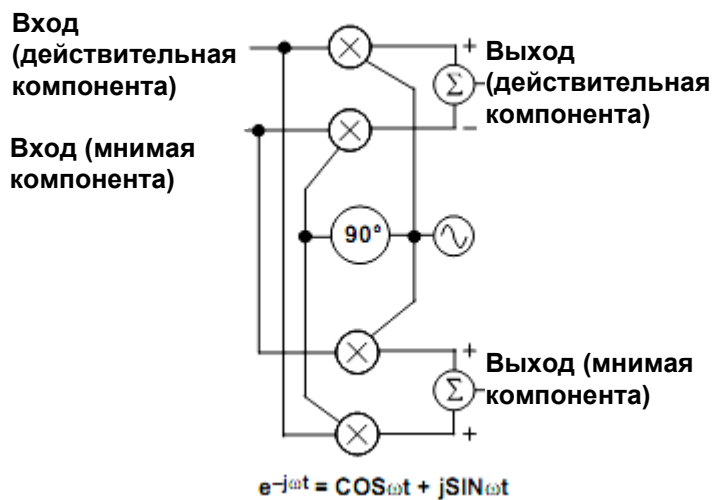


Рисунок 47 – Реализация комплексного модулятора

### 3.35 Комплексная модуляция и подавление боковой полосы

В традиционной передаче применяется двухступенчатое преобразование с повышением частоты, в котором сигнал основной полосы модулирован одной несущей к промежуточной частоте и затем модулируется во второй раз к передающей частоте. Хотя этот подход имеет несколько преимуществ, главный недостаток состоит в том, что около передающей частоты создаются две боковые полосы. Необходима только одна полоса, другая полоса является зеркальной копией. Если нежелательная полоса не отфильтрована, обычно с аналоговыми компонентами, то на ее передачу расходуется мощность и часть полосы пропускания, доступная в системе.

Более эффективный метод подавления нежелательного спектра может быть достигнут использованием комплексного модулятора с последующим квадратурным модулятором. Рисунок 48 – блок-схема квадратурного модулятора. Отметим, что фактически – это половина комплексного модулятора, его действительный выход. Полное преобразование с повышением частоты представляет собой пару каскадов с комплексным преобразованием сигнала, действительный выход которой превращается в передаваемый сигнал.

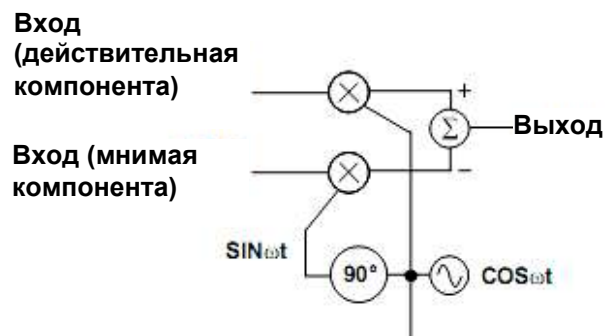


Рисунок 48 – Квадратурный модулятор

Все преобразование с повышением частоты от основной полосы частот к передающей частоте представлено на рисунке 49. Результирующий спектр,

показанный на рисунке 50, представляет собой комплексные данные, состоящие из действительного и мнимого каналов основной полосы частот, модулированных ортогональными (косинус и отрицательный синус) несущими на передающей частоте. Важно помнить, что в этом применении (два канала данных основной полосы частот) подавление боковой полосы не зависит от входных данных каналов ИС 1273ПА12Т.

Фактически, подавление зеркальной боковой полосы произойдет или в каком-то одном, или в обоих активных каналах ИС 1273ПА12Т. Заметим, что изменением знака синусоидального множителя в комплексном модуляторе могла бы быть подавлена верхняя боковая полоса с одновременным прохождением нижней боковой. Это легко сделать в ИС 1273ПА12Т выбором  $e^{+j\omega t}$  (регистр 01, бит 1). В комплексной форме на рисунке 50 представлено двухступенчатое преобразование с повышением частоты комплексного сигнала основной полосы к несущей.

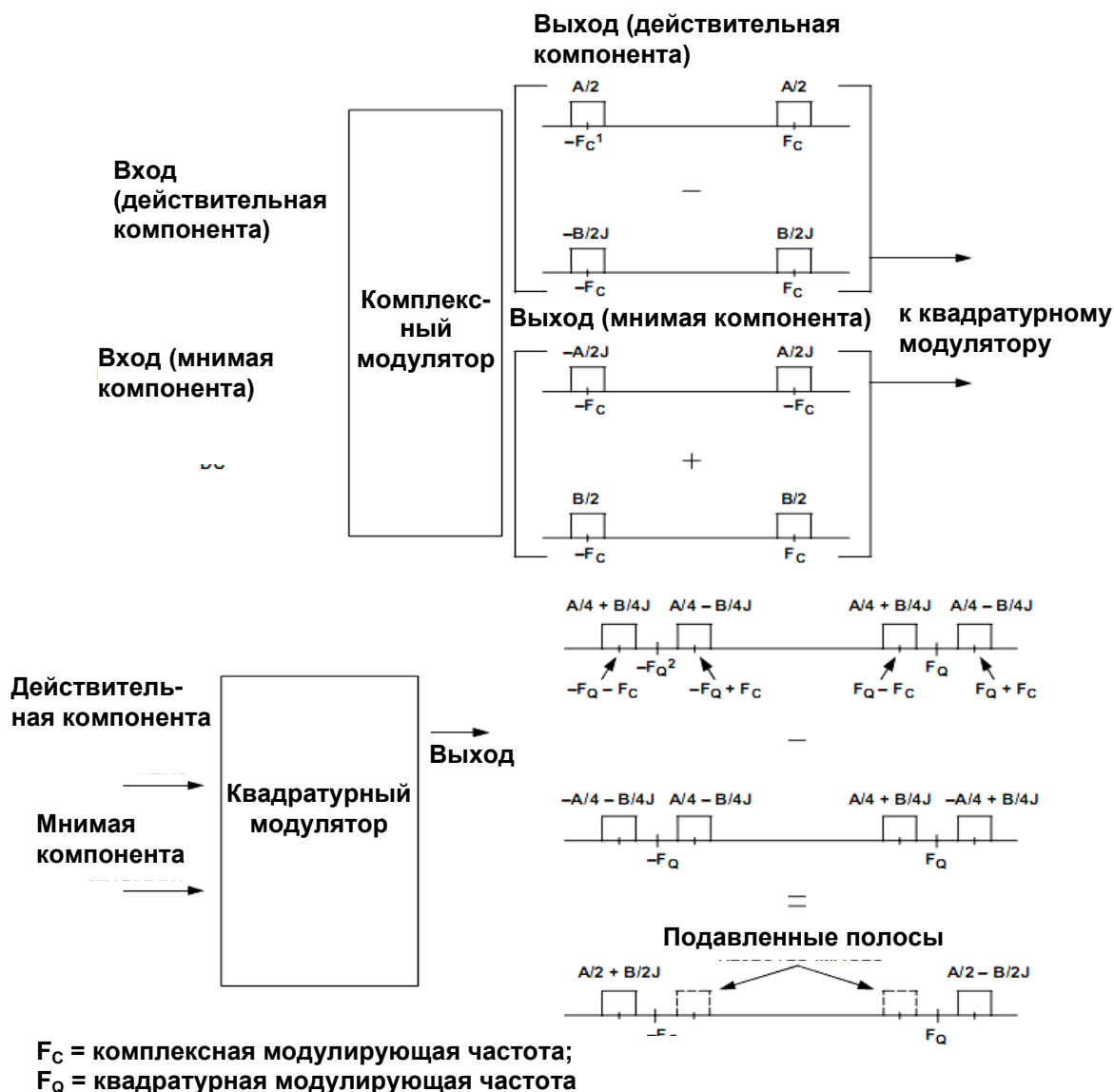


Рисунок 49 – Двухступенчатое преобразование с повышением частоты и подавлением одной боковой полосы

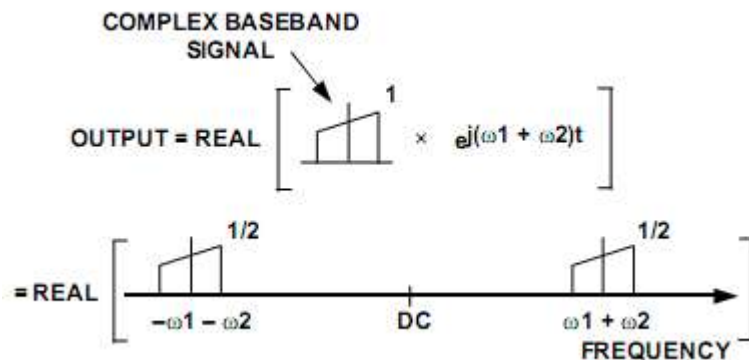


Рисунок 50 – Двухступенчатое комплексное преобразование с повышением частоты

### 3.36 Подавление боковой полосы модулированных несущих

Как показано на рисунке 50, подавление зеркальной полосы может быть достигнуто подачей основной полосы частот на ИС 1273ПА12Т и последующим ИС 1273ПА12Т с квадратурной модуляцией. Чтобы обрабатывать множество несущих с возможностью подавления боковой полосы, необходимо каждую несущую комплексно модулировать. Как показано на рисунке 51, один или множество комплексных модуляторов могут быть использованы для синтеза комплексных несущих. Эти комплексные несущие суммируются и подаются на действительный и мнимый входы ИС 1273ПА12Т. Система, в которой множество широкополосных сигналов комплексно-модулированы и затем поданы на реальные и мнимые входы ИС 1273ПА12Т с последующим квадратурным модулятором, показана на рисунке 52, который также описывает передаточную характеристику этой системы и выходной спектр. Отметим подобие передаточных функций, приведенных на рисунке 52 и 50. На рисунке 52 показан дополнительный каскад комплексного модулятора для суммирования множества несущих на входах ИС 1273ПА12Т. Как и на рисунке 49, подавление боковой полосы не зависит от действительных или мнимых данных в основной полосе частот в любом канале. Подавление боковой полосы произойдет, если действительные или мнимые данные, или и те, и другие, будут присутствовать в канале в основной полосе частот.

Важно помнить, что величина комплексного сигнала может быть выше в 1,414 раза величины его действительного или мнимого компонента. Из-за увеличения амплитуды сигнала на 3 дБ действительные и мнимые входы на ИС 1273ПА12Т должны быть, по крайней мере, на 3 дБ ниже полного масштаба при работе с комплексным модулятором. Переполнение в комплексном модуляторе приведет к ощутимым искажениям на выходе ЦАП.

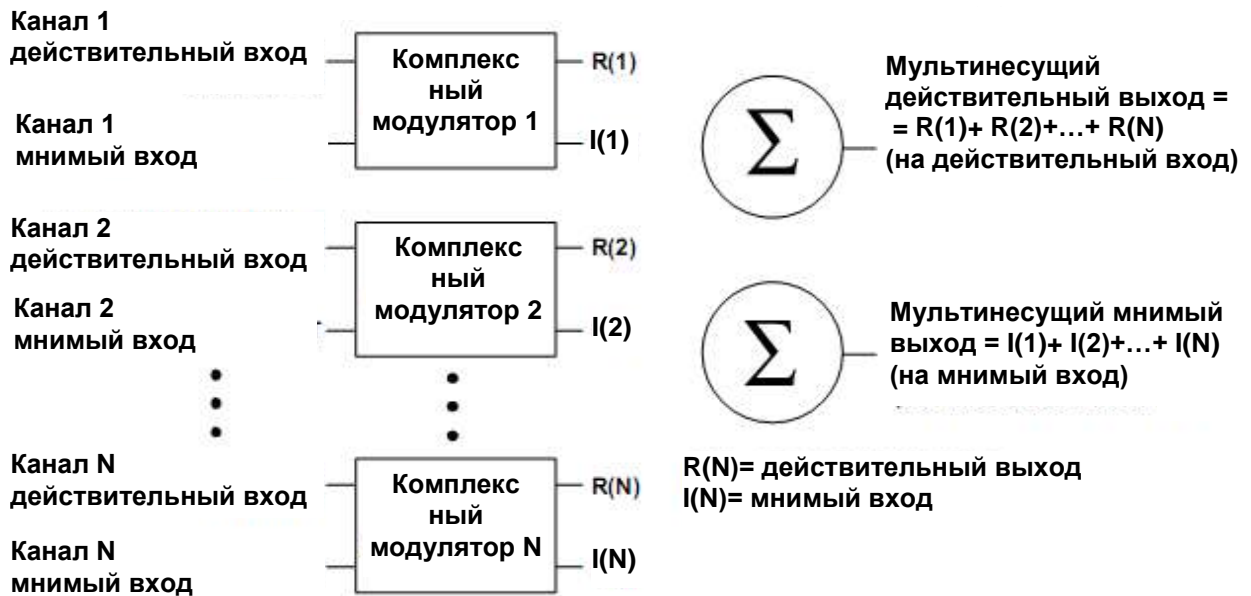


Рисунок 51 – Синтез комплексного сигнала на нескольких несущих

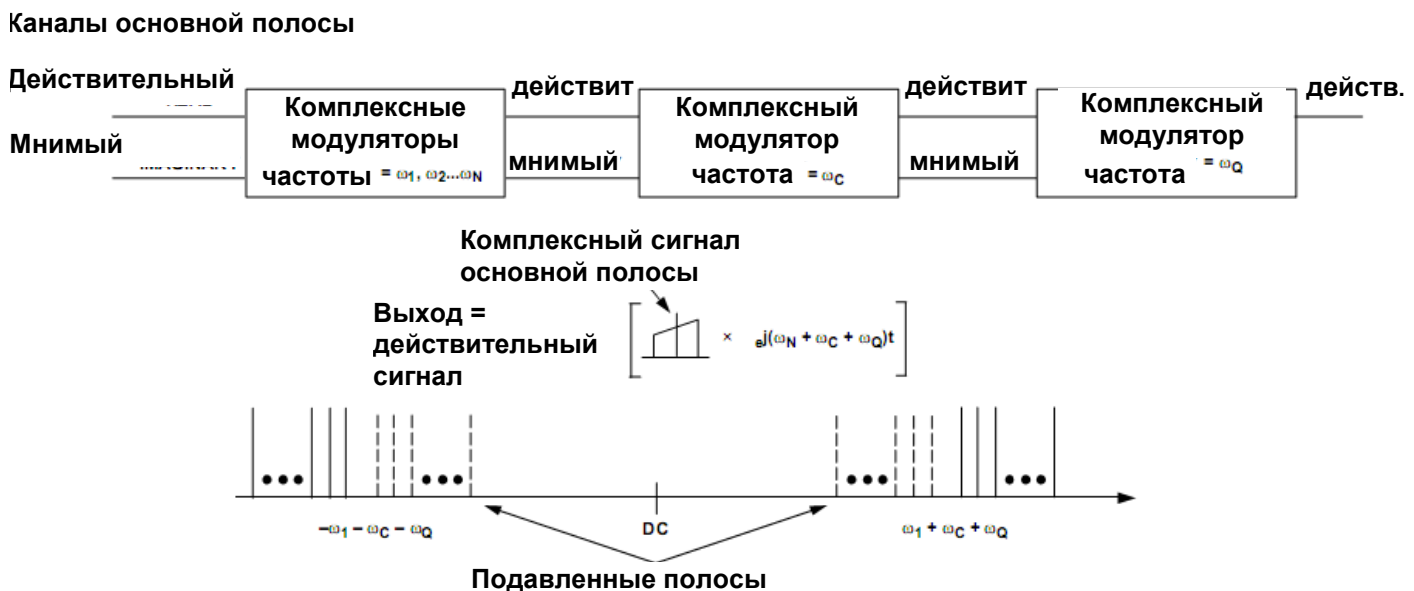


Рисунок 52 – Подавление боковой полосы с мультинесущим сигналом

Комплексная несущая, синтезируемая в цифровом модуляторе 1273ПА12Т, достигнута созданием двух реальных цифровых несущих, сдвинутых по фазе на  $90^\circ$ . Несущие не могут быть созданы модулятором, работающим на частоте  $f_{DAC}/2$ . По этой причине комплексная модуляция осуществляется только с коэффициентами модуляции  $f_{DAC}/4$  и  $f_{DAC}/8$ .

Области А и В на рисунках 53 – 58 являются результирующим комплексным сигналом, описанным ранее, когда комплексная модуляция в ИС 1273ПА12Т осуществляется термом  $e^{j\omega t}$ . Области С и D – результирующий комплексный сигнал, описанный ранее, с положительными частотными компонентами, когда комплексная модуляция в ИС 1273ПА12Т

осуществляется термом  $-e^{j\omega t}$ . Аналоговый квадратурный модулятор после 1273ПА12Т по своей природе модулирует термом  $+e^{j\omega t}$ .

### **Область А**

Область А является результатом преобразования с повышением частоты комплексного сигнала в основной полосе частот. Если рассматривается как комплексный сигнал, то останутся только изображения в области А. У комплексного сигнала А в цифровой области, состоящего только из положительных частотных компонентов, есть изображения в позитивных нечетных областях Найквиста (1, 3, 5...), тоже самое есть и в отрицательных четных областях. Подавление помех от зеркального канала в любой области Найквиста станет более очевидным при использовании квадратурного модулятора. Изображения появятся на действительном и мнимом выводах ИС 1273ПА12Т так же, как и на выводе квадратурного модулятора, где в центре графика спектра представлен квадратурный модулятор и гетеродин, в горизонтальном масштабе теперь представлено частотное смещение гетеродина.

### **Область В**

Область В комплексно сопряжена с областью А. Чтобы увидеть действительные и мнимые данные ЦАП 1273ПА12Т, необходимо использовать анализатор спектра, тогда область В будет появляться в спектре. Однако, на выходе квадратурного модулятора область В будет подавлена.

### **Область С**

Область С является результатом преобразования с понижением частоты, поскольку несущая модуляции есть  $-e^{j\omega t}$ . Если рассматривается как комплексный сигнал, изображения останутся только в области С. Это изображение появится на действительных и мнимых выводах ИС 1273ПА12Т так же, как и на выводе квадратурного модулятора, где центр спектрального графика теперь представляет гетеродин квадратурного модулятора, а в горизонтальном масштабе представлено смещение от частоты гетеродина.

### **Область D**

Область D комплексно сопряжена с областью С. Чтобы увидеть действительные и мнимые данные ЦАП 1273ПА12Т, необходимо использовать анализатор спектра, тогда область D появится в спектре. Однако, на выходе квадратурного модулятора область D будет подавлена.

На рисунках от 59 до 66 показан отклик ИС 1273ПА12Т и AD8345, заданный входным комплексным сигналом ИС 1273ПА12Т, изображенным на рисунке 59. Результаты на этих графиках были получены со скоростью передачи данных 12,5 MSPS на входе 1273ПА12Т. При коэффициенте интерполяции  $4\times$  или  $8\times$  скорость выходных данных ЦАП 50 MSPS или 100 MSPS. Как результат, верхний диапазон выходного спектра на этом графике является первой нулевой точкой спада  $\sin(x)/x$ , и асимметрия выходных изображений ЦАП (или зеркальных каналов) представляет спад по спектру  $\sin(x)/x$ . Внутренняя фазовая автоподстройка разрешена. В дополнение, для подавления изображений ЦАП используется фильтр нижних частот третьего порядка на 35 МГц.

Важный вывод можно сделать, анализируя рисунок 61 и рисунок 63. На рисунке 62 представлена группа положительных частот модулированных  $f_{DAC}/4$  в то время, как на рисунке 64 представлена группа отрицательных частот, модулированных ( $-f_{DAC}/4$ ). Анализируя действительные или мнимые выходы ИС 1273ПА12Т, показанные на рисунках 61 и 63, можно заметить, что результаты выглядят идентично. Однако анализатор спектра не может показать фазовое соотношение этих сигналов. Различие по фазе между двумя сигналами становится очевидным, когда они проходят через квадратурный модулятор AD8345, результаты показаны на рисунке 62 и 64.

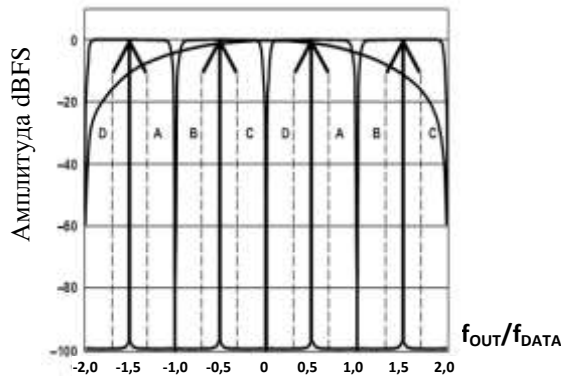


Рисунок 53 – Интерполяция 2×, комплексная модуляция  $f_{DAC}/4$

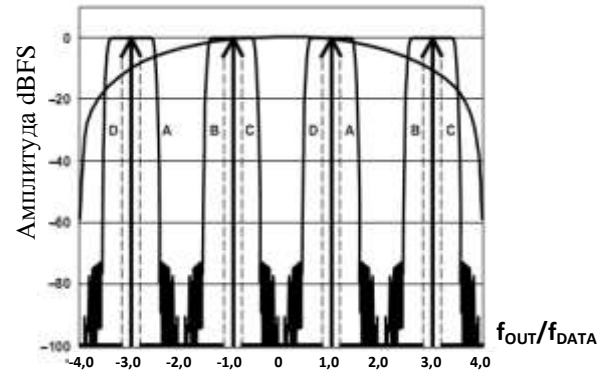


Рисунок 54– Интерполяция 4×, комплексная модуляция  $f_{DAC}/4$

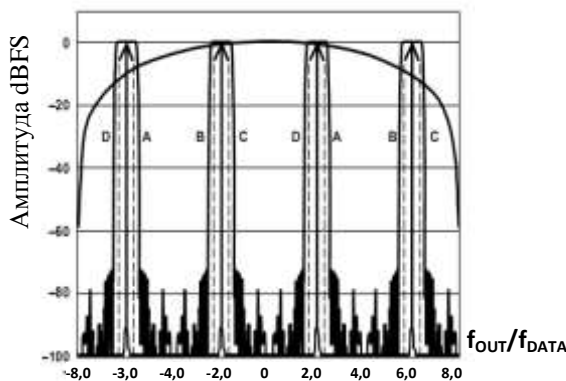


Рисунок 55 – Интерполяция 8×, комплексная модуляция  $f_{DAC}/4$

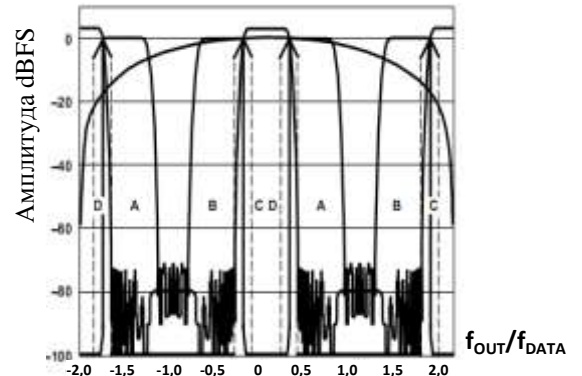


Рисунок 56 – Интерполяция 2×, комплексная модуляция  $f_{DAC}/8$

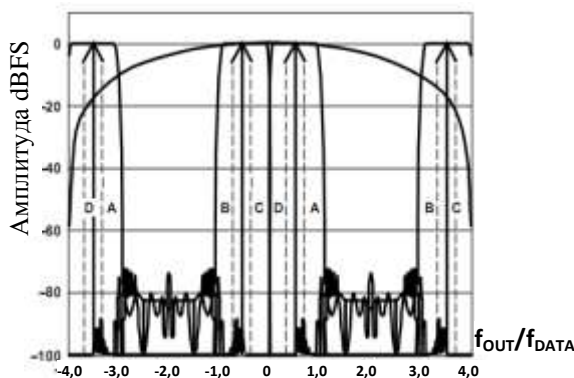


Рисунок 57– Интерполяция 4×, комплексная модуляция  $f_{DAC}/8$

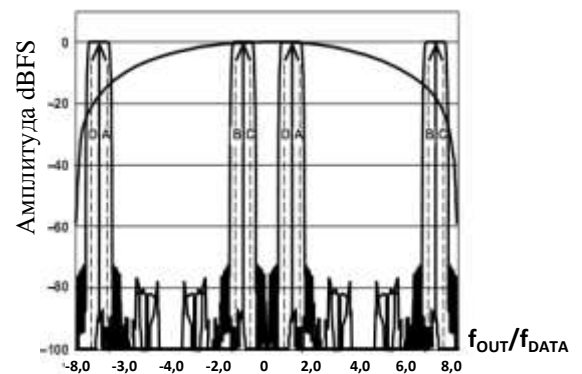


Рисунок 58– Интерполяция 8×, комплексная модуляция  $f_{DAC}/8$

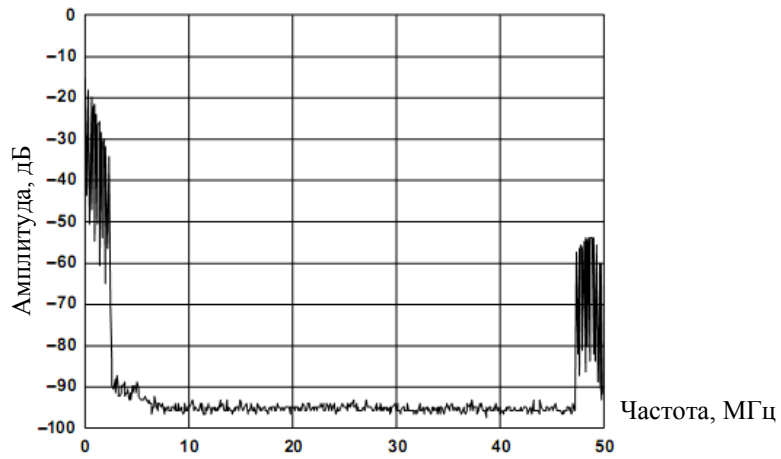


Рисунок 59 – Действительный выход ЦАП 1273ПА12Т комплексного входного сигнала в основной полосе частот (только позитивные частоты), интерполяция  $4\times$ , модуляция в ИС 1273ПА12Т отсутствует

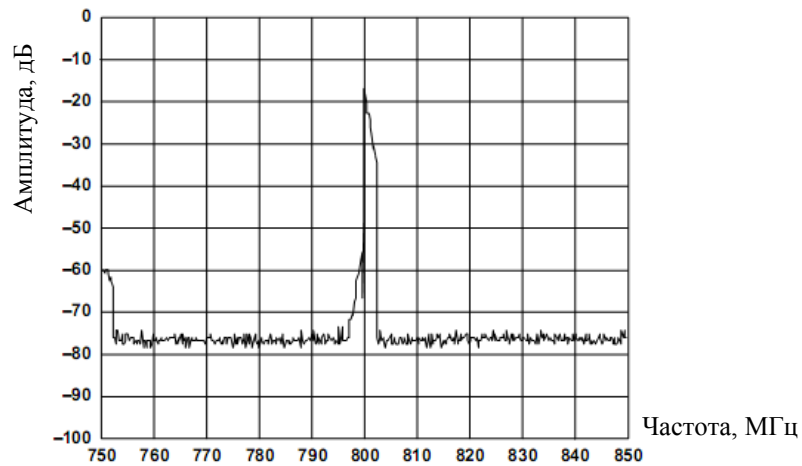


Рисунок 60– Комплексный выход ИС 1273ПА12Т с квадратурным модулятором AD8345 (частота гетеродина = 800 МГц)

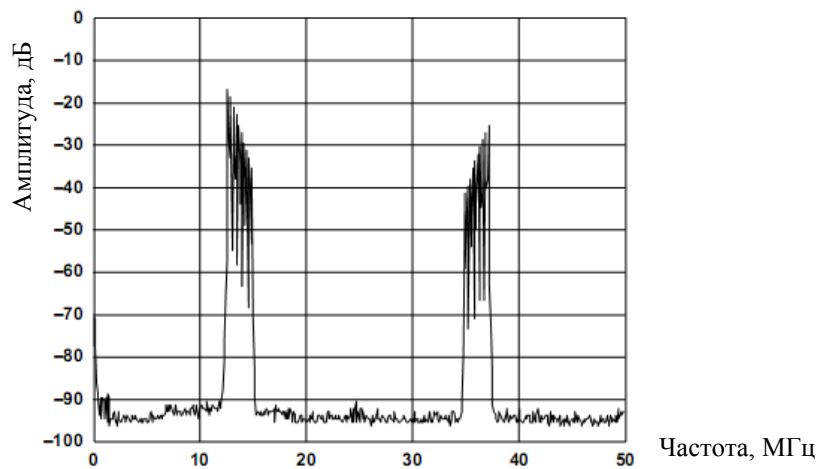


Рисунок 61 – Действительный вывод ЦАП 1273ПА12Т комплексного входного сигнала в основной полосе частот (только позитивные частоты), интерполяция  $4\times$ , модуляция в ИС 1273ПА12Т =  $f_{DAC}/4$



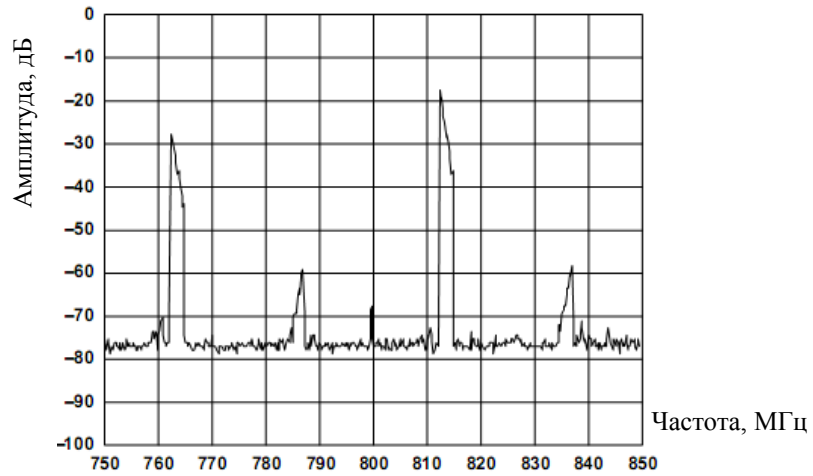


Рисунок 62 – Комплексный выход ИС 1273ПА12Т, с квадратурным модулятором AD8345 (частота гетеродина = 800 МГц)

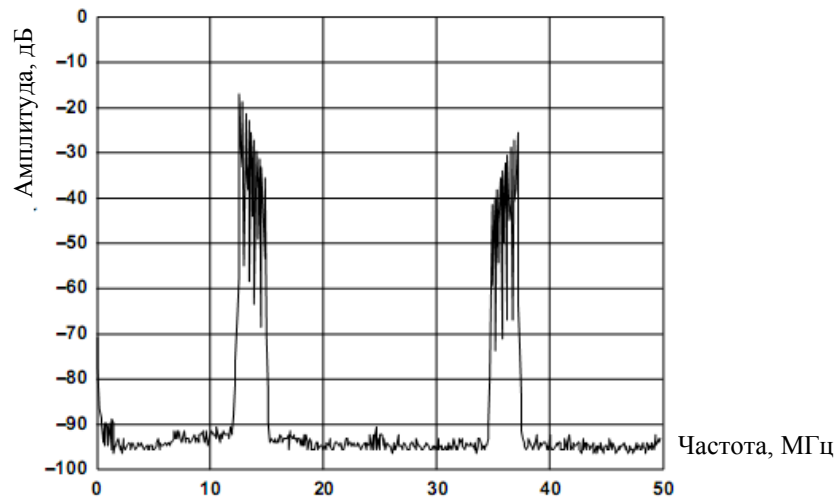


Рисунок 63 – Действительный вывод ЦАП 1273ПА12Т комплексного входного сигнала в основной полосе (только отрицательные частоты), интерполяция  $4\times$ , комплексная модуляция в 1273ПА12Т =  $-f_{DAC}/4$

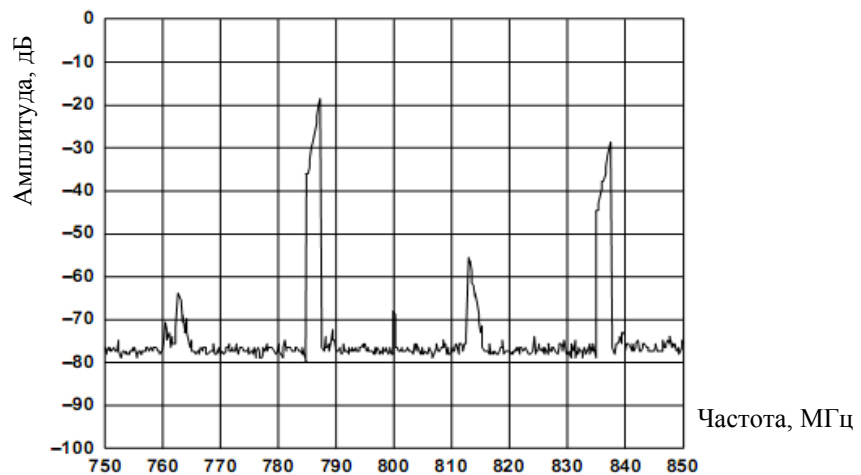


Рисунок 64 – Комплексный вывод ИС 1273ПА12Т, с квадратурным модулятором AD8345 (частота гетеродина = 800 МГц)



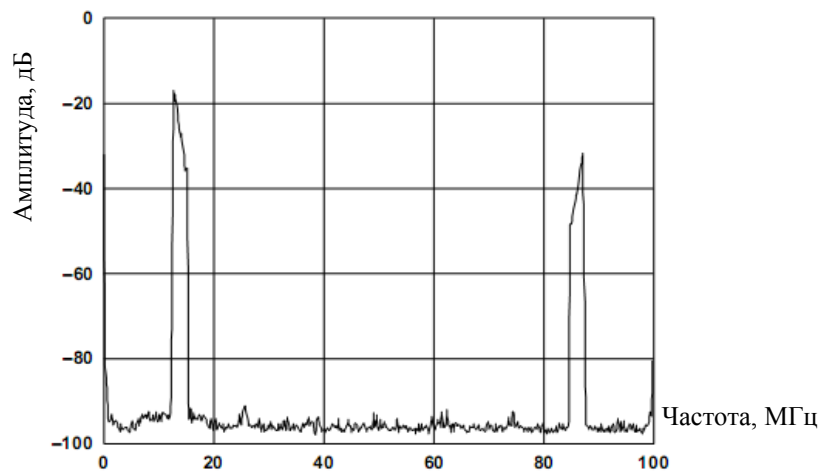


Рисунок 65 – Действительный вывод ЦАП 1273ПА12Т комплексного входного сигнала в основной полосе частот (только положительные частоты), интерполяция  $8\times$ , модуляция в 1273ПА12Т =  $f_{DAC}/8$

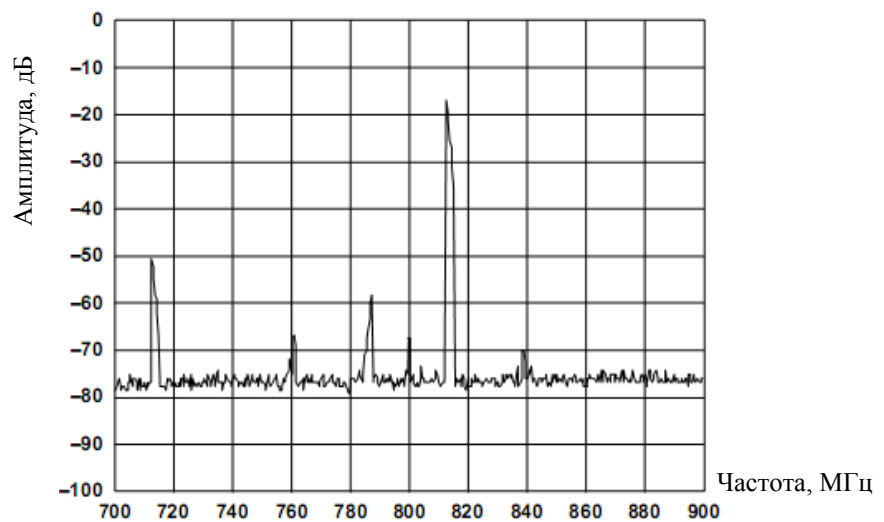


Рисунок 66 – Комплексный выход ИС 1273ПА12Т, с квадратурным модулятором AD8345 (частота гетеродина = 800 МГц)

## 4 Указания по применению и эксплуатации

Микросхема ИС 1273ПА12Т должна использоваться в соответствии с указаниями по применению и эксплуатации микросхем, согласно ОСТ В 11 0998–99, АЕЯР.431320.907ТУ с дополнениями и уточнениями, приведенными в настоящем разделе.

### 4.1 Источник опорного напряжения

Микросхема 1273ПА12Т имеет встроенный опорный источник напряжением 1,2 В, который может быть заменен внешним источником. Внешний источник может использоваться для принудительного задания уровня внутреннего источника простой подачей выхода внешнего источника на вывод REFIO. Если используется внутренний источник опорного напряжения, то к выходу REFIO обязательно должен быть подключен внешний керамический конденсатор емкостью 0,1 мкФ. Если требуется использовать внутреннее опорное напряжение микросхемы для внешних микросхем, то к выходу REFIO необходимо подключить буфер, имеющий входной ток меньше 100 нА.

Внешний источник опорного напряжения может обеспечить большую точность, а изменением его напряжения можно регулировать ток полной шкалы ЦАП.

### 4.2 Различные виды подключения выходных цепей

Этот раздел показывает некоторые типовые выходные конфигурации устройства ИС 1273ПА12Т. Если нет других примечаний, то предполагается, что ток  $I_{OUTFS}$  равен 20 мА. Для приложений, требующих оптимальную динамическую характеристику, настоятельно рекомендуется дифференциальная конфигурация выхода.

Простой дифференциальный выход может быть достигнут преобразованием токов  $I_{OUTA}$  и  $I_{OUTB}$  в выходные напряжения замыканием их на  $\cap GND$  через одинаковые резисторы. Этот тип конфигурации может быть полезным для управления дифференциальным входом по напряжению такого устройства, как модулятор. Если желательно преобразование в однопроводный сигнал и приложение допускает связь по переменному току, то может быть полезен радиочастотный трансформатор; если требуется усиление по мощности, то может использоваться операционный усилитель. Конфигурация с трансформатором обеспечивает оптимальную высокочастотную характеристику по шуму и гармоническим искажениям. Конфигурация с дифференциальным операционным усилителем подходит для приложений, требующих соединения по постоянному току, усиления сигнала и/или смещения уровня в полосе пропускания выбранного операционного усилителя.

Однопроводный выход является подходящим для приложений, требующих униполярного выходного напряжения. Положительное униполярное выходное напряжение будет, если ток  $I_{OUTA}$  и/или ток  $I_{OUTB}$

соединен с резистором нагрузки  $R_{LOAD}$  относительно  $\perp GND$ . Эта конфигурация является самой подходящей для систем с однополярным питанием, требующих соединения по постоянному току и привязки выходного напряжения к земле. Альтернативно, усилитель можно конфигурировать как преобразователь I-U, таким образом преобразовывая токи  $I_{OUTA}$  и  $I_{OUTB}$  в отрицательное униполярное напряжение. Данная конфигурация обеспечивает лучшую линейность систем цифрового управления, так как  $I_{OUTA}$  или  $I_{OUTB}$  подсоединены к земле или виртуальной земле.

### 4.3 Небуферизованный дифференциальный выход

Небуферизованный дифференциальный выход особенно полезен при проектировании выхода фильтров или возбуждения входов с конечными входными импедансами. Рисунок 67 иллюстрирует выход ИС 1273ПА12Т и эквивалентную схему. Данная информация будет полезной при проектировании интерфейса между 1273ПА12Т и устройством аналоговой квадратурной модуляции типа AD8345.

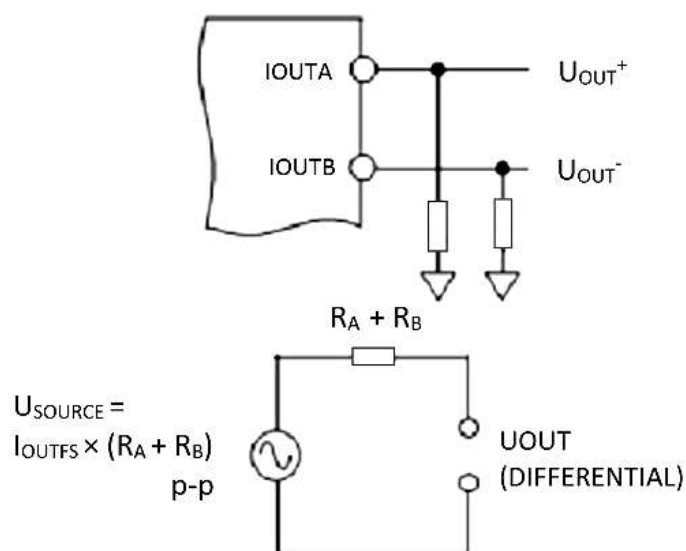


Рисунок 67 – Небуферизованный выход

Для типичной ситуации, где  $I_{OUTFS} = 20$  мА и  $R_A = R_B = 50$  Ом, значения эквивалентной схемы следующие:

$$U_{SOURCE} = 2 \text{ В}_{P-P},$$

$$R_{OUT} = 100 \text{ Ом}.$$

Отметим, что выходное сопротивление самого ЦАП больше, чем 100 кОм, и почти не влияет на полное сопротивление эквивалентной выходной цепи.

#### 4.4 Дифференциальное подключение, использующее трансформатор

Радиочастотный трансформатор может использоваться для преобразования дифференциального сигнала в однопроводной, как показано на рисунке 68. Трансформатор, подключенный к дифференциальному выходу, обеспечивает оптимальную характеристику искажений для выходных сигналов, спектр которых находится в полосе пропускания трансформатора. Высокочастотный трансформатор обеспечивает превосходное подавление искажений общего вида (т.е. четных гармоник) и подавление шумов за пределами диапазона частот (самого трансформатора). Он также обеспечивает электрическую развязку и возможность избавиться от двойного питания нагрузки. Трансформаторы с различными отношениями импедансов могут также быть использованы для обеспечения импедансного согласования.

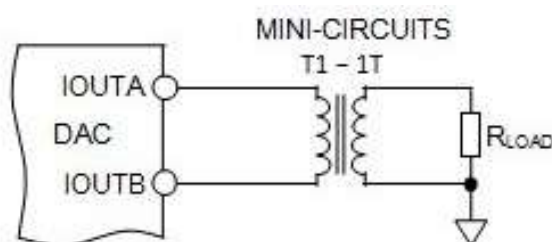


Рисунок 68 – Схема с трансформаторным выходом

Центральный вывод на первичной обмотке трансформатора должен быть подсоединён к  $\perp$ GND для обеспечения связи по постоянному току обоих выходов IOUTA и IOUTB. Комплементарные напряжения, возникающие на выводах IOUTA и IOUTB (т.е.  $U_{OUTA}$  и  $U_{OUTB}$ ) симметричным размахом относительно  $\perp$ GND, должны поддерживаться в определённом диапазоне, соответствующем устройству ИС 1273ПА12Т. Дифференциальный резистор  $R_{DIFF}$  может быть вставлен в режиме, в котором выход трансформатора подключён к нагрузке  $R_{LOAD}$  через пассивный восстанавливающий фильтр или кабель. Сопротивление  $R_{DIFF}$  определяется отношением импеданса трансформатора и обеспечивает корректное подключение схемы с низким значением КСВН (коэффициент стоячей волны по напряжению). Заметим, что примерно половина мощности сигнала будет рассеиваться на  $R_{DIFF}$ .

#### 4.5 Дифференциальное подключение, использующее операционный усилитель

Операционный усилитель может также быть использован для преобразования дифференциального сигнала в однопроводной, как показано на рисунке 69. Устройство ИС 1273ПА12Т сконфигурировано с двумя одинаковыми нагрузочными резисторами  $R_{LOAD}$  номиналом 25 Ом. Дифференциальное напряжение, образованное посредством токов  $I_{OUTA}$  и  $I_{OUTB}$ , преобразуется в однопроводное через конфигурацию дифференциального операционного усилителя. Между IOUTA и IOUTB может быть установлен дополнительный конденсатор, формирующий действительный полюс

низкочастотного фильтра. Этот дополнительный конденсатор также улучшает характеристику искажений операционного усилителя, предотвращая перегрузку входа усилителя от быстрых изменений выхода ЦАП.

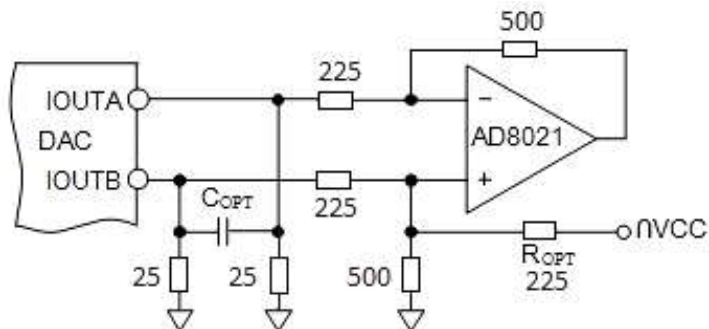


Рисунок 69 – Дифференциальное подключение, использующее операционный усилитель

Подавление синфазного сигнала (и искажения второго порядка) в данной конфигурации определяется соответствием (степенью идентичности) резисторов. Используемый операционный усилитель должен работать от симметричного питания, так как его выход – приблизительно  $\pm 1,0$  В. Рекомендуется высокоскоростной усилитель, такой как AD8021, способный к сохранению дифференциальной характеристики ИС 1273ПА12Т. Дифференциальное усиление операционного усилителя, установленное значением резистора, и полный размах на выходе необходимо учитывать при оптимизации схемы.  $R_{ОФТ}$  необходим только для сдвига уровня на выходе операционного усилителя. На рисунке 69  $0VCC$  является положительным аналоговым питанием для ИС 1273ПА12Т и для операционного усилителя, а также он использован для сдвига уровня дифференциального входа усилителя к половине питания (т.е.  $0VCC/2$ ).

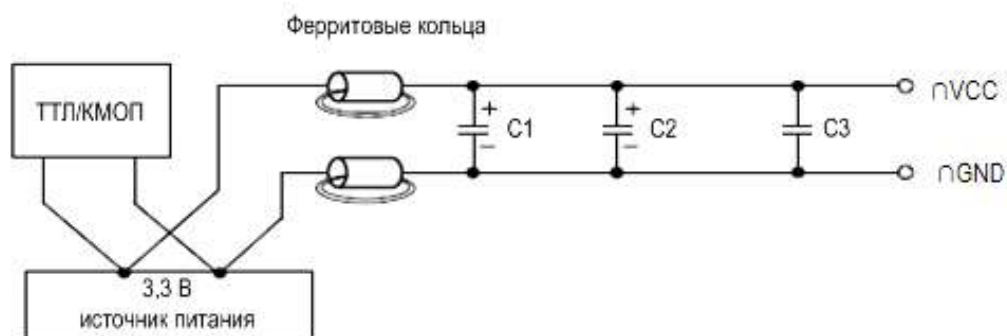
#### 4.6 Рекомендации по обеспечению питания, заземления и экранирования

В системах, работающих на больших частотах с высокой производительностью, очень важную роль играет разводка платы. Необходимо правильно выбирать высокочастотные компоненты, размещение их на плате, оптимально производить разводку сигнальных шин, заземления и питания.

Правильное заземление и развязка должны быть главными задачами в высокоскоростных системах с высоким разрешением. В системе для оптимизации управления, развязки аналогового и цифрового токов выводы аналоговой и цифровой земли и питания должны быть разделены.

В основном, развязка необходима между парами выводов  $0VCC$  и  $0GND$ ,  $\#VCC$  и  $\#GND$ ,  $CLKVCC$  и  $CLKGND$  непосредственно у выводов микросхемы, насколько это возможно.

Можно рекомендовать цепь аналогового питания, представленную на рисунке 70. Цепь состоит из дифференциального LC-фильтра с разделенными питающими напряжениями. Снижение шума может быть достигнуто применением электролитических, танталовых и керамических конденсаторов.



Конденсаторы: C1= 100 мкФ – электролитический;  
 C2= (10 – 22) мкФ – танталовый;  
 C3= 0,1 мкФ – керамический.

Рисунок 70 – Дифференциальный LC-фильтр для устройств с напряжением питания 3,3 В

Достижение минимальных шумов по питанию необходимо для получения оптимальных характеристик ЦАП. Правильным размещением считается разделение цифровой и аналоговой части устройства полосой аналоговой земли.

Все контакты аналоговой части микросхемы, все аналоговые компоненты на плате должны подсоединяться непосредственно к плоскости аналоговой земли. Разводка платы должна быть сделана таким образом, чтобы шины земли не прерывали критические цепи прохождения сигнала. На цифровой части платы это относится к тактовым сигналам и цифровому входу. На аналоговой части платы это относится к сигналу опорного напряжения, токовым выходам и к цепи питания.

Рекомендуется использование широких дорожек и шин в разводке цепей питания. Это играет двойную роль: понижает сопротивление цепей питания, увеличивает емкость между шинами питания. Очень важна правильная разводка, так как микросхема чувствительна к внешним наводкам и скачкам напряжения. Рекомендуется по возможности делать все соединения короткими и физически близко расположенными к микросхеме.

## **Заключение**

В настоящем руководстве КФДЛ.431328.018 рассмотрены архитектура, функциональное построение и особенности применения микросхемы 1273ПА12Т, которая представляет собой 12-разрядный цифро-аналоговый преобразователь.

Все значения электрических параметров микросхемы приведены в технических условиях на изделие АЕЯР.431320.907.

Значения параметров, приведенные в настоящем руководстве, являются справочными.

Данное руководство может служить практическим пособием по применению ЦАП для разработки систем на основе микросхем 1273ПА12Т.

Применение микросхемы 1273ПА12Т в системах цифровой обработки сигналов, встроенных системах управления, связи, в системах автоматизации технологических процессов, вычислительной технике позволит создавать более совершенные в техническом отношении и надежные в эксплуатации изделия.

## Приложение А (обязательное)

### Термины, определения и буквенные обозначения параметров, не установленные действующими стандартами

Таблица А.1 – Термины, определения и буквенные обозначения параметров, не установленные действующими стандартами

Наименование параметра	Буквенное обозначение параметра	Определение параметра
1	2	3
Интегральная нелинейность	$E_L$	Максимальное отклонение действительной характеристики преобразования от установленным способом проведенной прямой, линеаризирующей действительную характеристику преобразования, выраженное в единицах младшего разряда
Дифференциальная нелинейность	$E_{LD}$	Максимальное отклонение разности значений величины в заданной и предшествующей ей точках действительной характеристики преобразования от среднего действительного значения кванта преобразования, выраженное в единицах младшего разряда
Выходной шум	ON	Отношение среднеквадратического значения (тока) шума на выходе ЦАП в заданной полосе частот к квадратному корню из величины, равной заданной полосе частот
Общие гармонические искажения	THD	Отношение суммы среднеквадратических значений амплитуд гармоник, исключая первую, к среднеквадратичному значению амплитуды основной составляющей выходного сигнала, выраженное в децибеллах. Определяется по формуле $THD = 10 \lg((V_2^2 + V_3^2 + \dots + V_i^2)/V_1^2), \quad (A.1)$ где $(V_2^2 + V_3^2 + \dots + V_i^2)$ – среднеквадратичное значение суммы амплитуд гармоник от второй до i-й; $V_1^2$ – среднеквадратичное значение амплитуды основной составляющей
Выходной ток полной шкалы по аналоговым выходам	$I_{OUTFS}$	Ток, определяемый максимальным значением входного кода
Диапазон выходных напряжений	$\Delta U_{OCR}$	Диапазон напряжений, при котором обеспечивается работоспособность ЦАП
Максимальная частота обновления выходных данных	$f_C$	Максимальная частота, при которой обеспечивается работоспособность ЦАП
Максимальная частота обновления входных данных	$f_D$	Максимальная частота обновления входных данных



*Окончание таблицы А.1*

1	2	3
Частота обновления входных данных	$f_{IN}$	Частота обновления входных данных
Выходная частота ЦАП	$f_{OUT}$	Частота аналогового сигнала, формируемого ЦАП
Входное опорное напряжение	$U_{REFIN}$	Опорное напряжение, подаваемое от внешнего источника на вход REFIO

Лист регистрации изменений

Изм.	Номера листов (страниц)				Всего листов (страниц) в докум.	№ докум.	Подп.	Дата
	измененных	замененных	новых	аннулированных				
-	-	-	все	-	66			21.10.13
1	1	-	-	-	-			24.10.13
1	1	-	-	-	-			24.12.13