

МИКРОСХЕМЫ ИНТЕГРАЛЬНЫЕ
1273ПА6У, 1273ПА6У1

Руководство пользователя

Содержание

1	Введение	3
2	Назначение и основные технические характеристики микросхем	4
2.1	Архитектурные характеристики микросхем	4
2.2	Конструктивные характеристики микросхем	5
2.3	Электрические характеристики микросхем	7
3	Общая характеристика микросхем	11
4	Описание устройства микросхем	12
4.1	Структура и описание ЦАП	12
4.2	Умножитель частоты	14
4.2.1	Режим "ФАПЧ включен"	15
4.2.2	Режим "ФАПЧ выключен"	17
4.2.2.1	Режим чередования входов с удвоением частоты	18
4.2.2.2	Однопортовый режим	20
4.3	Источник опорного напряжения.....	21
4.4	Управляющий усилитель.....	21
4.5	Токовые выходы.....	22
4.6	Цифровые входы	24
5	Указания по применению и эксплуатации.....	25
5.1	Различные виды подключения выходных цепей	26
5.1.1	Дифференциальное подключение с помощью трансформатора.....	26
5.1.2	Дифференциальное подключение с помощью операционного усилителя.....	27
5.1.3	Подключение с несимметричным небуферизированным выходом напряжения.....	28
5.1.4	Подключение с несимметричным буферизированным выходом напряжения.....	29
5.2	Рекомендации по поводу обеспечения питания, заземления и экранирования	29
6	Заключение	31
	Приложение А (обязательное).....	32
	Лист регистрации изменений	34

1 Введение

Быстрое развитие цифровой техники и цифровых методов обработки сигналов определяет современные тенденции в разработке разнообразных устройств и приборов, при этом значительная роль принадлежит аналого-цифровому и цифро-аналоговому преобразованию, которое широко используется во всех областях радиоэлектроники, в различной измерительной и контрольной аппаратуре, системах связи, радиовещании и телевидении.

Цифро-аналоговые преобразователи (ЦАП) предназначены для преобразования сигнала, определенного, как правило, в виде двоичного кода в напряжение или ток, пропорционально значению цифрового кода.

Настоящее руководство КФДЛ.431328.007 предназначено для изучения интегральных микросхем 1273ПА6У, 1273ПА6У1, содержит описание принципа работы, технические характеристики и другие сведения, необходимые для обеспечения полного использования технических возможностей микросхем.

Разработанные в ходе ОКР микросхемы ЦАП позволят уменьшить вес аппаратуры, обеспечить требуемые показатели по надежности и сроку службы.

2 Назначение и основные технические характеристики микросхем

1273ПА6У, 1273ПА6У1 – интегральные микросхемы 14-разрядных параллельных цифро-аналоговых преобразователей (ЦАП) на источниках тока.

Микросхемы имеют параллельный интерфейс, встроенный источник опорного напряжения и дифференциальные токовые выходы.

Основной областью применения микросхем является одноканальное и многоканальное передающее коммуникационное оборудование, использующее цифровую модуляцию. К нему относятся как беспроводные передающие системы базовых станций сотовой связи, так и кабельные передатчики, модемы и другое оборудование.

2.1 Архитектурные характеристики микросхем

Характеристики микросхем ЦАП:

- напряжение питания цифровой части микросхем $U_{\#VCC} = (3,3 \pm 0,3) \text{ В}$;
- напряжение питания аналоговой части микросхем $U_{\text{AVCC}} = (3,3 \pm 0,3) \text{ В}$;
- напряжение внутреннего источника опорного напряжения (ИОН) 1,2 В;
- максимальная частота обновления выходных данных $f_C = 300 \text{ МГц}$;
- максимальная частота обновления входных данных $f_{\text{INMAX}} = 150 \text{ МГц}$;
- интерфейс параллельный;
- время установления (0,1 %) $t_S = 0,011 \text{ мкс}$;
- интегральная нелинейность (типовое значение) $E_L = \pm 2,5 \text{ ЕМР}$,
- дифференциальная нелинейность (типовое значение) $E_{\text{LD}} = \pm 1,5 \text{ ЕМР}$;
- внутренний умножитель частоты $\times 2, \times 4$;
- разрядность 14 бит (16384 значений выходного тока);
- режим пониженного потребления 15 мВт при 3,3 В;
- дифференциальные токовые выходы IOUTA, IOUTB: максимальные токи $I_{\text{OUTA}}, I_{\text{OUTB}}$ от 2 до 20 мА;
- два 14-ти разрядных мультиплексируемых входных порта;
- входные триггеры-защелки, срабатывающие по фронту тактового сигнала;
- диапазон температур окружающей среды: от минус 60 до плюс 85 °С;
- потребляемая мощность: 185 мВт при 3,6 В.

2.2 Конструктивные характеристики микросхем

Микросхемы выполнены в 48-выводных металлокерамических корпусах: 1273ПА6У – в корпусе Н16.48-1В, 1273ПА6У1 – в корпусе 5133.48-3.

Масса микросхем должна быть не более 2,5 г.

Условное графическое обозначение микросхем представлено на рисунке 2.1.

Функциональное назначение выводов микросхем 1273ПА6У, 1273ПА6У1 приведено в таблице 2.1.

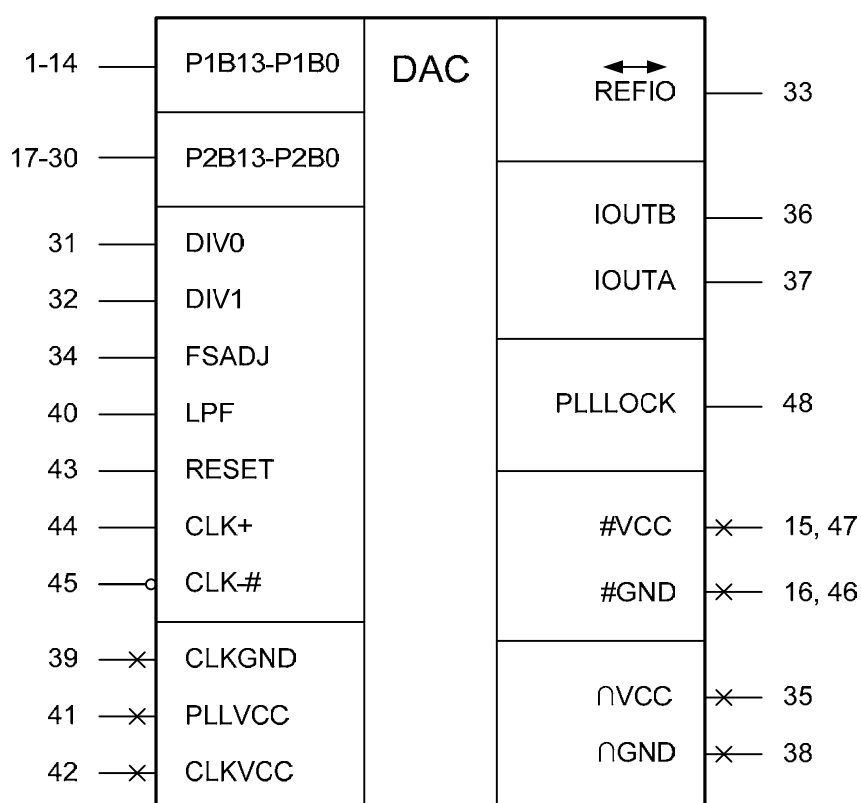


Рисунок 2.1 – Условное графическое обозначение ИМС 1273ПА6У, 1273ПА6У1

Таблица 2.1 – Функциональное назначение выводов микросхем

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода
1–14	P1B13–P1B0	Биты данных от В13 до В0 порта 1	I
17–30	P2B13–P2B0	Биты данных от В13 до В0 порта 2	I
31	DIV0	Вход управления для ФАПЧ	I
32	DIV1	Вход выбора режима порта	I
33	REFIO	Вход/выход ИОН	I/O
34	FSADJ	Вход установки тока полной шкалы	I
40	LPF	Вход фильтра ФАПЧ	I
43	RESET	Сброс внутреннего делителя ФАПЧ	I
44	CLK+	Прямой вход дифференциального тактового сигнала	I
45	CLK-#	Инверсный вход дифференциального тактового сигнала	I
36	IOUTB	Дополнительный токовый выход ЦАП	O
37	IOUTA	Прямой токовый выход ЦАП	O
39	CLKGND	Общий вывод тактового сигнала	–
41	PLLVCC	Вывод питания ФАПЧ	–
42	CLKVCC	Вывод питания тактового сигнала	–
48	PLLLOCK	Вывод индикации захвата фазы ФАПЧ	O
35	AVCC	Вывод питания аналоговой части микросхемы	–
38	AGND	Общий вывод аналоговой части микросхемы	–
15, 47	#VCC	Вывод питания цифровой части микросхемы	–
16, 46	#GND	Общий вывод питания цифровой части микросхемы	–
<p>Примечание – В графе «Тип вывода»: I – вход, O – выход, I/O – вход/выход.</p>			

2.3 Электрические характеристики микросхем

Электрические характеристики микросхем 1273ПА6У, 1273ПА6У1 при приемке и поставке приведены в таблице 2.2.

Значения предельно-допустимых электрических режимов эксплуатации в диапазоне рабочих температур приведены в таблице 2.3.

Термины, определения, сокращения и буквенные обозначения параметров – по ОСТ В 11 0998-99, ОСТ 11 0583-88, ГОСТ 17021-88 и ГОСТ 19480-89.

Термины, определения и буквенные обозначения параметров, неустановленные действующими стандартами, представлены в таблице А.1 приложения А.

Таблица 2.2 – Значения электрических параметров микросхем при приемке и поставке

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра		Темпера- тура среды, °С
		не менее	не более	
1	2	3	4	5
1 Выходное опорное напряжение на выводе REFIO, В $U_{DVCC} = 3,6 \text{ В}$, $U_{\#VCC} = 3,6 \text{ В}$, $U_{CLKVCC} = 3,6 \text{ В}$, $U_{PLLVCC} = 3,6 \text{ В}$, $I_{OUTFS} = 20 \text{ мА}$	U_{REFIO}	1,14	1,26	-60 ± 3 25 ± 10 85 ± 3
2 Выходное напряжение низкого уровня на выводе PLLLOCK, В $U_{DVCC} = 3,6 \text{ В}$, $U_{\#VCC} = 3,6 \text{ В}$, $U_{CLKVCC} = 3,6 \text{ В}$, $U_{PLLVCC} = 3,6 \text{ В}$, $I_{OUTFS} = 20 \text{ мА}$	U_{OL}	–	0,3	
3 Выходное напряжение высокого уровня на выводе PLLLOCK, В $U_{DVCC} = 3,6 \text{ В}$, $U_{\#VCC} = 3,6 \text{ В}$, $U_{CLKVCC} = 3,6 \text{ В}$, $U_{PLLVCC} = 3,6 \text{ В}$, $I_{OUTFS} = 20 \text{ мА}$	U_{OH}	3	–	
4 Входной ток низкого уровня на входах, мкА $U_{DVCC} = 3,6 \text{ В}$, $U_{\#VCC} = 3,6 \text{ В}$, $U_{CLKVCC} = 3,6 \text{ В}$, $U_{PLLVCC} = 3,6 \text{ В}$, $I_{OUTFS} = 20 \text{ мА}$	RESET P1B13 – P1B0, P2B13 – P2B0, DIV0, DIV1, CLK+, CLK-#	I_{IL}	-25 – -10 –	

Продолжение таблицы 2.2

1	2	3	4	5
5 Входной ток высокого уровня на входах, мкА $U_{\Omega VCC} = 3,6 \text{ В}$, $U_{\#VCC} = 3,6 \text{ В}$, $U_{CLKVCC} = 3,6 \text{ В}$, $U_{PLLVCC} = 3,6 \text{ В}$, $I_{OUTFS} = 20 \text{ мА}$	RESET	–	25	–60 ± 3 25 ± 10 85 ± 3
	P1B13 – P1B0, P2B13 – P2B0, DIV0, DIV1, CLK+, CLK-#		10	
6 Динамический ток потребления по выводу ΩVCC , мА $U_{\Omega VCC} = 3,6 \text{ В}$, $U_{\#VCC} = 3,6 \text{ В}$, $U_{CLKVCC} = 3,6 \text{ В}$, $U_{PLLVCC} = 3,6 \text{ В}$, $I_{OUTFS} = 20 \text{ мА}$, $f_{IN} = 25 \text{ МГц}$	$I_{\Omega VCC}$	–	40	
7 Динамический ток потребления по выводу $\#VCC$, мА $U_{\Omega VCC} = 3,6 \text{ В}$, $U_{\#VCC} = 3,6 \text{ В}$, $U_{CLKVCC} = 3,6 \text{ В}$, $U_{PLLVCC} = 3,6 \text{ В}$, $I_{OUTFS} = 20 \text{ мА}$, $f_{IN} = 25 \text{ МГц}$	$I_{\#VCC}$	–	5,0	
8 Динамический ток потребления по выводу $CLKVCC$, мА $U_{\Omega VCC} = 3,6 \text{ В}$, $U_{\#VCC} = 3,6 \text{ В}$, $U_{CLKVCC} = 3,6 \text{ В}$, $U_{PLLVCC} = 3,6 \text{ В}$, $I_{OUTFS} = 20 \text{ мА}$, $f_{IN} = 25 \text{ МГц}$	I_{OCCCLK}	–	12,6	
9 Динамический ток потребления по выводу $PLLVCC$, мА $U_{\Omega VCC} = 3,6 \text{ В}$, $U_{\#VCC} = 3,6 \text{ В}$, $U_{CLKVCC} = 3,6 \text{ В}$, $U_{PLLVCC} = 3,6 \text{ В}$, $I_{OUTFS} = 20 \text{ мА}$, $f_{IN} = 25 \text{ МГц}$	I_{OCCPLL}	–	6,5	
10 Выходное сопротивление, кОм $U_{\Omega VCC} = 3,6 \text{ В}$, $U_{\#VCC} = 3,6 \text{ В}$, $U_{CLKVCC} = 3,6 \text{ В}$, $U_{PLLVCC} = 3,6 \text{ В}$, $I_{OUTFS} = 20 \text{ мА}$	R_{OUT}	50	–	
11 Интегральная нелинейность, ЕМР $U_{\Omega VCC} = 3,0 \text{ В}$, $U_{\#VCC} = 3,0 \text{ В}$, $U_{CLKVCC} = 3,0 \text{ В}$, $U_{PLLVCC} = 3,0 \text{ В}$, $I_{OUTFS} = 20 \text{ мА}$	E_L	–5	5	
12 Дифференциальная нелинейность, ЕМР $U_{\Omega VCC} = 3,0 \text{ В}$, $U_{\#VCC} = 3,0 \text{ В}$, $U_{CLKVCC} = 3,0 \text{ В}$, $U_{PLLVCC} = 3,0 \text{ В}$, $I_{OUTFS} = 20 \text{ мА}$	E_{LD}	–3	3	
13 Погрешность коэффициента усиления, % от полной шкалы $U_{\Omega VCC} = 3,6 \text{ В}$, $U_{\#VCC} = 3,6 \text{ В}$, $U_{CLKVCC} = 3,6 \text{ В}$, $U_{PLLVCC} = 3,6 \text{ В}$, $I_{OUTFS} = 20 \text{ мА}$	GE	–2	2	
14 Погрешность смещения, % от полной шкалы $U_{\Omega VCC} = 3,6 \text{ В}$, $U_{\#VCC} = 3,6 \text{ В}$, $U_{CLKVCC} = 3,6 \text{ В}$, $U_{PLLVCC} = 3,6 \text{ В}$, $I_{OUTFS} = 20 \text{ мА}$	OE	–0,1	0,1	

Окончание таблицы 2.2

1	2	3	4	5
15 Общие гармонические искажения, дБ $U_{DVCC} = 3,6 \text{ В}$, $U_{\#VCC} = 3,6 \text{ В}$, $U_{CLKVCC} = 3,6 \text{ В}$, $U_{PLLVCC} = 0 \text{ В}$, $I_{OUTFS} = 20 \text{ мА}$, $f_{IN} = 65 \text{ МГц}$, $f_{OUT} = 2 \text{ МГц}$	THD	–	–70	–60 ± 3 25 ± 10 85 ± 3
16 Выходной шум, $\text{pA}/\sqrt{\text{Hz}}$ $U_{DVCC} = 3,6 \text{ В}$, $U_{\#VCC} = 3,6 \text{ В}$, $U_{CLKVCC} = 3,6 \text{ В}$, $U_{PLLVCC} = 0 \text{ В}$, $I_{OUTFS} = 20 \text{ мА}$	ON	–	80	
17 Функциональный контроль $U_{DVCC} = (3,0; 3,6) \text{ В}$, $U_{\#VCC} = (3,0; 3,6) \text{ В}$, $U_{CLKVCC} = (3,0; 3,6) \text{ В}$, $U_{PLLVCC} = (3,0; 3,6) \text{ В}$, $f_{IN} = 1 \text{ МГц}$, $I_{OUTFS} = (2; 20) \text{ мА}$	ФК	–	–	
18 Время переключения на выходах IOUTA, IOUTB, нс время спада время нарастания $U_{DVCC} = 3,0 \text{ В}$, $U_{\#VCC} = 3,0 \text{ В}$ $U_{CLKVCC} = 3,0 \text{ В}$, $U_{PLLVCC} = 0 \text{ В}$, $I_{OUTFS} = 20 \text{ мА}$, $f_{IN} = 10 \text{ МГц}$	t_f t_r	– –	3 3	
<p>Примечания</p> <p>1 Параметры I_{IL}, I_{IH}, E_L, E_{LD}, GE, OE при температуре минус 60 °С не измеряются, а гарантируются нормами при температуре (25 ± 10) °С.</p> <p>2 Параметры времени переключения на выходах IOUTA, IOUTB (время спада t_f, время нарастания t_r) гарантируют обеспечение параметров f_C, f_{INMAX}, t_S.</p>				

Таблица 2.3 – Предельно-допустимые режимы эксплуатации микросхем в диапазоне рабочих температур от минус 60 до плюс 85 °С

Наименование параметра режима, единица измерения	Буквенное обозначение параметра	Предельно- допустимый режим		Предельный режим	
		не менее	не более	не менее	не более
1 Напряжение питания цифровой части, В	$U_{\#VCC}$	3,0	3,6	-0,3	7,0
2 Напряжение питания аналоговой части, В	$U_{\#VCC}$	3,0	3,6	-0,3	7,0
3 Напряжение питания формирователей тактовых импульсов, В	U_{CLKVCC}	3,0	3,6	-0,3	7,0
4 Напряжение питания блока фазовой автоподстройки частоты (ФАПЧ), В	U_{PLLVCC}	3,0	3,6	-0,3	7,0
5 Напряжение на входах CLK+, CLK-#, В	U_{CLK}	0	3,0	-	-
6 Входное напряжение высокого уровня на входах P1B13 – P1B0, P2B13 – P2B0, DIV0, DIV1, RESET, CLK+, CLK-#, В	U_{IH}	2,1	$U_{\#VCC}$	-	$U_{\#VCC}+0,3$
7 Входное напряжение низкого уровня на входах P1B13 – P1B0, P2B13 – P2B0, DIV0, DIV1, RESET, CLK+, CLK-#, В	U_{IL}	0	0,9	-0,3	-
8 Диапазон выходных напряжений, В	ΔU_{OCR}	-1	1,25	-	-
9 Выходной ток по выводу REFIO, мкА	I_{REFIO}	-	0,1	-	-
10 Выходной ток полной шкалы, мА	I_{OUTFS}	2	20	-	-
11 Длительность фронта и длительность спада входных сигналов, нс	t_{LH}	-	500*	-	-
	t_{HL}	-	500*	-	-
<p>* При эксплуатации микросхем в режимах, превышающих предельно-допустимые, значения динамических параметров не гарантируются.</p>					

3 Общая характеристика микросхем

1273ПА6У, 1273ПА6У1 – интегральные микросхемы 14-разрядных параллельных цифро-аналоговых преобразователей на источниках тока.

ЦАП имеют параллельный интерфейс, встроенный источник опорного напряжения и дифференциальный токовый выход. Выходной ток полной шкалы может регулироваться от 2 до 20 мА без ухудшения параметров. Возможно использование выхода в несимметричном или дифференциальном включении.

Цифро-аналоговое преобразование осуществляется суммированием токов внутренних стабилизированных источников тока. Источники тока выполнены на р-канальных транзисторах, образующих матрицу источников тока. Выходные противофазные вытекающие токи формируются с помощью дифференциальных токовых переключателей, выходы которых объединены в две выходные шины, а входы каждого соединяются с отдельным источником тока матрицы.

Матрица источников тока содержит 31 одинаковый источник старших токов, определяющих 5 старших разрядов, 15 одинаковых источников тока средних разрядов, определяющих 4 средних разряда, и формирователь пяти двоично-взвешенных токов младших разрядов.

Номинальное значение токов матрицы задается с помощью опорного источника тока, представляющего собой преобразователь напряжение-ток. В качестве токозадающего элемента используется внешний резистор. На токозадающем резисторе падает напряжение, равное опорному, и задается опорный ток, равный U_{REFIO}/R_{SET} .

Для уменьшения выбросов выходного тока управляющие переключателями сигналы имеют уровни меньше, чем U_{OVCC} .

Входной цифровой код с двух портов запоминается в линейке триггеров-защелок. Дешифратор двоичного кода в линейный позиционный код выполнен на комбинационной логике.

4 Описание устройства микросхем

4.1 Структура и описание ЦАП

Микросхемы содержат следующие функциональные блоки (смотри рисунок 4.1):

- источник опорного напряжения 1,2 В (ИОН);
- управляющий усилитель (УУ);
- матрицу источников тока;
- переключатели тока;
- триггеры-защелки;
- ЭППЗУ кода коррекции токов;
- умножитель частоты;
- мультиплексор входа.

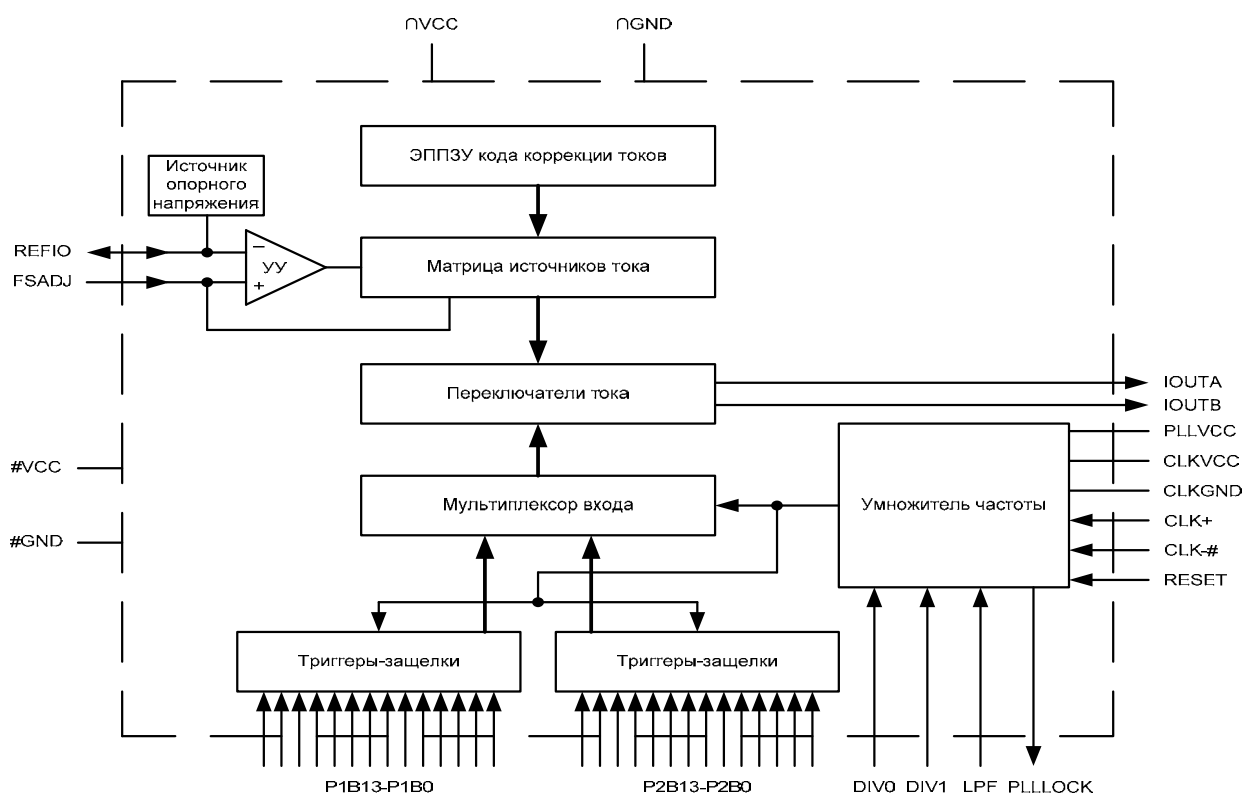


Рисунок 4.1 – Схема электрическая структурная микросхем 1273ПА6У, 1273ПА6У1

Выводы питания

Микросхемы 1273ПА6У, 1273ПА6У1 имеют независимые выводы для питания аналоговой, цифровой, тактовой частей и схемы умножения частоты.

Для питания используются:

- аналогового блока – выводы $\cap VCC$ и $\cap GND$;
- цифрового блока – выводы $\#VCC$ и $\#GND$;
- тактовой части – выводы $CLKVCC$ и $CLKGND$;
- схемы умножения частоты – выводы $PLL VCC$ и $CLKGND$.

Как правило, напряжение питания цифровых и аналоговых блоков одинаково и может находиться в диапазоне от 3,0 до 3,6 В.

Одной из особенностей микросхем является использование дифференциального тактового сигнала, запитанного от отдельного источника (выводы $CLKVCC$ и $CLKGND$) для достижения оптимальной синхронизации (минимального отклонения фазы). Два входа тактовых сигналов $CLK+$ и $CLK-\#$ могут подключаться как к одиночному, так и к дифференциальному источнику тактового сигнала. При использовании одиночного тактового сигнала вывод $CLK+$ подключается к источнику сигнала, вывод $CLK-\#$ подключается к пороговому напряжению логического источника. Пример реализации с использованием резистивно-емкостного делителя приведен на рисунке 4.2.

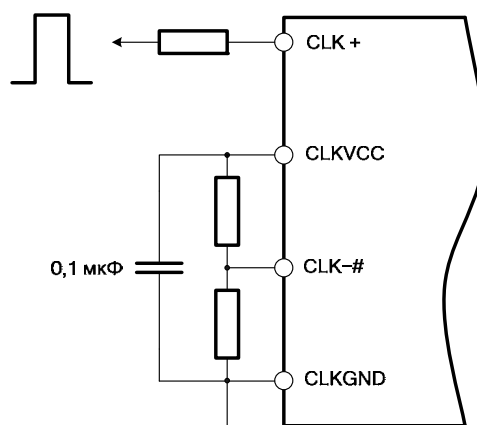


Рисунок 4.2 – Использование одиночного источника тактового сигнала

Для случая использования дифференциального источника тактового сигнала пример подключения приведен на рисунке 4.3.

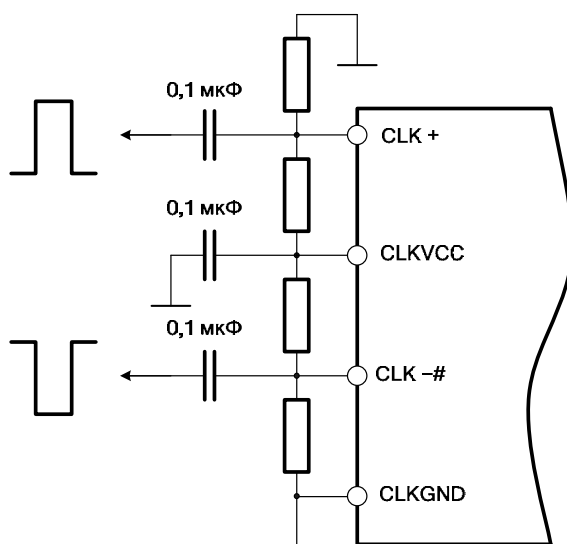


Рисунок 4.3 – Использование дифференциального источника тактового сигнала

Установка выходных токов

Установку выходных токов обеспечивают переключатели тока. Необходимый набор токов выдается матрицей источников тока. При этом выходные токи матрицы разделены на три группы: старшие, средние и младшие.

Старшие токи (32 тока) равны опорному току I_{REFIO} . Один старший ток подается на выход FSADJ, остальные (31 ток) поступают на переключатели тока. Подключение старших токов к выходам IOUTA, IOUTB определяется состоянием входов P1B13 – P1B9, P2B13 – P2B9.

Средние токи (15 токов) равны $I_{REFIO}/16$. Подключение средних токов к выходам IOUTA, IOUTB определяется состоянием входов P1B8 – P1B5, P2B8 – P2B5.

Младшие токи (5 токов) равны соответственно $I_{REFIO}/32$, $I_{REFIO}/64$, $I_{REFIO}/128$, $I_{REFIO}/256$ и $I_{REFIO}/512$. Подключение младших токов к выходам IOUTA, IOUTB определяется состоянием входов P1B4 – P1B0, P2B4 – P2B0.

4.2 Умножитель частоты

Умножитель частоты представляет собой петлю фазовой автоподстройки частоты (ФАПЧ) и обеспечивает формирование внутреннего тактового сигнала с частотой в 2 раза выше внешнего, что необходимо для коммутации входных данных на вход ЦАП. На рисунке 4.4 приведена

структурная схема умножителя частоты, который состоит из фазового детектора, генератора, управляющего напряжением (ГУН), схемы выбора диапазона, схемы дифференциального усилителя тактового сигнала и делителя на 2. Делитель на 2, включенный в петлю ФАПЧ, обеспечивает на входе ЦАП частоту в 2 раза выше, чем на входных триггерах микросхем.

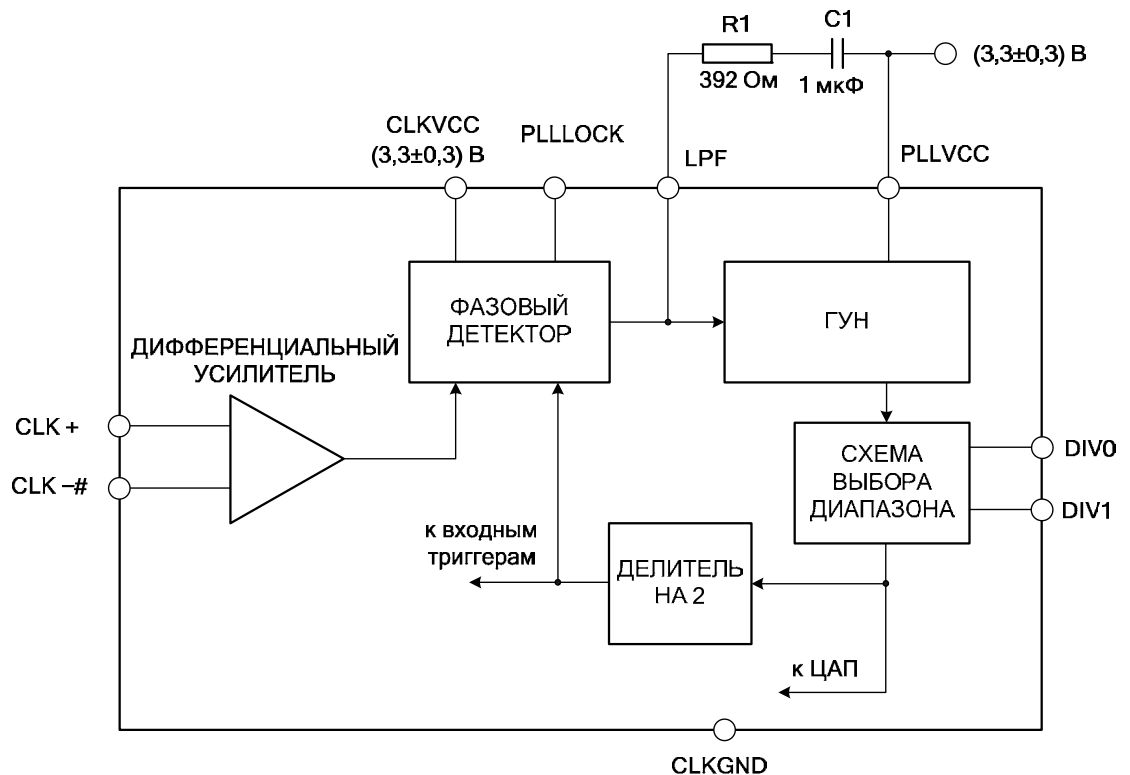


Рисунок 4.4 – Структурная схема умножителя частоты в режиме «ФАПЧ включен»

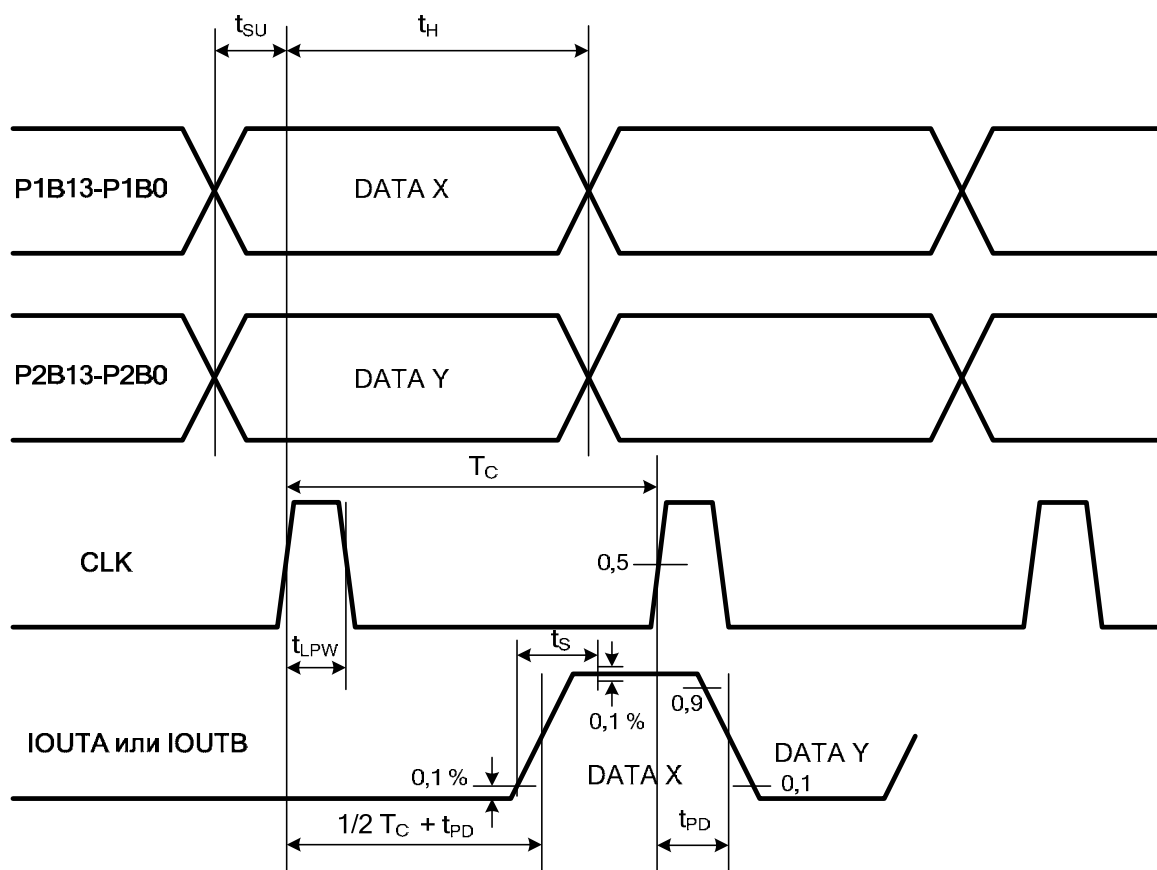
4.2.1 Режим «ФАПЧ включен»

На рисунках 4.5 и 4.6 приведены входные и выходные сигналы в режиме, когда умножение частоты происходит с помощью режима «ФАПЧ включен». Входные данные с портов P1 и P2 захватываются входными триггерами по фронту тактового сигнала, подаваемого в одиночном режиме на вход CLK+ либо по фронту дифференциального тактового сигнала. Вход RESET, если ФАПЧ включен, не используется и должен быть соединен с землей. Вывод PLLLOCK является выходом фазового детектора и устанавливается в 1, если ФАПЧ находится в режиме захвата фазы. Типовой диапазон работы ГУН от 100 до 400 МГц. Схема выбора диапазона представляет собой делитель на 1, 2, 4, 8 и обеспечивает работу схемы с

пониженными значениями частоты внешнего источника частоты. Минимальное значение внешней тактовой частоты равно 6,25 МГц. Если блок ФАПЧ включен, входы DIV1 и DIV0 воспринимаются как коэффициенты деления частоты ГУН. В таблице 4.1 приведены частотные диапазоны для разных коэффициентов деления.

Таблица 4.1 – Коэффициенты деления и частотные интервалы для различных вариантов сигналов на входах DIV0 и DIV1 в режиме «ФАПЧ включен»

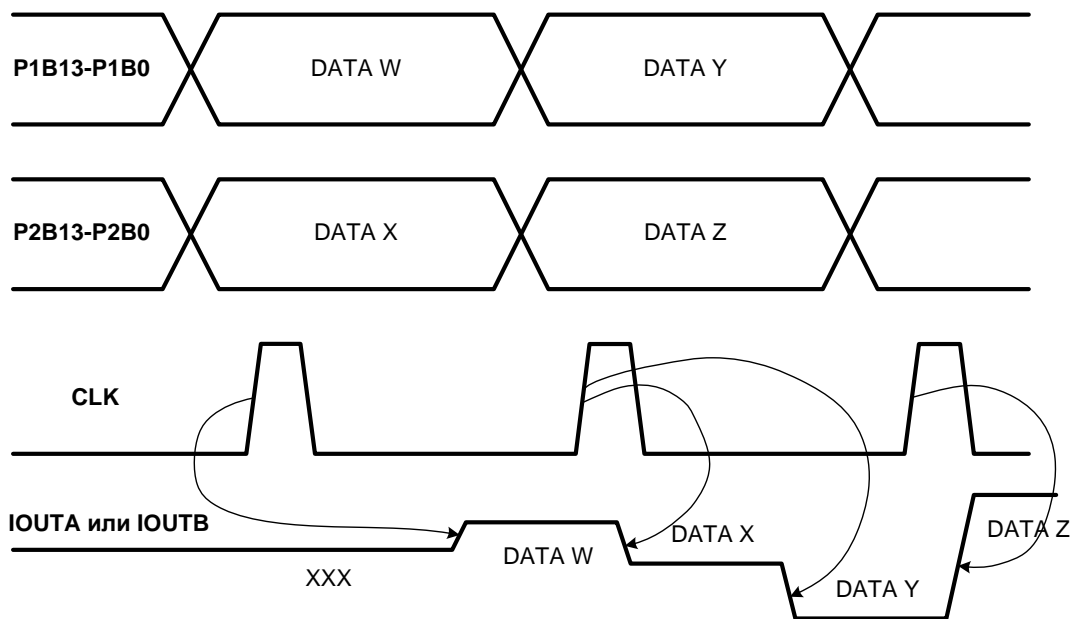
Частота на входе CLK, МГц	Вход DIV1	Вход DIV0	Коэффициент деления
50 – 150	0	0	1
25 – 100	0	1	2
12,5 – 50	1	0	4
6,25 – 25	1	1	8



DATA X (DATA Y) – данные X (данные Y)

$t_s = 11,0$ нс; $t_{PD} = 1,0$ нс; $t_{LPW} = 1,5$ нс; $t_{SU} = -1,0$ нс; $t_H = 3,2$ нс

Рисунок 4.5 – Временные диаграммы в режиме “ФАПЧ включен” для одного такта CLK



DATA X (DATA Y, DATA W, DATA Z) – данные X (Y, W, Z – соответственно)

Рисунок 4.6 – Временные диаграммы в режиме “ФАПЧ включен” для нескольких тактов CLK

Для минимизации фазовых шумов рекомендуется подключать последовательную RC цепочку, как на рисунке 4.4, между выводами LPF и PLLVCC; уровень напряжения на выводе PLLVCC должен соответствовать уровням на выводах CLKVCC и #VCC.

4.2.2 Режим «ФАПЧ выключен»

Основной особенностью этого режима является умножение частоты без использования блока ФАПЧ, что не позволяет в режиме чередования входов использовать не дифференциальный тактовый сигнал.

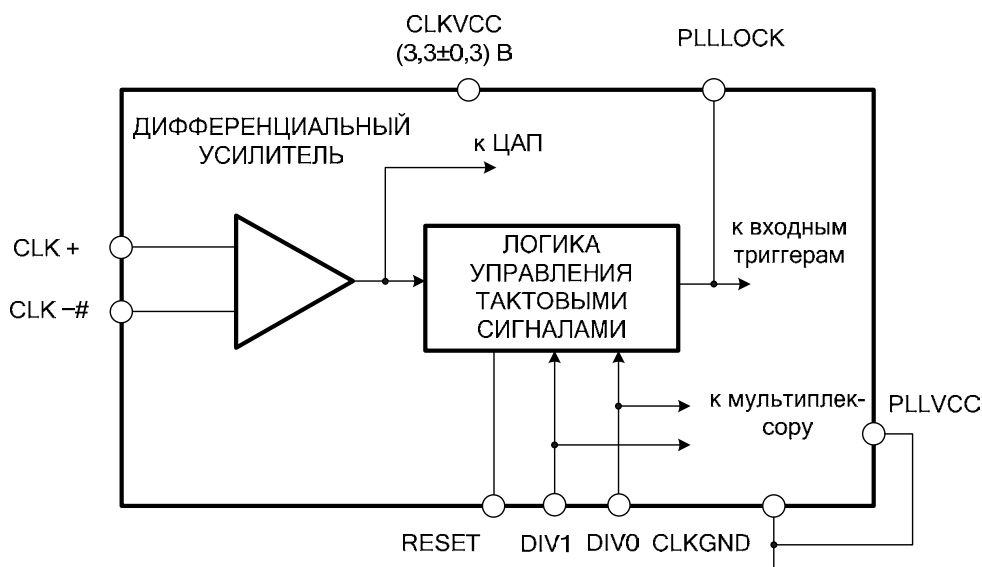


Рисунок 4.7 – Структурная схема умножителя частоты в режиме «ФАПЧ выключен»

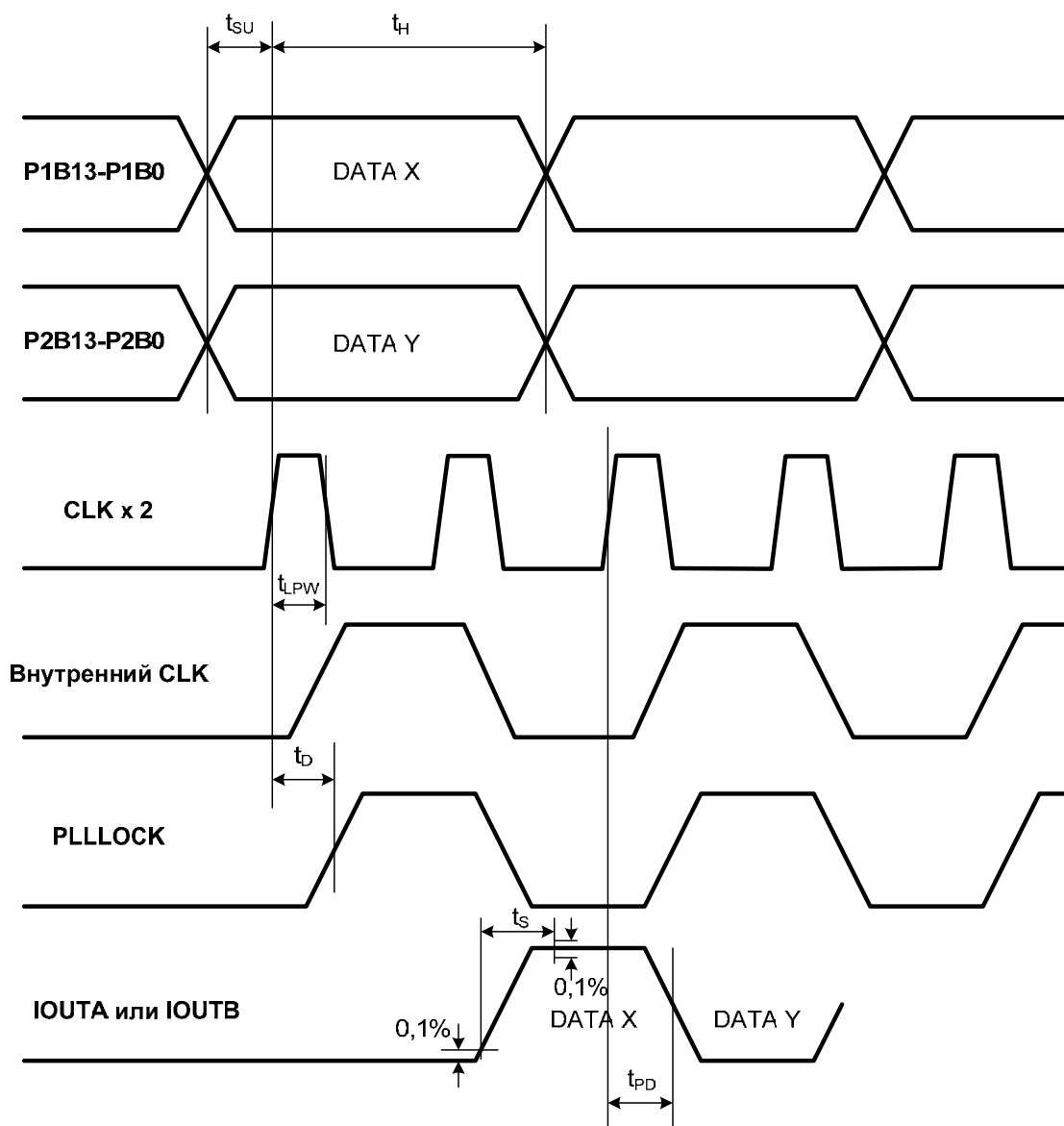
Для выключения блока ФАПЧ необходимо вывод PLLVCC соединить с землей. Структурная схема умножителя частоты в этом режиме приведена на рисунке 4.7. Входы DIV0 и DIV1 в этом режиме не управляют ФАПЧ, а используются для коммутации входов ЦАП. Возможные режимы работы приведены в таблице 4.2.

Таблица 4.2 – Режимы работы схемы умножителя частоты для различных вариантов сигналов на входах DIV0 и DIV при выключенном блоке ФАПЧ

Режим входа	Вход DIV1	Вход DIV0
Чередование	0	0
P1	0	1
P2	1	0
Чередование с удвоением частоты	1	1

4.2.2.1 Режим чередования входов с удвоением частоты

Временные диаграммы в этом режиме приведены на рисунке 4.8. Тактовый сигнал удвоенной частоты поступает на вход ЦАП. По фронту этого сигнала с задержкой относительно входного сигнала CLK на полпериода данные выдаются на выход ЦАП. Захват данных с входных портов происходит по фронту внутреннего тактового сигнала, выдаваемого на выход PLLLOCK, сформированного из сигнала удвоенной частоты.



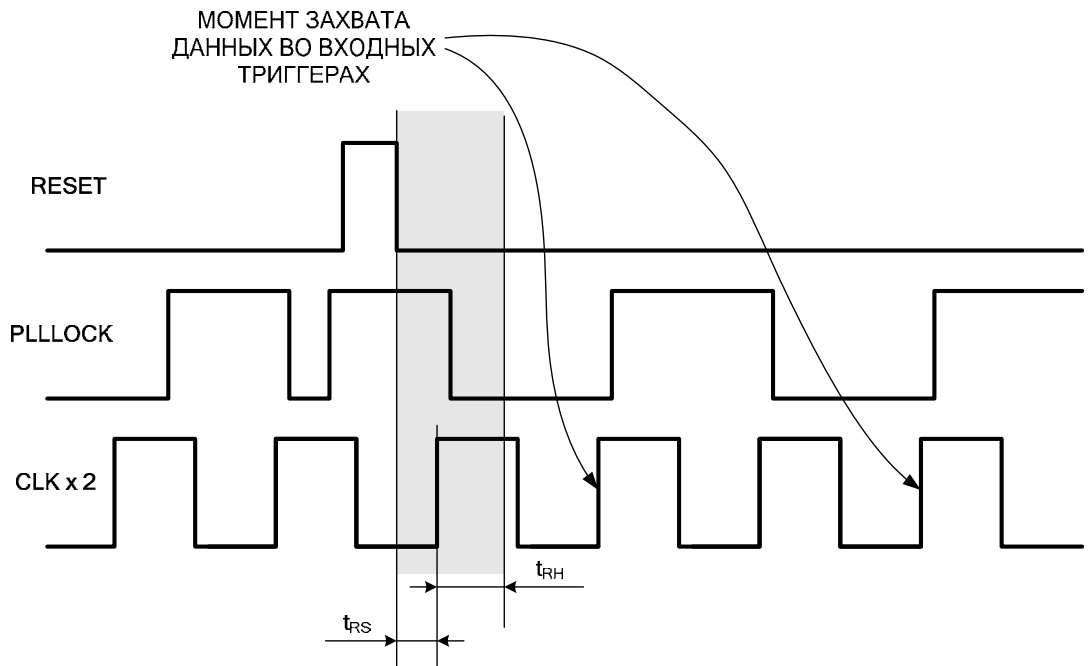
DATA X (DATA Y) – данные X (данные Y)

t_D – время задержки сигнала на выходе PLLLOCK

$t_S = 11,0$ нс; $t_{PD} = 1,0$ нс; $t_{LPW} = 1,5$ нс; $t_{SU} = -1,0$ нс; $t_H = 3,2$ нс

Рисунок 4.8 – Временные диаграммы в режиме чередования с выключенным блоком ФАПЧ

Синхронизация обеспечивается сигналом RESET. Если сигнал на выходе PLLLOCK имеет высокий уровень, то после перехода сигнала RESET из 1 в 0 по следующему переднему фронту удвоенного тактового сигнала PLLLOCK перейдет в 0. По второму фронту удвоенного тактового сигнала PLLLOCK перейдет в 1, что соответствует захвату данных во входных триггерах. Временные диаграммы синхронизации в режиме чередования с выключенным блоком ФАПЧ приведены на рисунке 4.9. Для правильной синхронизации должна присутствовать задержка между переходом RESET в 0 и фронтом удвоенного тактового сигнала $t_{RS} > 0,2$ нс либо после фронта $t_{RH} > 1,2$ нс.



$$t_{RH} > 1,2 \text{ нс}, t_{RS} > 0,2 \text{ нс}$$

Рисунок 4.9 – Временные диаграммы синхронизации в режиме чередования с выключенным блоком ФАПЧ

4.2.2.2 Однопортовый режим

В этом режиме не происходит чередование данных с разных портов. Частота обновления данных на выходе ЦАП равна частоте на входе CLK.

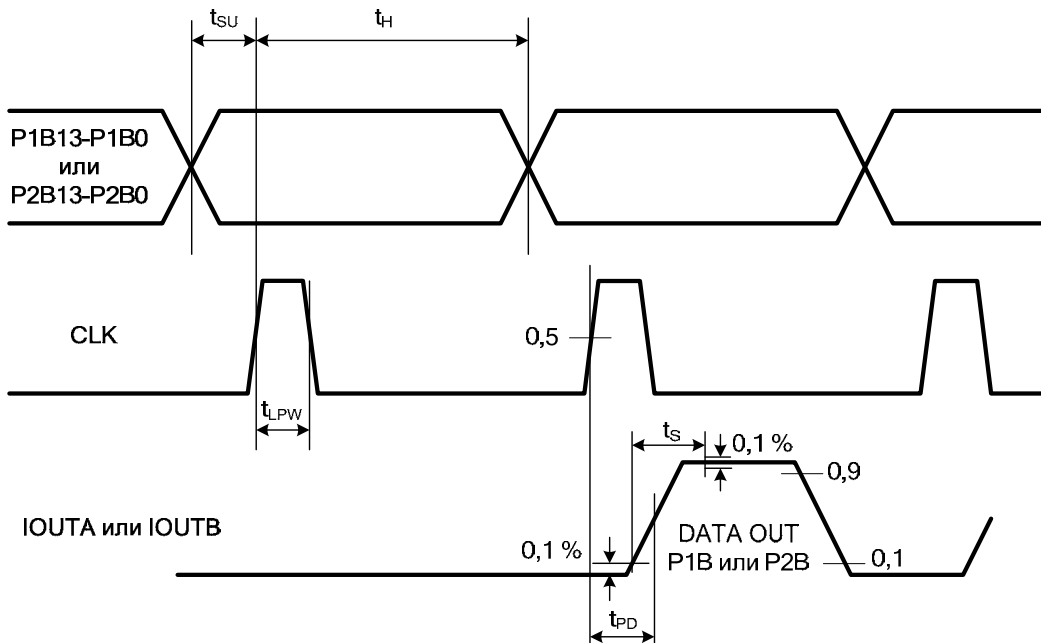


Рисунок 4.10, лист 1 – Временные диаграммы в режиме одиночного тактового сигнала с выключенным блоком ФАПЧ

$t_S = 11,0$ нс – время установления выходного сигнала;
 $t_{PD} = 1,0$ нс – время задержки переключения сигнала на выходе (типичное значение);
 $t_{LPW} = 1,5$ нс – длительность импульса;
 $t_{SU} = -1,0$ нс – время установления входного сигнала;
 $t_H = 3,2$ нс – время удержания данных
 Рисунок 4.10, лист 2

4.3 Источник опорного напряжения

Микросхемы имеют внутренний источник опорного напряжения (ИОН). Выходное напряжение внутреннего источника выдается на выход REFIO с нагрузочной способностью не более 100 нА. Допустимо использование внешнего источника опорного напряжения с низким выходным сопротивлением для исключения влияния внутреннего источника.

4.4 Управляющий усилитель

Микросхемы 1273ПА6У, 1273ПА6У1 содержат управляющий усилитель, который служит для регулировки выходного тока I_{OUTFS} . Управляющий усилитель используется как преобразователь напряжение-ток, его выходной ток I_{REFIO} определяется значением опорного напряжения U_{REFIO} и сопротивлением внешнего резистора R_{SET} по формуле (2).

Ток полной шкалы I_{OUTFS} является функцией опорного напряжения и сопротивления внешнего резистора (1), (2):

$$I_{OUTFS} = 32 \times I_{REFIO}, \quad (1)$$

где

$$I_{REFIO} = \frac{U_{REFIO}}{R_{SET}} \quad (2)$$

Управляющий усилитель установкой I_{REFIO} от 62,5 мкА до 625 мкА обеспечивает широкий регулируемый диапазон тока полной шкалы I_{OUTFS} от 2 до 20 мА.

Для установки тока полной шкалы используется внешний задающий резистор R_{SET} , подключаемый между выводами FSADJ и \cap GND. При величине сопротивления резистора 2 кОм обеспечивается максимальный ток полной шкалы 20 мА, при сопротивлении 20 кОм – минимальный ток 2 мА. АЧХ усилителя корректируется внутренней емкостью 150 пФ.

4.5 Токовые выходы

Микросхемы 1273ПА6У, 1273ПА6У1 имеют два токовых выхода IOUTA и IOUTB, которые могут включаться как на отдельные нагрузки, так и на дифференциальную нагрузку. Дифференциальное напряжение U_{DIFF} , формируемое на нагрузках R_{LOAD} , образуется между выводами IOUTA и IOUTB и может быть преобразовано в однополярное напряжение через трансформатор или дифференциальный усилитель.

Выходное сопротивление токовых выходов можно представить как эквивалент параллельного соединения PMOS ключей с типовым сопротивлением 50 кОм и емкостью 5 пФ.

Токи IOUTA и IOUTB поддерживают свое значение в диапазоне напряжений на этих выходах от минус 1,0 В до плюс 1,25 В.

Диапазон выходных напряжений на выходах IOUTA и IOUTB стабилизированного тока в положительной области незначительно зависит от тока полной шкалы IOUTFS. Он ухудшается незначительно от его номинального значения плюс 1,25 В для IOUTFS = 20,0 мА до плюс 1,0 В для IOUTFS = 2,0 мА. Для оптимальной линейности токов IOUTA и/или IOUTB необходимо использовать на выходе микросхем преобразователь ток-напряжение, что позволяет сохранять неизменным выходное сопротивление. Включение микросхем с пониженным перепадом напряжения на выходах IOUTA и IOUTB в дифференциальном или в несимметричном включении снижает зависимость сигнала от выходного сопротивления, таким образом улучшаются характеристики сигнала.

Значительное улучшение характеристик искажений и шумов реализуется дифференциальным включением нагрузки. Оптимальные искажения достигаются, когда максимальный размах сигнала на выходах IOUTA и IOUTB не превышает 0,5 В.

Шумовые характеристики и характеристики искажений слабо зависят от цифрового и аналогового питания, также как и от тока полной шкалы IOUTFS. При аналоговом напряжении питания плюс 3,0 В обеспечивается максимальный уровень тока источника тока и дифференциальных ключей и обеспечивается улучшение коэффициента нелинейных искажений.

Несмотря на то, что максимальный выходной ток можно установить в пределах от 2,0 мА до 20,0 мА, при его значении 20,0 мА обеспечиваются наилучшие характеристики шума и характеристики искажений. На характеристики шума влияет напряжение цифрового питания $U_{\#VCC}$, выходная частота сигнала и тактовая частота.

Оптимальные условия для эксплуатации микросхем при их наилучших характеристиках:

- дифференциальное включение токовых выходов;
- размах положительного напряжения на выводах IOUTA и IOUTB ограничен до плюс 0,5 В;
- выходной ток полной шкалы I_{OUTFS} равен 20,0 мА;
- напряжение аналогового питания микросхем от плюс 3,0 до плюс 3,3 В;
- напряжение цифрового питания микросхем от плюс 3,0 до плюс 3,3 В.

Цифро-аналоговый преобразователь имеет комплементарные токовые выходы IOUTA и IOUTB. Сумма токов на выходах ($I_{OUTA} + I_{OUTB}$) равна току полной шкалы I_{OUTFS} . Токи вытекают из выходов во внешнюю нагрузку, подключаемую к общему выводу $\cap GND$.

Ток I_{OUTA} практически равен I_{OUTFS} , когда все биты входных данных установлены в состояние «1» (т. е. код ЦАП = 16383), в то время как на выходе IOUTB нет тока. Ток выходов IOUTA, IOUTB является функцией входного кода и тока полной шкалы:

$$I_{OUTA} = (\text{код ЦАП}/16384) \times I_{OUTFS}, \quad (3)$$

$$I_{OUTB} = ((16383 - \text{код ЦАП})/16384) \times I_{OUTFS}, \quad (4)$$

где код ЦАП = 0, 1, 2, ... 16383 – десятичное представление входного кода.

Токовые выходы обычно подключаются напрямую к нагрузочным сопротивлениям или нагружаются дифференциально на трансформатор. Если требуется соединение по постоянному току, выходы IOUTA и IOUTB должны быть напрямую подключены к правильно подобранным нагрузочным сопротивлениям R_{LOADA} , R_{LOADB} , подключаемым вторым выводом к выводу аналоговой земли $\cap GND$. В качестве нагрузки может использоваться кабель с сопротивлением 50 или 75 Ом. Напряжения несимметричных выходов IOUTA и IOUTB соответственно рассчитываются:

$$U_{OUTA} = I_{OUTA} \times R_{LOADA}, \quad (5)$$

$$U_{OUTB} = I_{OUTB} \times R_{LOADB}. \quad (6)$$

Напряжения U_{OUTA} и U_{OUTB} во всем диапазоне выходных токов должны быть в пределах от минус 1,0 до 1,25 В.

Дифференциальное выходное напряжение U_{DIFF} определяется разностью токов I_{OUTA} и I_{OUTB} по формуле:

$$U_{DIFF} = (I_{OUTA} - I_{OUTB}) \times R_{LOAD}, \quad (7)$$

где $R_{LOAD} = R_{LOADA} = R_{LOADB}$.

Заменяя значения I_{OUTA} , I_{OUTB} и U_{DIFF} получаем следующее выражение:

$$U_{DIFF} = \{(2 \text{ код ЦАП} - 16383)/16384\} \times (32R_{LOAD}/R_{SET}) \times U_{REFIO}. \quad (8)$$

Формулы (7), (8) показывают преимущества применения микросхем 1273ПА6У, 1273ПА6У1 в дифференциальном включении выходов. Во-первых, это помогает ликвидировать синфазные помехи, возникающие из-за шума, искажений и синфазных отклонений токов I_{OUTA} и I_{OUTB} . Во-вторых, обеспечивается удвоенное выходное напряжение U_{DIFF} по сравнению с напряжениями U_{OUTA} и U_{OUTB} несимметричных выходов, таким образом, обеспечивается двойная мощность сигнала в нагрузке.

Улучшение температурного дрейфа при несимметричном и дифференциальном включении обеспечивается подстройкой резисторов R_{LOAD} , R_{SET} .

4.6 Цифровые входы

Цифровые входы микросхем 1273ПА6У, 1273ПА6У1 состоят из двух каналов по 14 бит и пары дифференциальных входов тактового сигнала. P1B13, P2B13 соответствуют старшему разряду, P1B0, P2B0 – младшему. Ток полной шкалы на выходе I_{OUTA} достигается, если на входах портов все сигналы выставлены в 1. Цифровой интерфейс выполнен с использованием триггеров-защелок, срабатывающих по фронту. Вне зависимости от блока ФАПЧ (включен или выключен) выходы ЦАП обновляются дважды за каждый фронт на защелках. ЦАП разработан для поддержки скорости входных данных 150 МГц с максимальной частотой обновления выхода 300 МГц. Оптимальные характеристики достигаются при изменении данных по заднему фронту с 50 % коэффициентом заполнения тактового сигнала. Цифровые входы имеют КМОП уровни, пороговая величина U_{THR} определяется по формуле

$$U_{\text{THR}} = \frac{U_{\#VCC}}{2} \pm 20\% . \quad (9)$$

Так как максимальная частота обновления данных на выходе достигает 300 МГц, то для достижения оптимальной производительности важно качество тактового сигнала и входных данных. Драйверы цифровых данных должны удовлетворять условиям времен удержания и установки, также как и условиям минимальных и максимальных входных пороговых уровней.

Должны соблюдаться условия минимизации длины цифровых входов и равенство длин путей сигналов, во избежание задержки распространения. Применение последовательно включенного сопротивления низкого номинала (20 – 100) Ом между драйвером и цифровыми входами может быть очень полезно для уменьшения любых выбросов и затуханий на цифровых входах, которые вносят значительный вклад в паразитное проникновение данных. При длинных линиях связи и высокой частоте обновления полосковая линия должна быть оптимально согласована.

Внешняя цепь тактового сигнала должна обеспечивать минимальный фазовый разбег с соблюдением логических уровней. Как можно большая крутизна фронта обеспечивает минимальные фазовые разбеги тактовых сигналов, что снижает в свою очередь фазовый шум восстановленного сигнала. Поэтому тактовые цепи должны строиться с использованием высокоскоростной логики.

На входы тактового сигнала может подаваться синусоидальный сигнал, смещенный на $U_{\text{CLKVCC}}/2$, при этом размах должен достигать уровня верхнего и нижнего логического порога. Результат – небольшое увеличение фазового шума, которое становится более заметным на высоких частотах.

5 Указания по применению и эксплуатации

Микросхемы 1273ПА6У, 1273ПА6У1 должны использоваться в соответствии с указаниями по применению и эксплуатации микросхем по ОСТ В 11 0998-99, АЕЯР.431320.676ТУ, с дополнениями и уточнениями, приведенными в настоящем разделе.

5.1 Различные виды подключения выходных цепей

Этот подраздел иллюстрирует некоторые типичные подключения микросхем. Если нет никаких оговорок, то считается, что ток полной шкалы равен 20 мА. Для применений, требующих оптимальных динамических характеристик, предлагается схема дифференциального включения выходов. По такой схеме включения нагрузкой может служить высокочастотный трансформатор или операционный усилитель. Трансформаторную нагрузку лучше использовать в схеме со связью по переменному току, а операционный усилитель – в связях по постоянному току, где требуется биполярный выход, усиление сигнала и/или сдвиг уровня сигнала. Несимметричный выход удобен в схемах, требующих однополярного выхода. Положительное выходное напряжение получается в результате подсоединения правильно подобранного резистора R_{LOAD} к выходу IOUTA (и/или IOUTB) и выводу $\cap GND$. Такое подсоединение может быть более удобным для однополярного напряжения питания, требующего связи по постоянному току. В качестве альтернативы усилитель может быть включен как преобразователь ток-напряжение, таким образом, выходные токи микросхем преобразуются в однополярное отрицательное напряжение. Такое включение создаёт наилучшую линейность по постоянному току.

Примечание – Выход IOUTA обеспечивает незначительно лучшие характеристики, чем выход IOUTB.

5.1.1 Дифференциальное подключение с помощью трансформатора

Высокочастотный трансформатор (на феррите) может использоваться для получения из дифференциального выхода несимметричного выхода, как показано на рисунке 5.1. Выход трансформатора дает оптимальные характеристики искажений выходного сигнала, если спектральные составляющие находятся в пределах полосы пропускания трансформатора. Трансформатор обеспечивает превосходное подавление синфазных искажений и шума в большом частотном диапазоне. Такая схема также обеспечивает гальваническую развязку. Трансформатор обеспечивает связь только по переменному току.

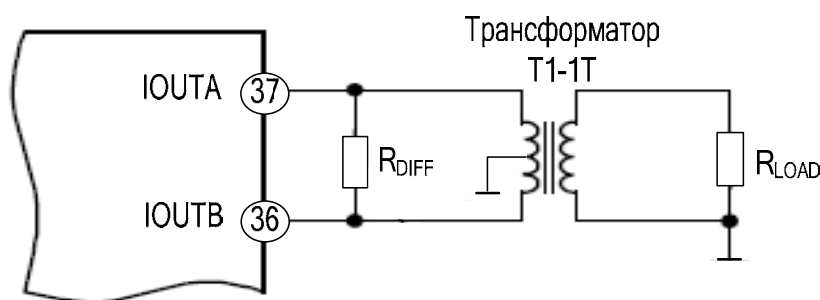


Рисунок 5.1 – Выходная развязка с использованием трансформатора

Центральный отвод первичной обмотки трансформатора должен быть подсоединен к выводу Π GND, чтобы обеспечить путь постоянного тока для I_{OUTA} и для I_{OUTB} .

Резистор R_{DIFF} используется, если вторичная обмотка подключается непосредственно на нагрузку R_{LOAD} . В качестве нагрузки может выступать пассивный восстанавливающий фильтр.

5.1.2 Дифференциальное подключение с помощью операционного усилителя

Операционный усилитель (ОУ) может также использоваться для получения из дифференциального выхода несимметричного выхода, как показано на рисунке 5.2. Дополнительный конденсатор C образует НЧ фильтр и защищает от перегрузок вход операционного усилителя.

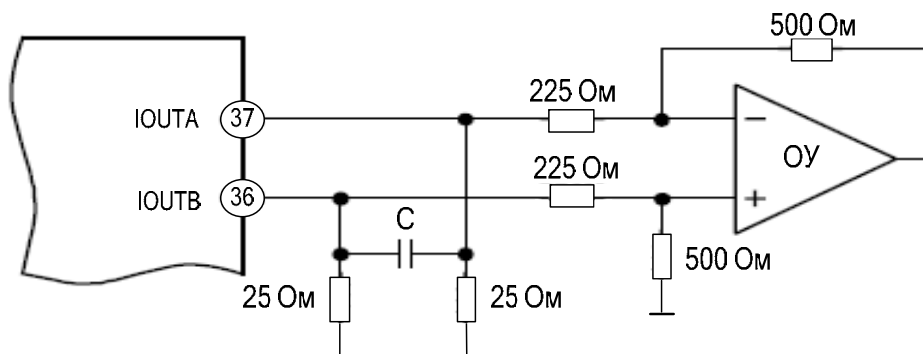


Рисунок 5.2 – Дифференциальное подключение с помощью операционного усилителя

Ослабление синфазных сигналов такой схемы обычно обусловлено точным подбором резисторов. В приведенной схеме используется операционный усилитель, который в дополнение обеспечивает небольшое усиление сигнала. Усилитель включается по схеме двухполярного питания,

т. к. амплитуда его выхода равна примерно $\pm 1,0$ В. Подбор резисторов для усиления выходного сигнала осуществляется с учетом максимального значения выходного тока.

На рисунке 5.3 приведена схема со смещением уровня выходного сигнала, смещение необходимо при использовании однополярного источника питания.

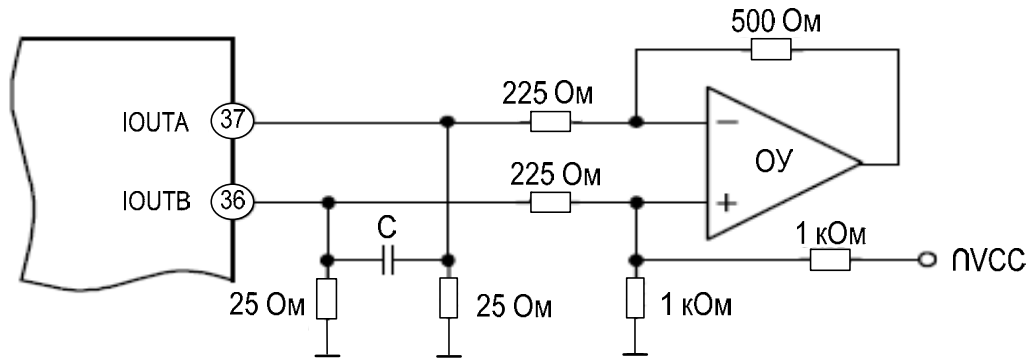


Рисунок 5.3 – Дифференциальное подключение с помощью операционного усилителя со смещением уровня выходного сигнала

5.1.3 Подключение с несимметричным небуферизированным выходом напряжения

На рисунке 5.4 приводится один из вариантов подключения микросхем для получения напряжения на выходе от 0 до плюс 0,5 В. Для согласования с нагрузками можно варьировать значениями I_{OUTFS} и R_{LOAD} .

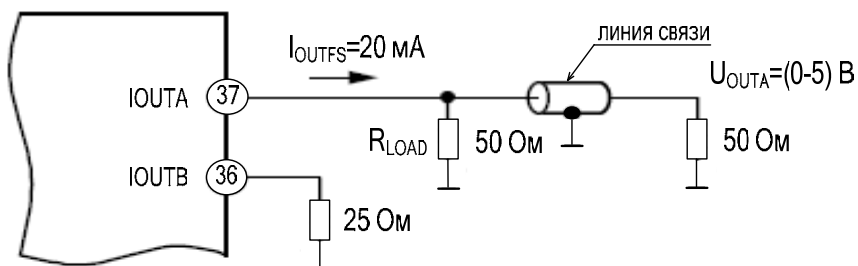
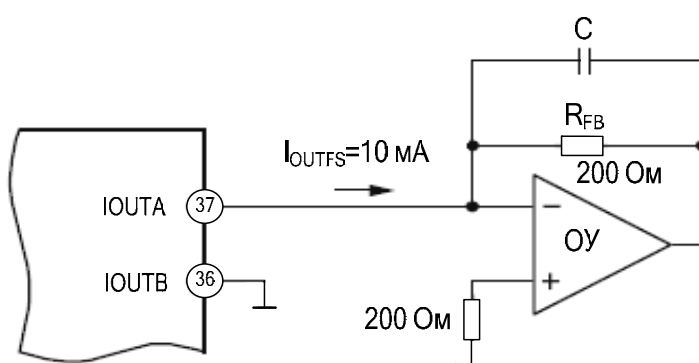


Рисунок 5.4 – Подключение с несимметричным небуферизированным выходом напряжения

5.1.4 Подключение с несимметричным буферизированным выходом напряжения

Для оптимизации нелинейности E_L предлагается схема с несимметричным буферизированным выходом напряжения, изображенная на рисунке 5.5, в которой операционный усилитель выступает в роли преобразователя ток-напряжение. Такая конфигурация уменьшает нелинейность, а с повышением частоты преобразования искажения по переменному току зависят только от операционного усилителя. Операционный усилитель обеспечивает отрицательное однополярное выходное напряжение U_{OUT} – максимальное значение напряжения на выходе.



$$U_{OUT} = I_{OUTFS} \times R_{FB}$$

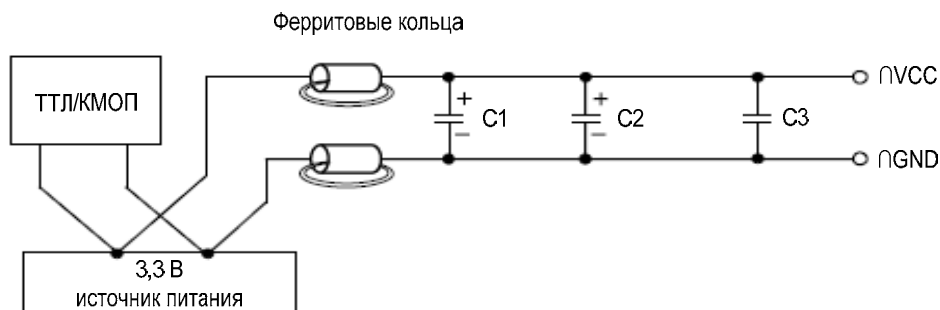
Рисунок 5.5 – Подключение с несимметричным буферизированным выходом напряжения

5.2 Рекомендации по поводу обеспечения питания, заземления и экранирования

В системах, работающих на больших частотах с высокой производительностью, очень важную роль играет разводка платы. Необходимо правильно выбирать высокочастотные компоненты, размещение их на плате, оптимально производить разводку сигнальных шин, заземления и питания. Правильное заземление и развязка должны быть главными задачами в высокоскоростных системах с высоким разрешением. В микросхемах 1273ПА6У, 1273ПА6У1 для оптимизации управления, развязки аналогового и цифрового токов выводы аналоговой и цифровой земли и питания должны быть разделены.

В основном, развязка необходима между выводами $\cap VCC$, $\cap GND$ и $\#VCC$, $\#GND$ непосредственно у корпусов микросхем, насколько это возможно.

Можно рекомендовать цепь аналогового питания, представленную на рисунке 5.6. Цепь состоит из дифференциального LC-фильтра с разделенными питающими напряжениями. Снижение шума может быть достигнуто применением электролитических, керамических и танталовых конденсаторов.



C1 – электролитический конденсатор емкостью 100 мкФ;

C2 – танталовый конденсатор емкостью от 10 до 22 мкФ;

C3 – керамический конденсатор емкостью 0,1 мкФ

Рисунок 5.6 – Дифференциальный LC-фильтр для устройств с напряжением питания плюс 3,3 В

Достижение минимальных шумов по питанию необходимо для получения оптимальных характеристик ЦАП. Правильным размещением считается разделение цифровой и аналоговой части устройства полосой аналоговой земли.

Все контакты аналоговой части микросхемы, все аналоговые компоненты на плате должны подсоединяться непосредственно к плоскости аналоговой земли. Разводка платы должна быть сделана таким образом, чтобы шины земли не прерывали критические цепи прохождения сигнала. На цифровой части платы это относится к тактовым сигналам и цифровому входу. На аналоговой части платы это относится к сигналу опорного напряжения, токовым выходам и к цепи питания.

Рекомендуется также использование широких дорожек и шин в разводке цепей питания. Это играет двойную роль: первое – понижает сопротивление цепей питания, второе – обеспечивает дополнительную емкостную развязку с шиной земли. Очень важно, чтобы разводка делалась правильно, потому что микросхема чувствительна к внешним наводкам и скачкам напряжения. Рекомендуется, чтобы все соединения были короткими, насколько возможно, и физически близко располагались к корпусам микросхем.

6 Заключение

В настоящем руководстве КФДЛ.431328.007 рассмотрены архитектура, функциональное построение и особенности применения микросхем 1273ПА6У, 1273ПА6У1, которые представляют собой 14-разрядные цифро-аналоговые преобразователи.

Микросхемы выполнены в 48-выводных металлокерамических корпусах: 1273ПА6У – в корпусе Н16.48-1В, 1273ПА6У1 – в корпусе 5133.48-3.

Обозначение комплекта конструкторской документации для 1273ПА6У КФДЛ.431328.007, для 1273ПА6У1 – КФДЛ.431328.007-01.

Все значения электрических параметров микросхем приведены в технических условиях АЕЯР.431320.676 на изделия. Значения параметров, приведенные в настоящем руководстве, являются справочными.

Данное руководство может служить практическим пособием по применению ЦАП для разработчиков систем на основе микросхем 1273ПА6У, 1273ПА6У1. Применение разработанных микросхем в системах цифровой обработки сигналов, встроенных цифровых системах управления, связи, в системах автоматизации технологических процессов, вычислительной технике, телекоммуникационной технике и т. д. позволит создавать более совершенные в техническом отношении и надежные в эксплуатации изделия.

Приложение А

(обязательное)

Таблица А.1 – Определения и буквенные обозначения параметров, неустановленные действующими стандартами

Наименование параметра	Буквенное обозначение параметра	Определение параметра
1	2	3
Выходной ток полной шкалы по аналоговым выходам	I_{OUTFS}	Ток, определяемый конечным значением входного кода
Погрешность смещения	OE	<p>Погрешность смещения ЦАП при значении входного кода, соответствующем нулевому значению тока номинальной характеристики преобразования, в процентах от тока полной шкалы.</p> <p>Расчет OE производят по формулам</p> $OE(A) = (I_{OUTA} (0000h) / I_{OUTFS}) \cdot 100 \%, \quad (A.1)$ $OE(B) = (I_{OUTB} (3FFFh) / I_{OUTFS}) \cdot 100 \%, \quad (A.2)$
Погрешность коэффициента усиления	GE	<p>Разность между идеальным выходным током полной шкалы I_{OUTFS} и фактическим максимальным значением функции передачи после вычитания погрешности преобразования ЦАП в начальной точке шкалы, в процентах от тока полной шкалы при использовании внутреннего источника опорного напряжения (ИОН).</p> <p>Расчет GE производят по формулам</p> $GE(A) = ((I_{OUTA} (3FFFh) - I_{OUTA} (0000h) - I_{OUTFS}) / I_{OUTFS}) \cdot 100 \%; \quad (A.3)$ $GE(B) = ((I_{OUTB} (0000h) - I_{OUTB} (3FFFh) - I_{OUTFS}) / I_{OUTFS}) \cdot 100 \%, \quad (A.4)$
Выходной шум	ON	Отношение среднеквадратичного напряжения (тока) шума на выходе ЦАП в заданной полосе частот к квадратному корню из величины, равной заданной полосе частот

Окончание таблицы А.1

1	2	3
Общие гармонические искажения	THD	<p>Отношение среднеквадратичного значения суммы амплитуд гармоник, исключая первую, к среднеквадратичному значению амплитуды основной составляющей выходного сигнала, выраженное в децибелах. THD определяется по формуле</p> $\text{THD} = 10 \lg((V_2^2 + V_3^2 + \dots + V_i^2) / V_1^2), \quad (\text{A.5})$ <p>где $(V_2^2 + V_3^2 + \dots + V_i^2)$ – среднеквадратичное значение суммы амплитуд гармоник от второй до i-той, V_1^2 – среднеквадратичное значение амплитуды основной составляющей</p>
Диапазон выходных напряжений	ΔU_{OCR}	Диапазон напряжений, при котором обеспечивается работоспособность ЦАП
Максимальная частота обновления выходных данных	f_{C}	Максимальная частота, при которой обеспечивается работоспособность ЦАП
Максимальная частота обновления входных данных	f_{INMAX}	Максимальная частота обновления входных данных
Частота обновления входных данных	f_{IN}	Частота обновления входных данных
Выходная частота ЦАП	f_{OUT}	Частота аналогового сигнала, формируемого ЦАП
Выходное сопротивление	R_{OUT}	<p>Выходное сопротивление на аналоговых выходах IOUTA, IOUTB рассчитывается по формуле</p> $R_{\text{OUT}} = \Delta U_{\text{OCR}} / \Delta I \quad (\text{A.6})$

Лист регистрации изменений

Изм.	Номера листов (страниц)				Всего листов (страниц) в докум.	№ докум.	Подп.	Дата
	измененных	замененных	новых	аннулированных				
-	-	-	все	-	34			18.08.09
1	-	3, 31	-	-	-			20.02.13