

ДЕМОНСТРАЦИОННАЯ ПЛАТА ДЛЯ ИС 1273НА044

Руководство по эксплуатации

2019

Содержание

1 Назначение и состав	3
2 Характеристики демонстрационной платы.....	3
3 Слои и внешний вид демонстрационной платы	4
4 Назначение установленных на плате разъемов	5
5 Электрическая схема демонстрационной платы	6
6 Порядок работы с демонстрационной платой	13
7 Меры безопасности.....	17
Лист регистрации изменений	18

1 Назначение и состав

Демонстрационная плата предназначена для ознакомления с работой двухканального 16-разрядного цифро-аналогового преобразователя (ЦАП) на источниках тока. Плата обеспечивает удобную настройку различных режимов, путем программирования через порт SPI, и позволяет проверить работоспособность и характеристики микросхемы ЦАП 1273HA044, согласно ее техническому описанию. Наличие на плате всех необходимых компонентов, позволяет использовать микросхему 1273HA044 и подключить внешнее управляющее устройство без предварительной подготовки.

На двухсторонней печатной плате размещены: микросхема 1273HA044, микросхема квадратурного модулятора AD8345AREZ, микросхема JK – триггера 74LCX112, микросхемы триггеров Шмита 74AC14MTC, микросхема преобразователя уровня MC100EPT22D, микросхемы логики SN74ACT86D, винтовые клеммники для подключения внешних управляющих сигналов и снятия выходного напряжения, джамперы для выбора режима работы микросхемы, разъемы PLD – 20 для подачи входных цифровых данных, разъем PLS – 6 для подключения внешнего управляющего устройства через порт SPI, контрольные точки платы для подключения осциллографа, а также внешние элементы, необходимые для функционирования микросхем. С работой ЦАП 1273HA044 можно ознакомиться в техническом описании на микросхему интегральную КФДЛ.431328.027ТО.

2 Характеристики демонстрационной платы

Напряжение питания цифровой части, сигнал DVDD, В:	от 3,0 до 3,6.
Напряжение питания аналоговой части, сигнал AVDD, В:	от 3,0 до 3,6.
Напряжение питания формирователей тактовых импульсов, сигнал CLKVDD, В:	от 3,0 до 3,6.
Габаритные размеры демонстрационной платы, мм:	134,5 × 148,5.

3 Слои и внешний вид демонстрационной платы

На рисунке 1 представлены слои верхней стороны демонстрационной платы.

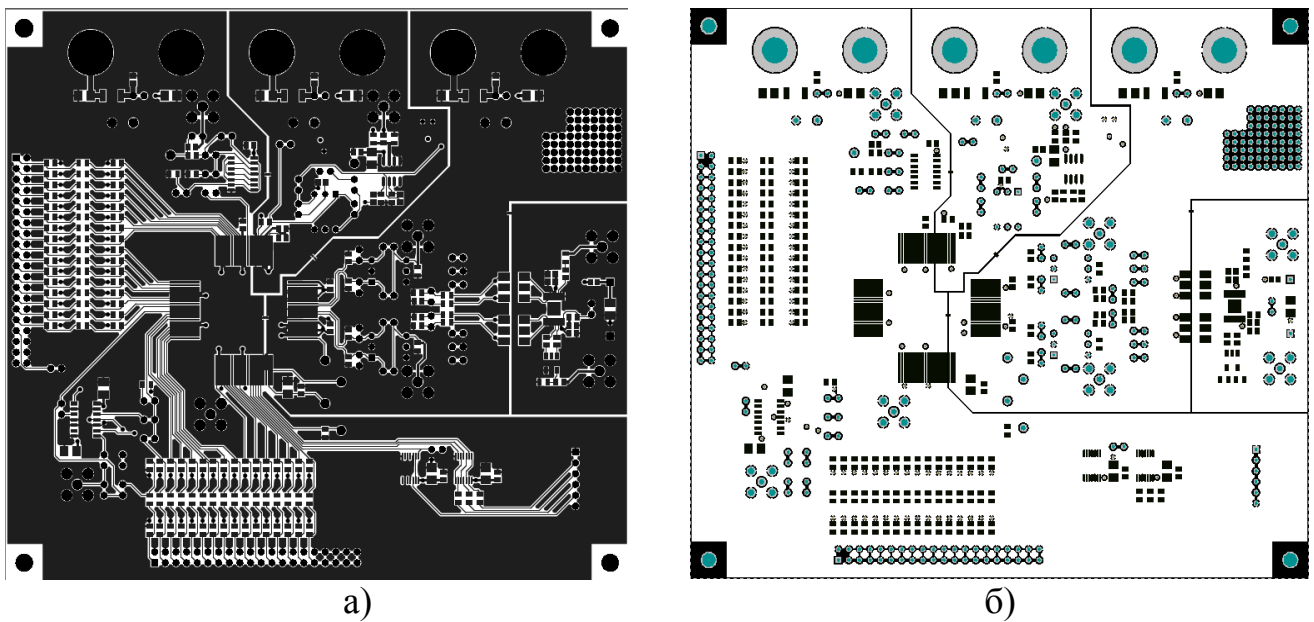


Рисунок 1 – Слои верхней стороны демонстрационной платы:
а) верхний слой металла; б) контактные площадки верхнего слоя металла и вскрытие маски

На рисунке 2 представлены слои нижней стороны демонстрационной платы.

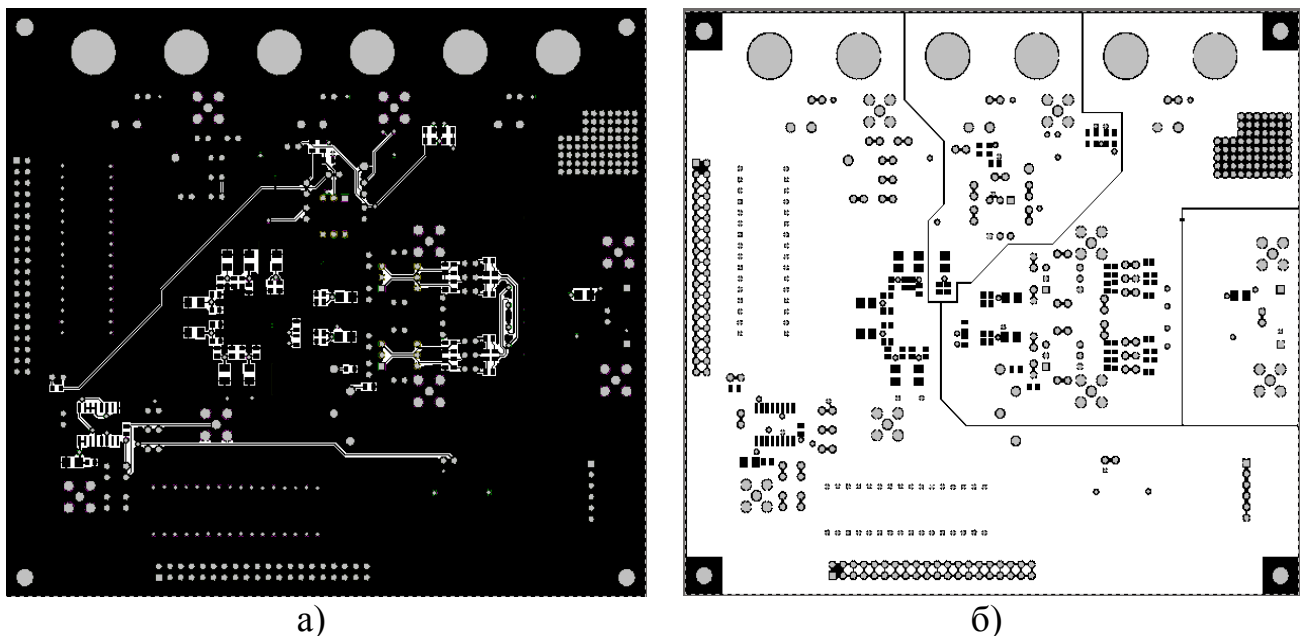


Рисунок 2 – Слои нижней стороны демонстрационной платы:
а) нижний слой металла;
б) контактные площадки нижнего слоя металла и вскрытие маски

На рисунке 3 представлен внешний вид демонстрационной платы.

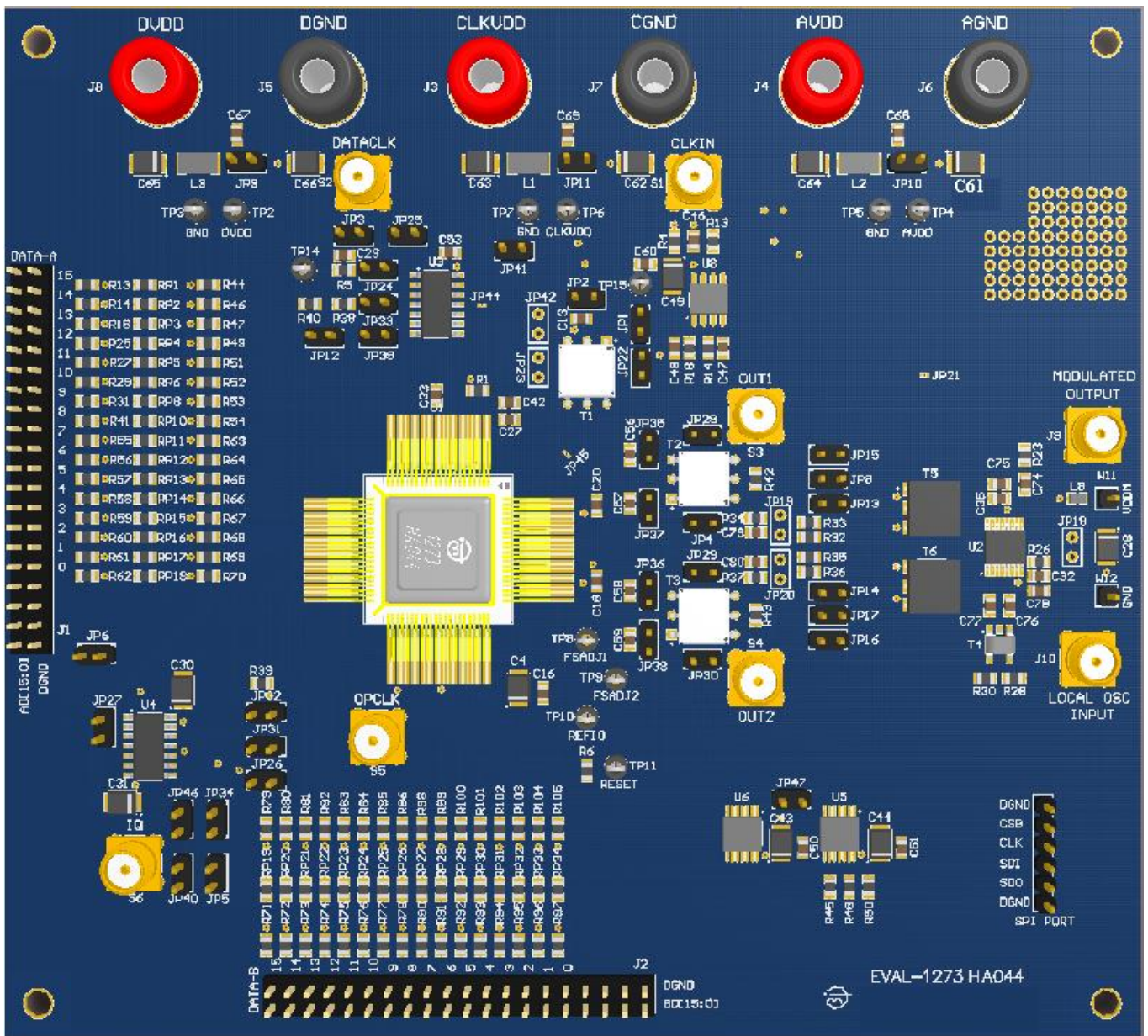


Рисунок 3 – Внешний вид демонстрационной платы

4 Назначение установленных на плате разъемов

- J1 – разъем для подачи входных цифровых данных.
- J2 – разъем для подачи входных цифровых данных.
- J3 – разъем для подачи сигнала CLKVDD.
- J4 – разъем для подачи сигнала AVDD.
- J5 – разъем для подачи сигнала DGND.
- J6 – разъем для подачи сигнала AGND.
- J7 – разъем для подачи сигнала CGND.
- J8 – разъем для подачи сигнала DVDD.

J9 – разъем для снятия выходного сигнала MODULATED OUTPUT с модулятора AD8345AREZ.

J10 – разъем для подключения гетеродина к модулятору AD8345AREZ.

JP1 – JP6, JP8 – JP20, JP23 – JP42, JP46, JP47 – переключки для установки режимов работы ЦАП.

S1 – разъем для подачи сигнала CLKIN.

S2 – разъем для снятия сигнала DATACLK.

S3 – разъем для снятия выходного сигнала OUT1.

S4 – разъем для снятия выходного сигнала OUT2.

S5 – разъем для подачи сигнала OPCLK.

S6 – разъем для подачи сигнала выбора канала IQ.

P1 – порт SPI (вывод 2 – вход разрешения последовательного порта (CSB), вывод 3 – вход тактового сигнала последовательного порта CLK, вывод 4 – вход данных последовательного порта SDI, вывод 5 – выход данных последовательного порта SDO).

TP2 – контрольная точка платы для подключения осциллографа к выходу фильтра L3, C65, C67 и C66 и контроля сигнала DVDD.

TP3 – контрольная точка платы для подключения осциллографа к выходу фильтра L3, C65, C67 и C66 и контроля сигнала DGND.

TP4 – контрольная точка платы для подключения осциллографа к выходу фильтра L2, C64, C68 и C30 и контроля сигнала AVDD.

TP5 – контрольная точка платы для подключения осциллографа к выходу фильтра L2, C64, C68 и C30 и контроля сигнала AGND.

TP6 – контрольная точка платы для подключения осциллографа к выходу фильтра L1, C63, C69 и C62 и контроля сигнала CLKVDD.

TP7 – контрольная точка платы для подключения осциллографа к выходу фильтра L1, C63, C69 и C66 и контроля сигнала CGND.

TP8 – контрольная точка платы для установки тока полной шкалы канала I.

TP9 – контрольная точка платы для установки тока полной шкалы канала Q.

TP10 – вход/выход источника опорного напряжения.

TP11 – контрольная точка платы для подачи сигнала сброса регистров последовательного порта.

TP14 – контрольная точка платы для подключения осциллографа к выходу DATACLK.

TP15 – контрольная точка платы для подключения осциллографа к выводу 6 трансформатора T1.

W11 – разъем для подачи сигнала VDDMIN.

W12 – разъем для подачи сигнала DGND2.

5 Электрическая схема демонстрационной платы

Электрическая схема демонстрационной платы представлена документом КФДЛ.301411.266 ЭЗ. Электрические схемы подключения ИС 1273HA044, включения модулятора, подключения входных цифровых данных, схема буфера тактового сигнала и схема порта SPI представлены на рисунках 4 – 7.

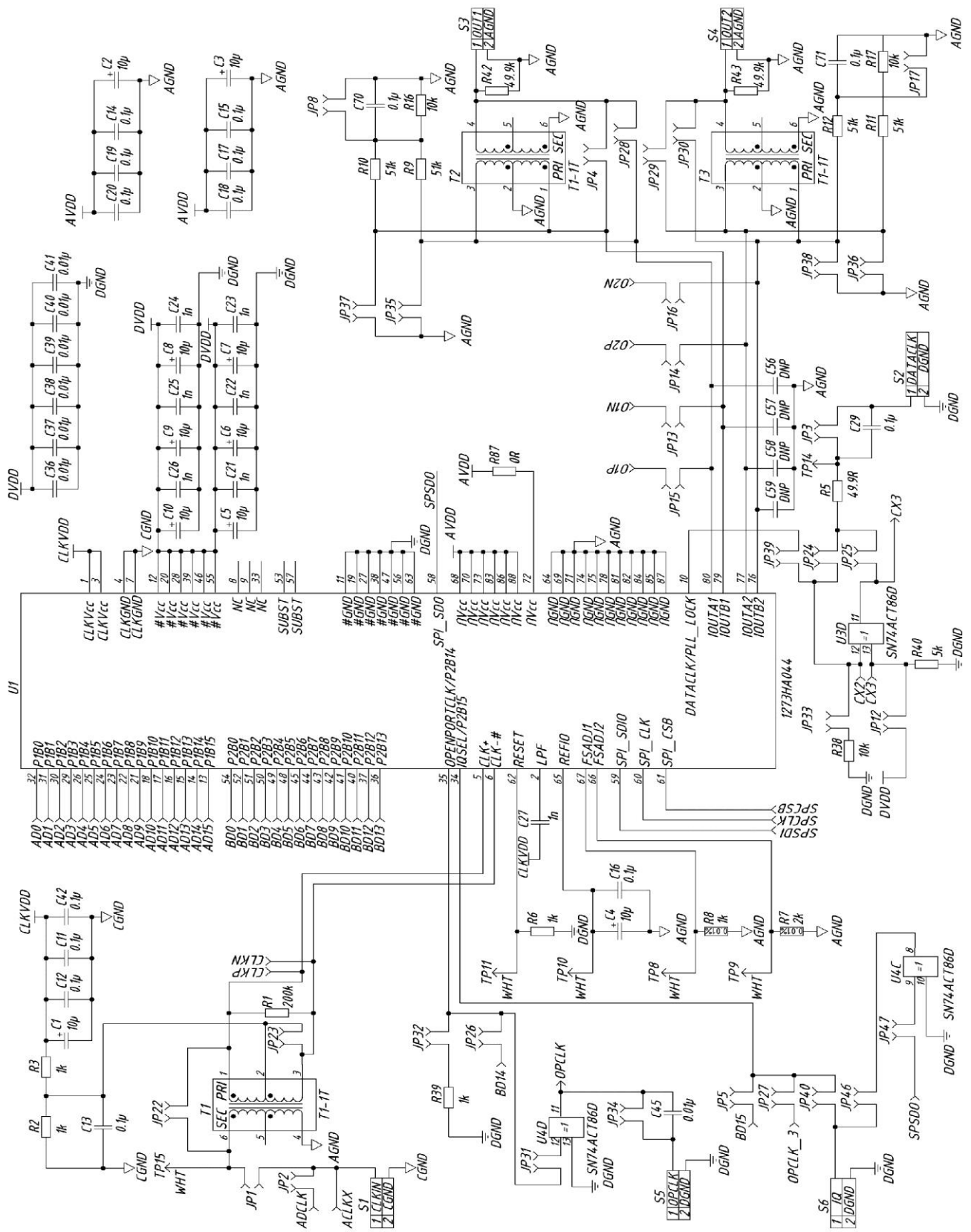


Рисунок 4 – Электрическая схема подключения микросхемы 1273HA044

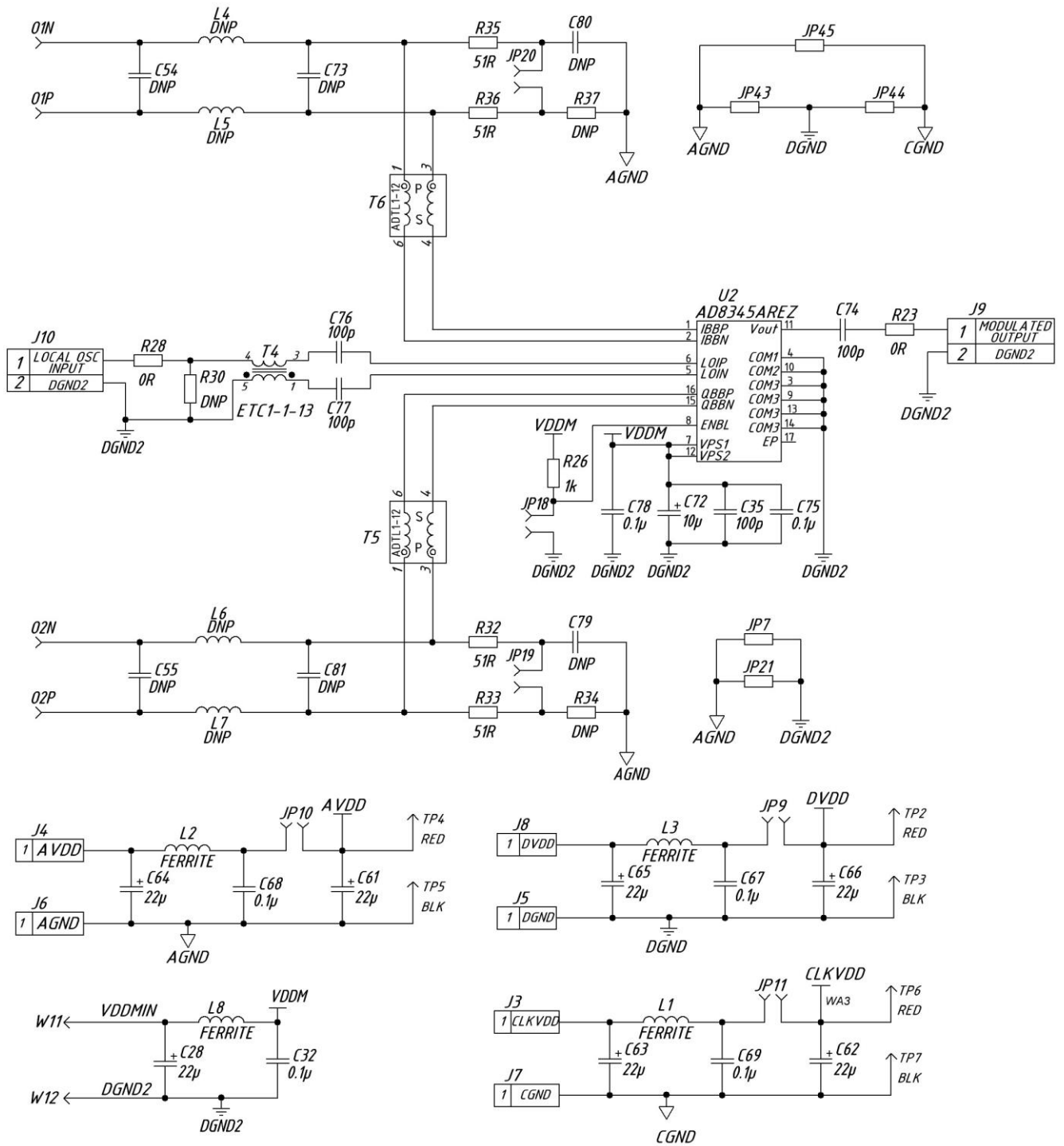


Рисунок 5 – Электрическая схема включения модулятора AD8345AREZ на демонстрационной плате для ИС 1273HA044

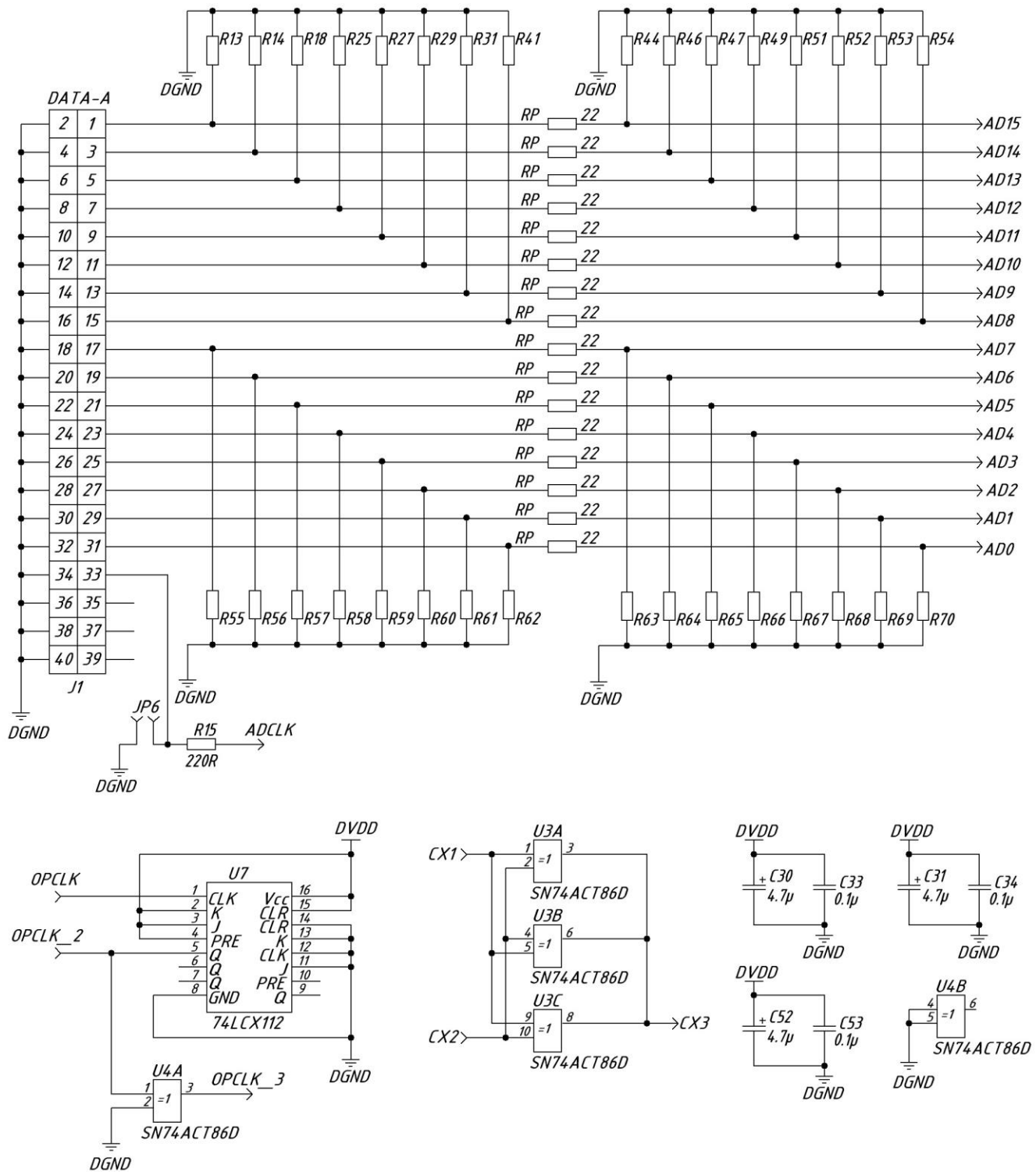


Рисунок 6 – Электрическая схема подключения входных цифровых данных канала А и схема буфера тактового сигнала

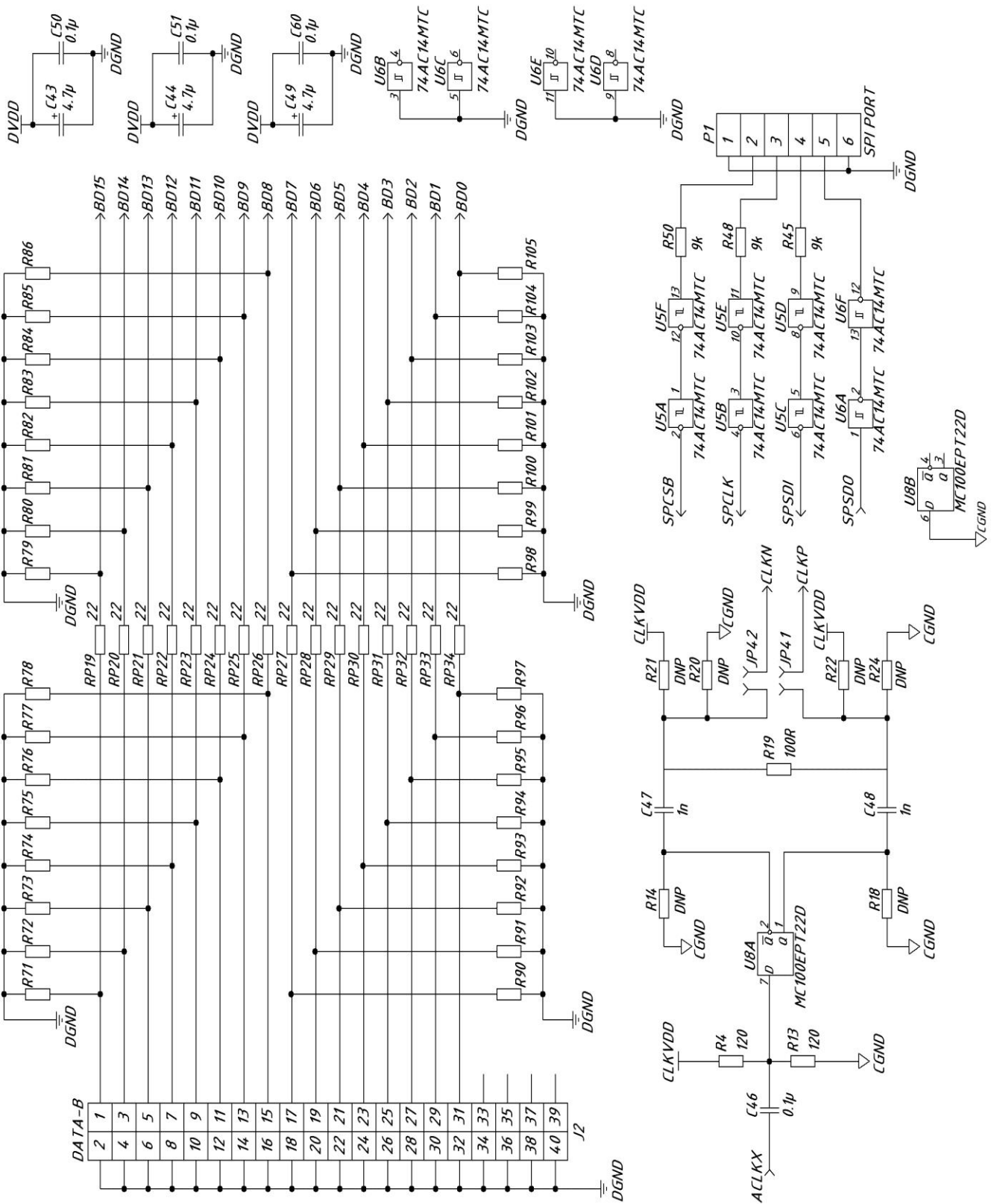


Рисунок 7 – Электрическая схема подключения входных цифровых данных канала В и схема порта SPI

Перечень используемых элементов демонстрационной платы приведен в таблице 1.

Таблица 1 – Перечень используемых элементов

Обозначение	Наименование	Кол.	Примечание
1	2	3	4
	<u>Микросхемы</u>		
U1	1273HA044	1	
U2	AD8345AREZ	1	
U3, U4	SN74ACT86D	2	
U5, U6	74AC14MTC	2	
U7	47LCX112	1	
U8	MC100EPT22D	1	
	<u>Конденсаторы</u>		
C1 – C10, C72	TAJB106K016RNJ, 10 мкФ ± 10 % – 16 В	11	
C11 – C20, C29, C32, C33, C34, C42, C46, C50, C51, C53, C60, C67 – C71, C75, C78	GRM21BR71H104KA01L, 0,1 мкФ ± 10 % – 50 В – X7R – 0805	27	
C21 – C26, C47, C48, C27	C0805C102K5RAC7800, 1 нФ ± 10 % – 50 В – X7R – 0805	9	
C28, C61 – C66	TAJB226K016RNJ, 22 мкФ ± 10 % – 16 В	7	
C30, C31, C43, C44, C49, C52	TAJB475K016RNJ, 4,7 мкФ ± 10 % – 16 В	6	
C35, C74, C76, C77	C0805C101FCGACTV, 100 пФ ± 1 % – 50 В – X7R – 0805	4	
C36 – C41, C45	C0805C103K5RAC7800, 0,01 мкФ ± 10 % – 50 В – X7R – 0805	7	
	<u>Резисторы</u>		
R1	RC0805FR – 07200KL, 200 кОм ± 1 % – 0,125 Вт – 0805	1	
R2, R3, R6, R26, R39	RC0805FR – 071KL, 1 кОм ± 1 % – 0,125 Вт – 0805	5	
R4, R13	RC0805FR – 07120RL, 120 Ом ± 1 % – 0,125 Вт – 0805	2	
R5	RC0805FR – 0749R9L, 49,9 Ом ± 1 % – 0,125 Вт – 0805	1	
R7	RT0805WRB072KL, 2 кОм ± 0,05 % – 0,125 Вт – 0805	1	
R8	RT0805WRB071KL, 1 кОм ± 0,05 % – 0,125 Вт – 0805	1	
R9 – R12	RC0805FR – 0751KL, 51 кОм ± 1 % – 0,125 Вт – 0805	4	
R15	RC0805FR – 07220RL, 220 Ом ± 1 % – 0,125 Вт – 0805	1	
R16, R17, R38	RC0805FR – 0710KL, 10 кОм ± 1 % – 0,125 Вт – 0805	3	
R19	RC0805FR – 07100RL, 100 Ом ± 1 % – 0,125 Вт – 0805	1	
R23, R28, R87,	RC0805FR – 070RL, 0 Ом ± 1 % – 0805	4	
R32, R33, R35, R36	RC0805FR – 0751RL, 51 Ом ± 1 % – 0,125 Вт – 0805	4	
R40	RC0805FR – 075K1L, 5,1 кОм ± 1 % – 0,125 Вт – 0805	1	
R42, R43	RC0805FR – 0749K9L, 49,9 кОм ± 1 % – 0,125 Вт – 0805	2	

Окончание таблицы 1

1	2	3	4
R45, R48, R50	RC0805FR – 079K09L, 9,09 кОм ± 1 % – 0,125 Вт – 0805	3	
RP1 – RP6,RP8, RP10 – RP34	RC0805FR – 0722RL, 22 Ом ± 1 % – 0,125 Вт – 0805	32	
JP7,JP21, JP43 – JP45	RC0201FR – 070RL, 0 Ом ± 1 %– 0201	5	
	<u>Трансформаторы</u>		
T1 – T3	T1 – 1T	3	
T4	ETC1 – 1 – 13	1	
T5, T6	ADTL1 – 12	2	
	<u>Катушки индуктивности</u>		
L1 – L8	MLF2012A3R3KT000, 3,3 мкГн ± 10 % – 0805		
	<u>Разъёмы</u>		
J1, J2	PLD – 20, вилка на плату двурядная, 2,54 мм	2	
J3, J4, J8	BP – 313/R, гнездо на панель красное	3	
J5, J6, J7	BP – 313/B, гнездо на панель черное	3	
J9, J10	SMA – J, гнездо на плату вертикальное	2	
JP1 – JP6, JP8 – JP20, JP23 – JP42, JP46, JP47	PLS – 2 , вилка на плату однорядная, 2,54 мм	41	
P1	PLS – 6 , вилка на плату однорядная, 2,54 мм	1	
S1 – S6	SMA – J, гнездо на плату вертикальное	6	
TP2 – TP15	20 – 313141, контрольная точка платы	14	
W11, W12	PLS – 1, вилка на плату однорядная, 2,54 мм	2	

Элементы C54 – C59, C73, C79 – C81, R13, R14, R18, R20 – R22, R24, R25, R27, R29 – R31, R34, R37, R41, R44, R46, R47, R49, R51 – R86, R90 – R105 на плату не устанавливаются.

Предприятие оставляет за собой право на внесение изменений в схему и разводку демонстрационной платы, а также замену комплектующих на аналогичные компоненты без снижения её потребительских качеств.

6 Порядок работы с демонстрационной платой

Режим с двумя портами ввода и включенной системой ФАПЧ

Для использования PECL драйвера тактового сигнала (U8) установить переключки JP41 и JP42 и убрать трансформатор T1.

В режиме с двумя портами, если вывод DATACLK/PLL_LOCK запрограммирован на выходной вывод 10, то установить переключки JP25 и JP39. Если вывод DATACLK/PLL_LOCK запрограммирован на выходной вывод 58, то установить переключки JP46 и JP47.

Установить переключки JP1, JP3, JP5 и JP26. Расположение переключек на демонстрационной плате, используемых в этом режиме, показано на рисунке 8.

Установить частоту генератора сигнала равной частоте входных данных; частоту обновления данных на выходе ЦАП – равной частоте генератора сигнала, умноженной на коэффициент интерполяции.

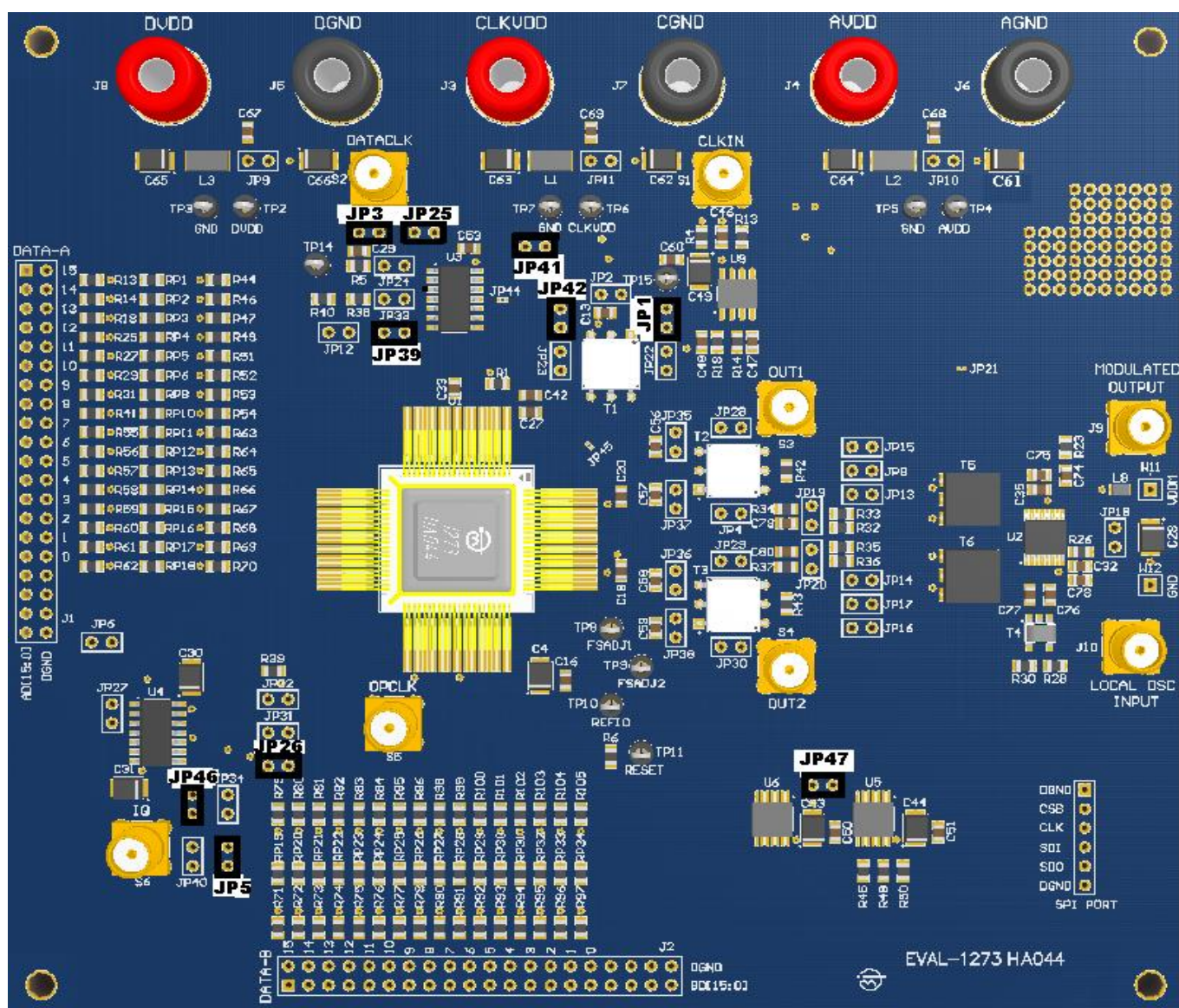


Рисунок 8 – Расположение переключек на демонстрационной плате для ИС 1273HA044 в режиме с двумя портами с включенной системой ФАПЧ

Режим с одним портом ввода и включенной системой ФАПЧ

Для использования PECL драйвера тактового сигнала (U8) установить переключки JP41 и JP42 и убрать трансформатор T1.

Установить переключки JP1, JP3, JP25, JP27, JP31 и JP39. Расположение переключек на демонстрационной плате, используемых в этом режиме, показано на рисунке 9.

Установить частоту генератора сигнала равной половине частоты входных данных с перемежением; подать на вывод ONEPORTCLK частоту входных данных с перемежением; установить частоту обновления данных на выходе ЦАП равной частоте генератора сигнала, умноженной на коэффициент интерполяции.

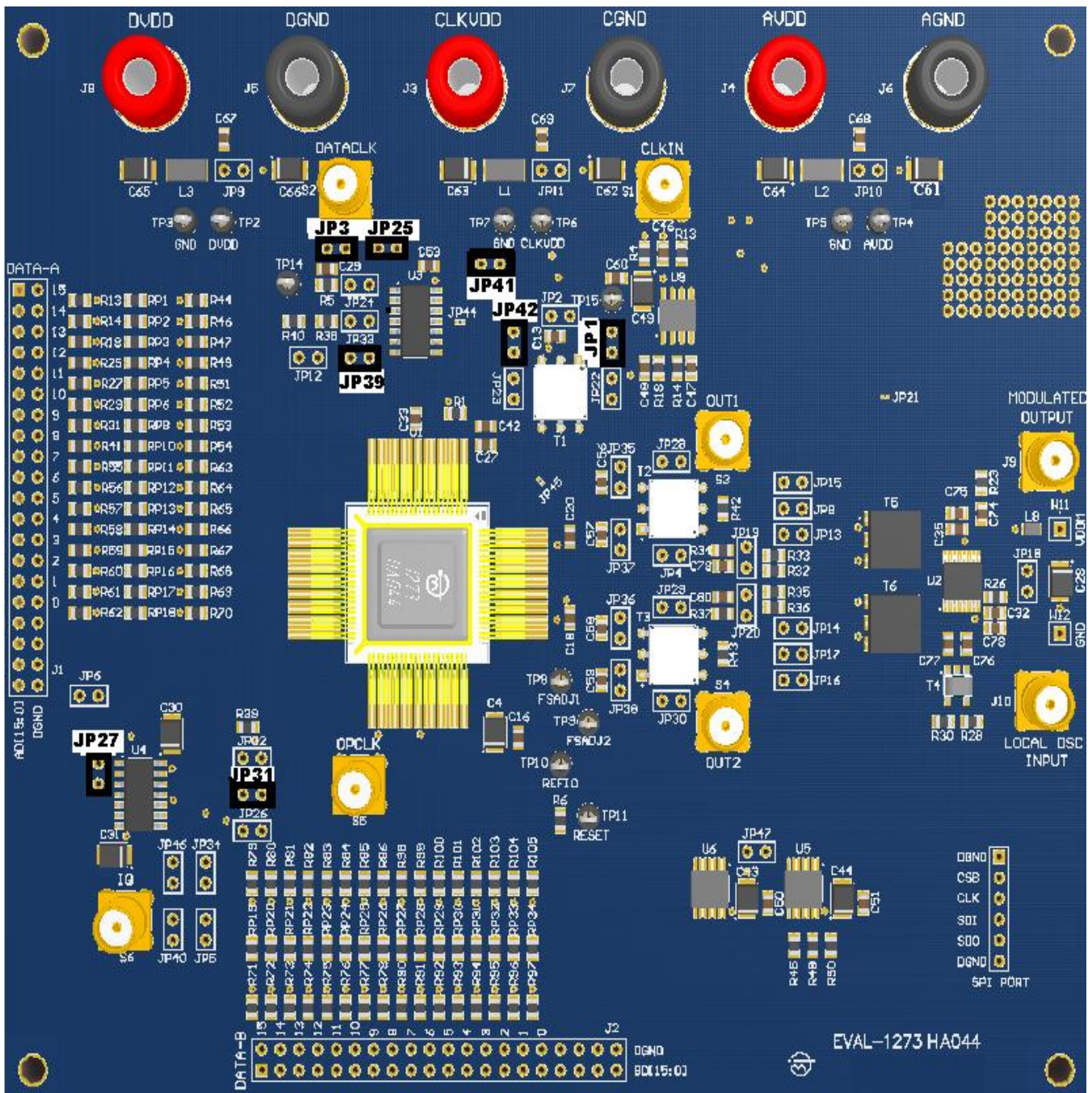


Рисунок 9 – Расположение переключек на демонстрационной плате для ИС 1273HA044 в режиме с одним портом с включенной системой ФАПЧ

Режим с двумя портами ввода и выключенной системой ФАПЧ

Для использования PECL драйвера тактового сигнала (U8) установить переключки JP41 и JP42 и убрать трансформатор T1.

В режиме с двумя портами, если вывод DATACLK/PLL_LOCK запрограммирован на выходной вывод 10, то установить переключки JP25 и JP39. Если вывод DATACLK/PLL_LOCK запрограммирован на выходной вывод 58, то установить переключки JP46 и JP47.

Установить переключки JP1, JP3, JP5 и JP26. Расположение переключек на демонстрационной плате, используемых в этом режиме, показано на рисунке 10.

Установить частоту обновления данных на выходе ЦАП равной частоте генератора сигнала; подать на вывод DATACLK частоту генератора сигнала, деленную на коэффициент интерполяции.

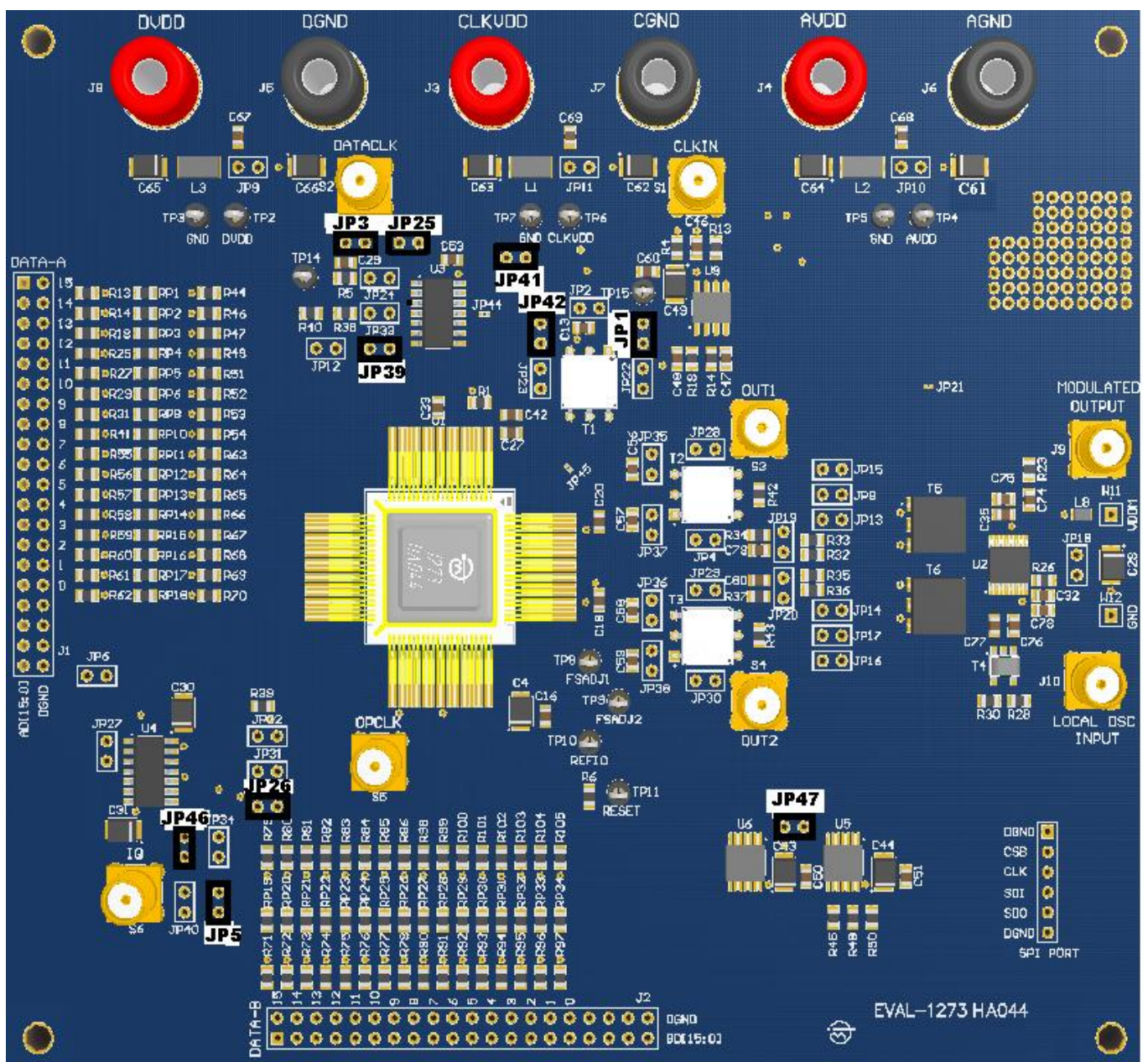


Рисунок 10 – Расположение переключек на демонстрационной плате для ИС 1273HA044 в режиме с двумя портами с выключенной системой ФАПЧ

Режим с одним портом ввода и выключенной системой ФАПЧ

Для использования PECL драйвера тактового сигнала (U8) установить переключки JP41 и JP42 и убрать трансформатор T1.

Установить переключки JP1, JP3, JP25, JP27, JP31 и JP39. Расположение переключек на демонстрационной плате, используемых в этом режиме, показано на рисунке 11.

Установить частоту обновления данных на выходе ЦАП равной частоте генератора сигнала; подать на вывод ONEPORTCLK частоту входных данных с перемежением; установить частоту обновления данных на выходе ЦАП равной удвоенному отношению частоты генератора сигнала и коэффициента интерполяции.

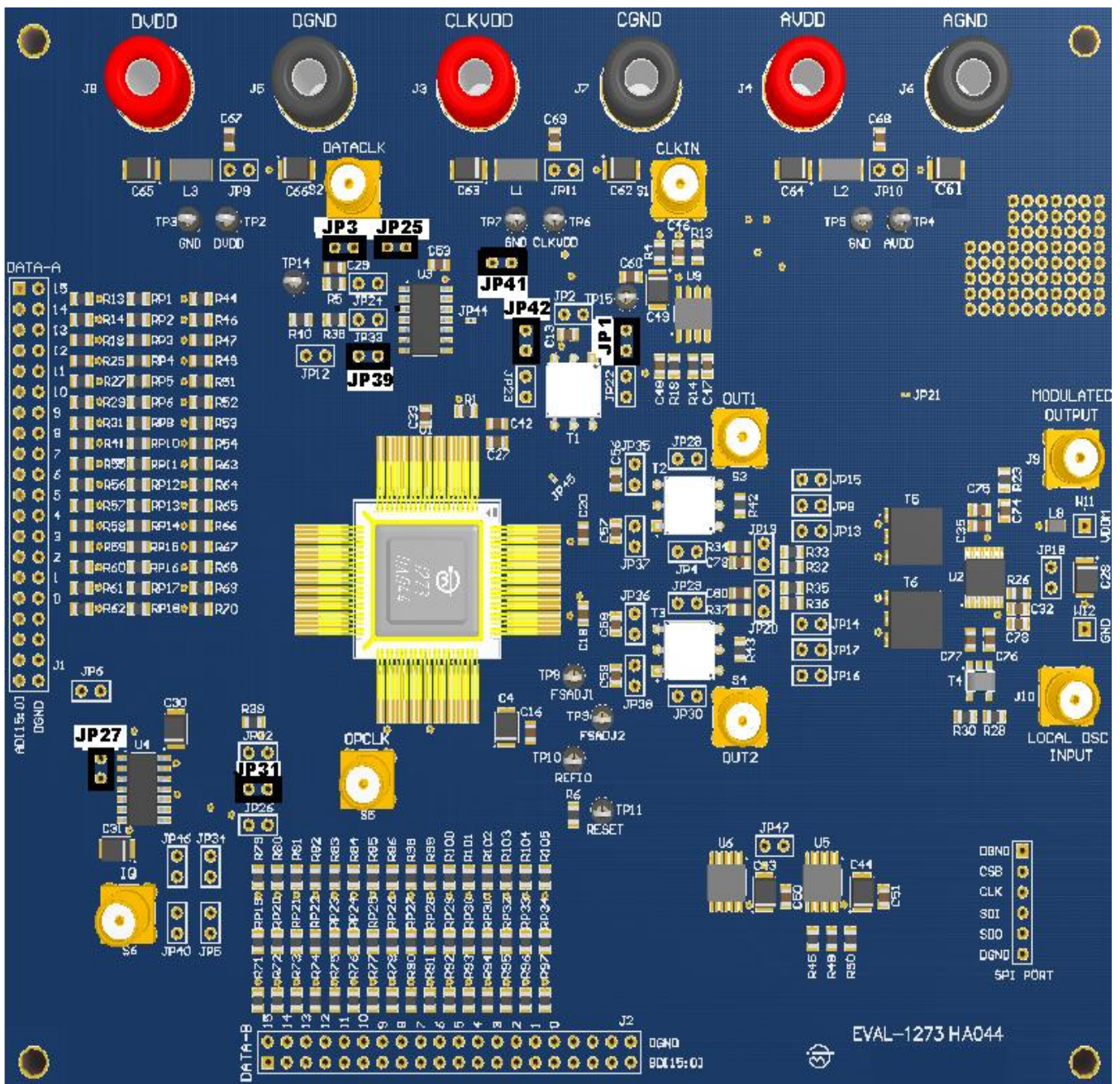


Рисунок 11 – Расположение переключек на демонстрационной плате для ИС 1273HA044 в режиме с одним портом с выключенной системой ФАПЧ

Режим несимметричных выходов ЦАП

Убрать трансформаторы Т2 и Т3. Установить перемычку JP4 или JP28, чтобы провести измерения на выходах первого канала ЦАП. Установить перемычку JP29 или JP30, чтобы провести измерения на выходах второго канала ЦАП. Перемычки JP8, JP13 – JP17 следует оставить не установленными. Перемычки JP35 – JP38 могут служить для подключения одного выхода ЦАП к земле при проведении измерений на другом выходе в несимметричном режиме. Такой способ позволяет достичь минимальных искажений в несимметричном режиме. Выходной сигнал снимается с разъемов S3 и S4.

Режим дифференциальных выходов ЦАП

Установить трансформаторы Т2 и Т3. Необходимо учитывать, что нижняя граничная частота рабочей полосы этих трансформаторов составляет от 300 до 500 кГц. Перемычки JP4, JP8, JP13 – JP17 и JP28 – JP30 остаются не установленными. Выходной сигнал снимается с разъемов S3 и S4.

Использование модулятора AD8345AREZ

Убрать трансформаторы Т2 и Т3. Установить перемычки JP13 – JP16. Перемычки JP4 и JP28 – JP30 остаются не установленными. Установить компоненты для согласующих фильтров нижних частот – L6, L7, C55, C81. Гетеродин подключается к AD8345AREZ через разъем J10 и симметрирующее устройство на трансформаторе Т4; выходной сигнал с AD8345AREZ снимается с разъема J9.

7 Меры безопасности

Подключение к контактам разъемов осуществлять только при отключенном напряжении питания.

Во избежание ожогов во время функционирования демонстрационной платы не допускается соприкосновение элементов платы с открытыми частями тела оператора.

Лист регистрации изменений

Изм.	Номера листов (страниц)				Всего листов (страниц) в документе	Номер документа	Подпись	Дата
	изменённых	заменённых	новых	аннулированных				